

2 뉴로모픽 시스템을 위한 시냅스 소자

클_윤태식 교수 | 명지대학교 신소재공학과

1. 서론

컴퓨터 등과 같은 기존의 프로그래밍이 가능한 디지털 시스템은 반도체 재료를 이용한 연산 및 논리 소자와 메모리 소자의 집적을 통하여 발전하여 왔다. 특히, 이러한 연산/논리 소자와 메모리 소자 사이의 신호교환을 기반으로 하는 폰 노이만(von Neumann) 구조에 기반한 디지털 시스템은 현재까지 매우 성공적으로 활용되어 왔다. 하지만, 지속적인 집적도의 향상을 요구하는 Moore의 법칙에 기반한 시스템의 개선 요구에 비해, 소자의 집적도를 높이는 데는 거의 한계에 다다르고 있다는 문제가 있다. 이와 더불어, 기존의 폰 노이만 구조의 디지털 시스템은 더욱 복잡해지는 정보 처리 환경과 고밀도의 정보저장을 요구하는 현재의 디지털 환경에서, 논리 소자와 메모리 소자 사이의 신호전달의 지연 등에 의한 성능 개선의 한계와 높은 에너지 소모의 문제를 안고 있다.

따라서, 기존의 폰 노이만 방식의 컴퓨팅 시스템의 문제를 극복하는, 즉 높은 에너지 효율과 우수한 성능을 위한 새로운 개념의 컴퓨팅 시스템이 요구되고 있다. 우선 논리/연산 소자와 메모리 소자가 분리되어 있음으로 인해 발생하는 에너지 효율의 저하 및 성능 저하의 문제를 해결하는 방안으로, 메모리 소자를 이용하여 연산기능을 수행하는 방식 [1], 논리 소자와 메모리 소자를 적층하는 3차원 monolithic IC 구조를 형성하여 신호전달 지연 문제를 해결하는 방식 [2] 등 논리/연산 기능과 메모리 기능을 모두 포함하는 논리 메모리 (logic-in-memory) 시스템 연구가 활발하게 진행되고 있다.

이와 더불어, 생체 신경 시스템의 뉴런-시냅스 구조를 모사하는 뉴로모픽 시스템 연구도 활발하게 진행되고 있다. 인간의 두뇌는 약 1 Liter의 부피로 약 15 W 정도의 낮은 전력을 소비하면서 다양한 연산, 논리, 학습, 기억 능력을 나타내는데, 이는 폰 노이만 컴퓨팅 시스템

과 비교하여 매우 우수한 에너지 효율을 나타내는 것이라 할 수 있다. 현재까지 연구된 바에 의하면, 폰 노이만 방식의 컴퓨팅 시스템은 단순 계산에 있어서는 인간의 두뇌보다 더 우수한 성능을 나타내지만, 복잡한 환경에서의 정보처리 능력은 인간의 두뇌가 더 우수한 것으로 평가되고 있다. 따라서 인간의 두뇌를 모사하는 뉴로모픽 시스템이 폰 노이만 시스템에 비해 복잡한 정보처리 환경에서 더욱 우수한 성능을 보일 것으로 예상된다. 인간의 두뇌는 높은 연결성(connectivity)을 이용한 병렬처리 능력과 더불어 연산기능과 기억기능을 시냅스(synapse)를 통하여 동시에 수행하는 특성을 갖고 있다. 인간의 두뇌에 약 10^{11} 개의 뉴런(neuron)이 있고 각각의 뉴런과 뉴런 사이에는 약 10^4 개의 시냅스라고 하는 연결부위가 존재하여, 이를 통해 방대한 양의 정보를 병렬 처리할 수 있는 구조를 갖고 있다.

그림 1은 다양한 뉴런-시냅스 구조를 보여주는 그림이다 [3]. 외부 감각기관으로부터 인지된 정보가 각각의 뉴런을 통해 수십 mV의 낮은 전압의 전기적 신호로 고밀도의 시냅스를 통하여 다음 뉴런으로 전달되면서 병렬처리가 가능하게 된다. 또한 각각의 뉴런으로부터

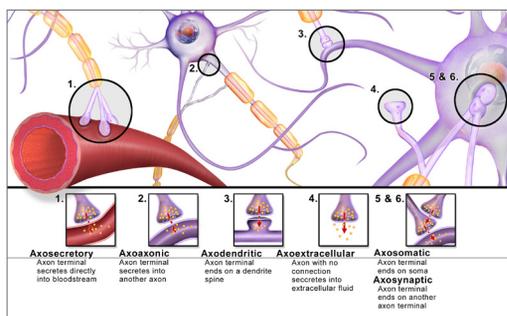


그림 1 ▶ Various types of neuron-synapse in biological systems [3].

터 생성된 신호가 시냅스를 통하여 처리되는 과정에서 시냅스의 연결성, 즉 신호 전달 능력 (synaptic weight)이 동시에 변하게 되는데, 이는 정보처리 과정에서 학습 및 기억 과정이 시냅스를 통하여 동시에 일어남을 의미한다.

이러한 관점에서, 폰 노이만 컴퓨팅 시스템은 연산/논리기능과 기억기능이 분리되어 있음으로 인해, 신호전달 지연에 의한 속도저하, 높은 에너지 소모 등의 단점을 갖고 있는 반면에, 뉴런-시냅스 구조를 모사하는 뉴로모픽 시스템은 병렬처리와 더불어, 연산/논리기능과 학습/기억기능이 통합된 구성을 갖고 있으므로, 폰 노이만 시스템의 단점을 극복할 수 있는 대안으로 기대되고 있다. 이러한 이유로 현재 전 세계적으로 뉴로모픽 시스템에 대한 연구가 활발하게 진행되고 있다.

2. 시냅스 소자 연구

2.1 2단자 멤리스터 기반 시냅스 소자

뉴로모픽 컴퓨팅 시스템에 대한 연구가 전 세계적으로 활발하게 진행되기 시작된 계기가 된 것은 미국 국방부 Defense advanced research projects agency (DARPA)에서 시작된 연구 프로젝트인 SyNAPSE (systems of neuromorphic adaptive plastic scalable electronics)라고 할 수 있다 [4]. SyNAPSE 프로젝트는 2008년도부터 미국의 HRL 연구소, IBM 연구소, HP 연구소와 스탠포드 대학교, 코넬 대

학교, 컬럼비아 대학교, 위스콘신 대학교, 캘리포니아 대학교, 미시건 대학교, 보스턴 대학교 등 많은 대학들의 전기공학, 재료공학, 물리학, 의학, 신경과학 등 다양한 전공의 연구원들이 참여한 연구 프로젝트이다. SyNAPSE 프로젝트에서는 뉴로모픽 시스템의 가장 작은 단위에 해당하는 시냅스 소자를 저항변화 특성을 갖는 멤리스터 소자로 구현하고, 뉴런 소자는 CMOS 소자로 구성하여 3차원의 집적화된 뉴런-시냅스 연결구조를 형성하여 인간의 두뇌를 모사하는 시스템을 구현하는 것을 목표로 하였다.

뉴로모픽 시스템을 구현함에 있어서 중요한 요소 중 하나는 신호 처리/학습/기억 기능을 동시에 담당하는 시냅스 소자를 어떻게 구현하는가이다. 생체 시스템의 시냅스는 앞서 설명한 바와 같이, 뉴런으로부터 전달된 신호를 처리하는 과정에서 synaptic weight의 변화를 수반하고 이를 통하여 학습 및 기억기능을 발휘하게 된다. 전기적 신호에 의해 시냅스로부터 presynaptic 뉴런으로 Ca^{2+} 또는 Na^+ 등의 이온이 이동하여, 뉴런 내의 신호 전달 물질인 neurotransmitter가 시냅스를 통해 postsynaptic 뉴런으로 이동할 수 있도록 하여 신호를 처리한다. 이 과정에서 시냅스 내의 이온 분포가 변하고, 또한 postsynaptic 뉴런에서 neurotransmitter의 receptor 농도가 변하면서 synaptic weight가 변하는 학습 및 기억기능을 갖게 된다. 이러한 synaptic weight의 변화는 저항의 변화에 따라 정보를 저장하는 저항변화 메모리 소자(resistive random access memory; ReRAM)와 대응되는 특성이라고 할 수 있다.

저항변화 메모리 소자는 memory+resistor의 특성을 갖는다는 의미에서의 멤리스터(memristor) 소자로 분류되며, 이러한 2단자의 멤리스터 소자를 이용하여 시냅스 소자를 구현하려는 연구가 활발히 진행되고 있다. 하지만, 현재까지 반도체 분야에서 연구되어 왔던 ReRAM은 저저항 상태와 고저항 상태를 구별하여 정보를 저장하는 방식으로서, on vs. off 형태의 디지털 방식의 높은 저항변화 비를 구현하는 방향으로 연구가 진행되어 왔다. 하지만 생체 시스템의 시냅스는 synaptic weight의 변화가 디지털 방식이 아니라 연속적으로 변하는 아날로그 방식으로 일어나는 특성을 갖는다. 또한 ReRAM은 저장된 정보를 안정적으로 오랜 시간 동안 보존하는 것이 중요한 요건이므로, 정보 처리 전/후, 그리고 오랜 시간이 지나도 정보의 상태가 변하지 않는 것을 요구하는 반면, 시냅스는 정보처리 과정에서 학습 능력을 가져야 함으로 synaptic weight가 조건에 따라 변해야 하는 특성을 요구한다. 또한, 시간이 지남에 따라 기억이 변하지 않는 특성, 즉 장기기억(long-term memory) 특성과 짧은 시간 이후에 기억된 정보가 소멸되는 단기 기억(short-term memory) 특성을 모두 구현하여야만 생체 시스템의 시냅스 특성을 정확하게 모사했다고 할 수 있다.

생체 시냅스의 아날로그 synaptic weight 변화를 모사하는 아날로그 저항변화 특성과 시간 의존적인 저항변화의 제어가 가능한 시냅스 소자 연구 결과가 몇몇 연구팀에서 보고된 바 있다. 예를 들어, Jo 등은 Ag+Si이 혼합된 박막에서 인가된 전압에 의해 Ag 원자의 분포가 변

하며 박막의 저항이 아날로그 형태로 변화되는 결과를 보고하였다 [5]. Yu 등은 TiN/HfOx/AlOx/Pt 구조의 ReRAM 소자에서 저항 변화 유도 시 compliance current 값과 인가된 전압의 크기를 조절하여 다단계의 저항 변화 특성을 얻음으로써 시냅스 거동을 보고하였다 [6].

본 연구팀에서도 Fe₂O₃ 나노 입자 박막 [7], NiO 나노 입자 박막 [8], Pt-Fe₂O₃ 코어-셸 나노 입자 박막 [9], ZnO 나노선 박막 [10], CeO₂ 박막 [11] 등의 다양한 재료를 이용하여 아날로그 저항변화 특성을 보고하였다. 나노 입자와 나노선과 같은 나노재료에서는 고밀도의 표면 트랩 상태(surface trap state)에 전하가 저장되면서, 저장된 전하량에 따라 저항상태가 아날로그 형태로 변하는 시냅스 특성을 나타낼 수 있음을 보고하였다. 그림 2는 Pt/Fe₂O₃-나노 입

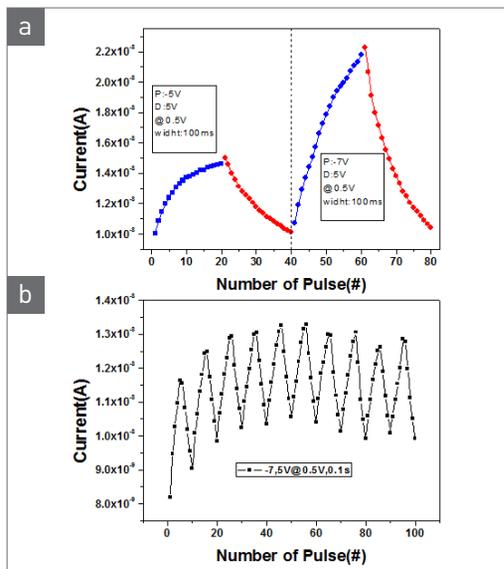


그림 2 ▶ Current change in Pt/Fe₂O₃-nanoparticles/Pt structure as repeating pulses of (a) -5 V, +5 V at each potentiation and depression operation and consecutively -7 V, +5 V at each and (b) -7 V, +5 V for 5 times each up to total pulses of 100 times [7].

자/Pt의 2단자 멤리스터 구조에서, 인가된 전압의 부호와 전압 인가의 횟수에 따라 저항 상태가 연속적으로 감소(즉, 시냅스의 potentiation 거동)하거나 증가(즉, 시냅스의 depression 거동)하는 특성을 보여주고 있다 [7].

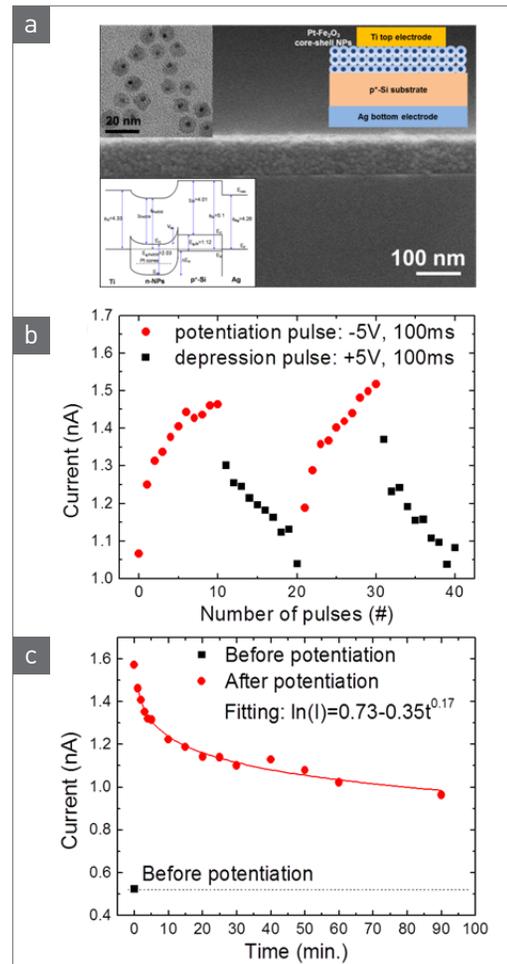


그림 3 ▶ (a) TEM micrograph of Pt-Fe₂O₃ core-shell nanoparticles, SEM micrograph of nanoparticle assembly, schematic illustration of Ti/nanoparticles/p⁺-Si memristor and its energy band diagram, (b) current change at +0.5 V of read voltage as repeating potentiation pulses of -5 V for 100 ms and subsequently repeating depression pulses of +5 V for 100 ms, and (c) retention after repeating -5 V pulses for 100 ms fifty times and fitting with stretched-exponential relaxation model [9].

하지만 Pt/Fe₂O₃-나노 입자/Pt 구조에서는 변화된 저항이 약 10분 후에 초기 값으로 변하는 단기 기억 특성을 나타내었는데, 이는 저장된 전하가 쉽게 빠져나가기 때문인 것으로 이해되었다.

반면에, 나노 입자를 Pt-Fe₂O₃로 구성된 코어-셸 구조로 형성한 경우에는 그림 3에서와 같이 아날로그 저항변화에 의한 시냅스의 potentiation과 depression 특성을 나타냄과 동시에(그림 3(a), 3(b)), 변화된 저항이 오랜 시간 동안 지속되는 장기 기억(long-term memory) 특성을 나타내었다(그림 3(c)). 이러한 장기 기억 특성이 나타난 원인으로서는 전하가 나노 입자의 표면준위가 아닌 Pt 코어 내부에 저장되어 안정적으로 유지될 수 있었기 때문으로 이해할 수 있다 [9].

나노재료를 이용한 구조뿐만 아니라, CeO₂ 산화물 박막을 이용한 경우에도 안정적인 아날로그 시냅스 거동을 구현할 수 있었다 [11]. CeO₂ 박막은 우수한 산소이온 전도성을 갖고, Ce³⁺와 Ce⁴⁺의 산화수가 모두 가능한 재료이다. 따라서 외부에서 전압이 인가되었을 때 산소 이온의 이동과 Ce 이온의 산화수 변화가 일어나면서 아날로그 저항변화가 일어날 수 있을 것으로 기대되는 재료이다. 본 연구팀에서는 그림 4와 그림 5에서와 같이 Pt/CeO₂/Pt 구조에서 아날로그 저항변화가 일어남을 확인하였다 [11].

그림 4는 아날로그 저항변화의 전압부호 의존성을 나타내고 있는데, (+) 전압을 반복적으로 인가하면 저항이 연속적으로 감소하고(즉, 전류가 증가하고), 반대로 (-) 전압을 반복적으로

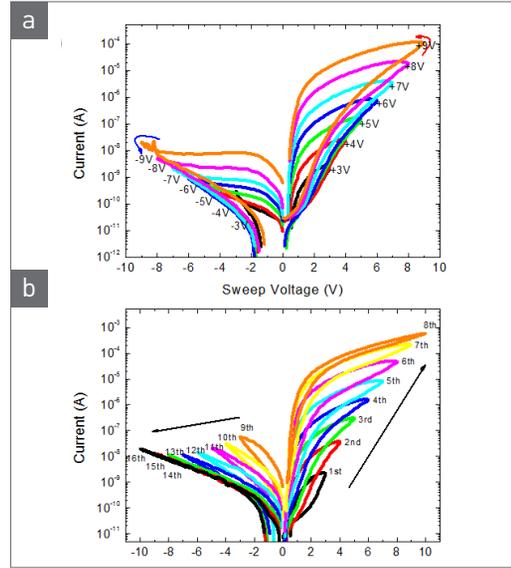


그림 4 ▶ Semilogarithmic I-V curves of Pt/CeO₂/Pt structure in the voltage sweep (a) 0→+V→-V→0 V with increasing sweep voltage from ±3 to ±9 V in sequence and (b) repeated sweep 0→+3→+10→0 V and subsequent 0→-3→-10→0 V [11].

인가하면 저항이 다시 증가하는 모습을 보이고 있다. 또한 전압 인가를 반복하는 과정에서 전류값이 이전의 변화된 전류값을 따라가면서 변하는 기억 특성을 보여주고 있다. 그리고 전압을 증가시킬수록 전류값의 변화폭도 증가하여 약 10⁵ 이상의 높은 저항변화 폭을 나타내었는데, 이는 synaptic weight를 매우 큰 범위에서 조절할 수 있음을 의미한다.

그림 5는 이러한 아날로그 저항변화를 전압펄스를 인가하여 구현함으로써, 시냅스의 potentiation과 depression 거동을 높은 비율로 조절할 수 있음을 보여주고 있다. 시냅스의 저항변화 폭은 시냅스가 정보를 처리하고 학습할 수 있는 범위와 대응되므로, 아날로그 변화와 더불어 안정적인 정보처리와 학습 및 기억 기능을 위해서는 큰 범위의 저항변화를 구현

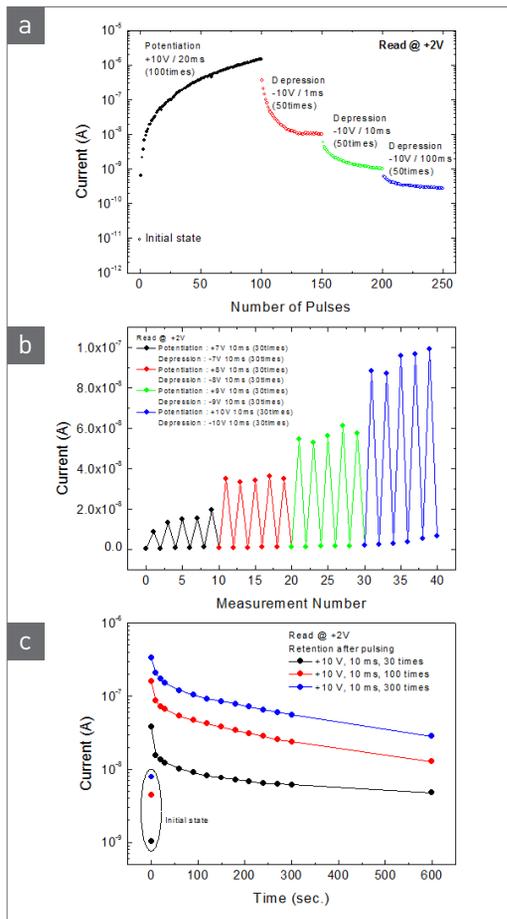


그림 5 ▶ Read current in Pt/CeO₂/Pt structure after repeating (a) +10 V pulses with a width of 20 ms for 100 times and successive -10 V with a width of 1, 10, and 100 ms for 50 times, (b) pulses of increased $\pm V$ at a fixed width, and (c) retention after repeated pulsing +10 V for 10 ms [11].

하는 것이 중요하다. 그리고 그림 5(c)의 결과는 변화된 저항값이 장시간 유지될 수 있음을 보여주고 있는데, 이는 본 소자를 이용하여 시냅스의 장기기억 특성에 활용하는 것이 가능함을 의미하는 결과이다.

위의 연구들에서 확인한 바와 같이, 다양한 메모리스트 소자를 이용하여 시냅스 거동을 구현하려는 연구가 활발하게 이루어지고 있으며,

특히 시냅스 거동을 저전력, 고에너지 효율, 고집적 소자에서 구현하고, 패턴인지와 같은 뉴로모픽 시스템에 적용하는 연구가 활발하게 이루어지고 있다.

2.2 3단자 시냅틱 트랜지스터 소자

메모리스트를 이용한 2단자 시냅스 소자뿐만 아니라, 3단자 구조를 갖는 시냅틱 트랜지스터 소자 연구도 진행되고 있다. 2단자 시냅스 소자에 비해, 시냅틱 트랜지스터는 presynaptic neuron(예를 들어, source 전극)으로부터 postsynaptic neuron(drain 전극)으로 신호가 전달되는 과정에서 추가로 제3의 단자인 gate 전극을 이용하여 시냅스의 synaptic weight, 즉 트랜지스터의 드레인 전류, 또는 채널층의 컨덕턴스(conductance)를 비휘발적으로 조절할 수 있으므로 보다 다양한 시냅틱 거동을 구현하는데 유리한 장점이 있다.

현재까지 몇몇의 연구팀에서 시냅틱 트랜지스터 연구결과를 보고하였는데, 예를 들어 Diorio 등은 플로팅게이트(floating-gate) 구조를 갖는 MOSFET 소자에서 플로팅게이트에 저장된 전하량을 조절하여 MOSFET의 드레인 전류(drain current)를 아날로그 형태로 조절한 시냅스 특성을 보고하였다 [12]. Nishitani 등은 강유전체(ferroelectric) 게이트 절연막을 적용한 트랜지스터를 이용하여 드레인 전류를 제어하는 시냅스 소자를 보고하였다 [13]. Lai 등은 유기물 절연층인 MEH-PPV와 RbAg₄I₅의 다층 게이트 절연막 사이의 이온 분포에 따라 트랜지스터의 드레인 전류가 변하는 현상을 이용하

여 시냅스 거동을 보고하였다 [14]. 그리고 Zhu 등은 수소이온을 포함하는 SiO₂ 게이트 절연막을 ZnO 산화물 반도체 채널층 위에 증착하여 ZnO 박막으로 n-type dopant인 수소이온을 이동시켜 ZnO 채널층의 컨덕턴스(conductance)를 제어하는 시냅스 소자를 구현하였다 [15].

본 연구팀에서는 산화물의 커패시턴스가 비휘발적으로 변하는 현상, 즉 멤커패시턴스(memcapitance) 현상을 이용하여 시냅틱 트랜지스터 소자를 구현한 바 있다 [16]. 멤커패시턴스 현상은 커패시터 재료의 내부상태가 인가된 전압 및 전류의 이력에 의존하여 비휘발적으로 변하는 현상을 의미하며, 이는 커패시터 재료의 유전율의 변화와 전극과의 계면면적의 변화에 의해 나타나게 된다 [17]. 본 연구팀에서는 Mo/HfO_x/Si의 MOS 커패시터 구조에서, Mo 전극에 (+) 전압을 인가함에 따라 HfO_x 박막으로부터 Mo 전극으로 산소이온이 이동하면서 HfO_x 박막의 산소결핍으로 인한 유전율의 감소와 Mo/HfO_x 계면 사이에서의 산소공극의 형성으로 인한 면적 감소로 인하여 커패시턴스가 비휘발적으로 감소하는 현상을 확인한 바 있다 [18].

또한, 그림 6에서와 같이 Pt/HfO_x/IGZO 구조의 MOS 커패시터에서 Pt 게이트 전극에 전압을 -V ↔ +V로 인가하는 과정에서 MOS 커패시터의 accumulation capacitance 값이 연속적이며 비휘발적으로 증가하는 특성을 확인하였다(그림 6(a)) [16].

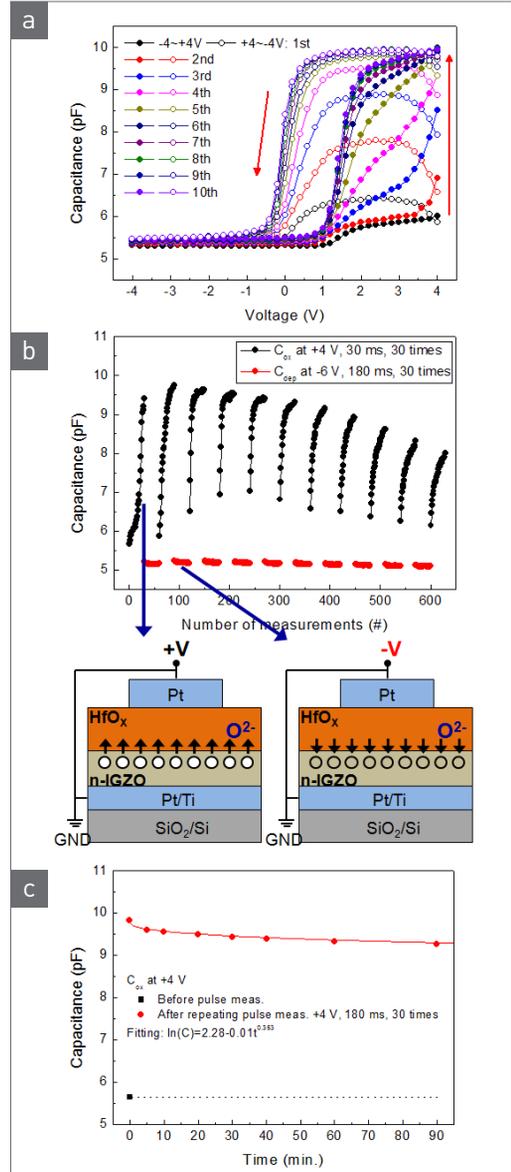


그림 6 ▶ (a) C-V curves of Pt/HfO_x/n-IGZO memcapacitor measured from application of repeated voltage sweeps -4 → +4 → -4 V, (b) capacitance change under repeated bias pulsing of +4 V for 30 ms and subsequent -4 V for 180 ms and schematic illustration of migration of oxygen ions in response to the applied biasing, and (c) retention after repeated +4 V bias pulsing for 180 ms and fitting with stretched exponential relaxation model [16].

또한 전압을 펄스 형태로 인가함에 따라 가역적이고 아날로그 형태로 커패시턴스가 변하며 시냅스의 potentiation과 depression 거동을 모사하는 특성 (그림 6(b)), 그리고 변화된 커패시턴스 값이 장기기억의 형태로 보존되는 특성을 확인하였다 (그림 6(c)). 이러한 현상은 그림에서 설명한 바와 같이, Pt 전극에 (+) 전압을 인가함으로써 IGZO의 산소이온이 HfOx로 이동하여, HfOx의 유전율이 증가하여 나타나는 현상으로 이해할 수 있다. 이러한 산소이온의 이동은 동시에 IGZO의 n-type dopant인 산소공공의 농도를 증가시키게 되어, 트랜지스터의 채널층이 될 IGZO의 컨덕턴스를 증가시키게 된다.

트랜지스터 소자의 포화영역에서의 드레인 전류(I_D)는 식 (1)에서와 같이, 게이트 절연층의 커패시턴스에 비례하는 관계를 갖는다. 식 (1)에서 W 는 채널의 폭, L 은 채널의 길이, μ 는 채널층의 전하이동도, C_{ox} 는 게이트 절연막의 커패시턴스, V_{GS} 는 게이트 전압, V_T 는 문턱전압을 의미한다. 게이트 절연막의 커패시턴스 (C_{ox})를 게이트 전압을 이용하여 아날로그 형태로 조절함으로써 드레인 전류, 즉 시냅스의 synaptic weight를 아날로그 형태로 제어할 수 있게 된다. 앞서 멤커패시턴스 결과에서 확인한 바와 같이, 산소이온의 이동에 의해서 커패시턴스의 변화가 유도되면, 이와 동시에 IGZO 내부에 n-type 도펀트인 산소공공의 농도가 증가하여 소자의 문턱전압이 감소하고, 이는 드레인 전류를 더욱 증가시키는 효과를 나타내게 된다.

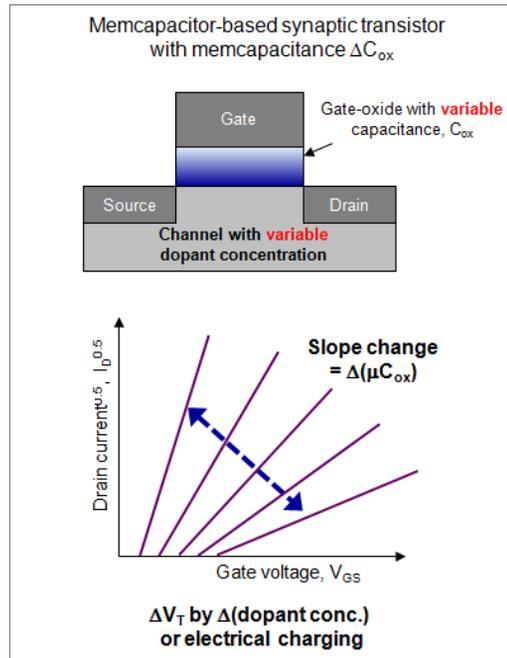


그림 7 ▶ Schematic illustration of transfer characteristics in synaptic transistor with memcapacitor gate stack [16].

$$I_D = \frac{W \cdot \mu \cdot C_{ox}}{2L} (V_{GS} - V_T)^2 \quad (1)$$

그림 7은 C_{ox} 가 증가하면 I_D - V_{GS} 곡선에서 기울기가 증가하고 드레인 전류값이 증가하며, 이러한 과정에서 도펀트 농도도 증가하여 문턱전압이 감소하여 드레인 전류가 더욱 증가하게 되는 효과를 보여주는 개략도이다. 플로팅 게이트에 전하를 저장하여 문턱전압의 변화를 이용하는 플래시 메모리 형태의 비휘발성 메모리 소자에 비해, 본 소자는 커패시턴스의 아날로그, 비휘발적, 가역적 변화를 통하여 드레인 전류를 변화시키는 동작 원리를 갖는다.

그림 8은 IGZO 산화물 반도체를 채널층으로 하는 박막트랜지스터 구조에 게이트 절연막으로 HfOx 박막을 적용하여, 그림 6에서와

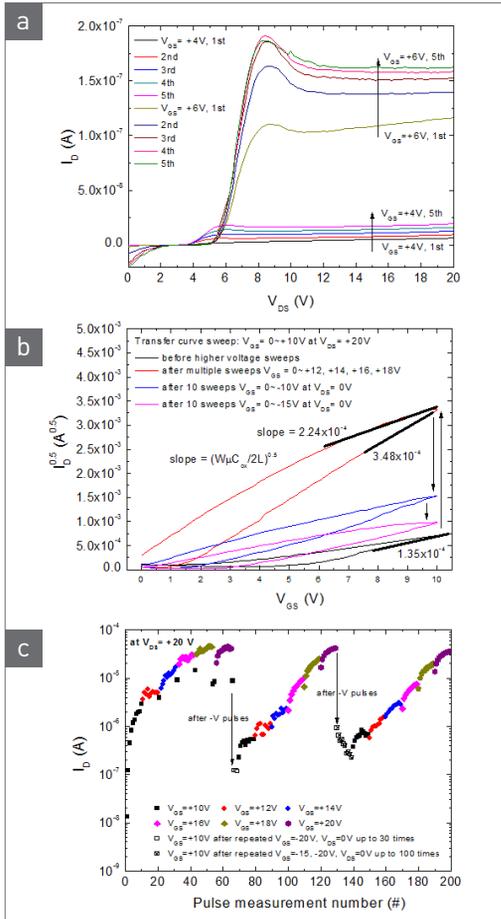


그림 8 ▶ (a) Output, (b) transfer curves, and (c) I_D after repeated pulse measurement by varying V_{GS} amplitude with a width of 20 ms for 200 times [16].

같이 산소이온의 이동을 유도하여 IGZO 채널층의 컨덕턴스를 제어하는 시냅틱 트랜지스터의 구조와 시냅틱 거동 결과를 나타내고 있다. 그림 8(a)의 I_D - V_{DS} 특성곡선에서 나타난 바와 같이, 동일한 게이트 전압(V_{GS})에서 드레인 전압(V_{DS}) 스위치를 반복하였을 때, 드레인 전류(I_D)가 계속 증가하는 것을 확인할 수 있다. 인가된 게이트 전압이 클수록, 드레인 전류의 증가폭이 더욱 증가하는 것을 확인할 수 있다. 이는 인가된 드레인 전압과 게이트 전압에 의

해 IGZO 채널층의 컨덕턴스가 연속적으로 증가하는 현상임을 의미한다. 또한 그림 8(b)의 $I_D^{0.5}$ - V_{GS} 특성곡선에서, 일정한 드레인 전압($V_{DS}=+20$ V) 조건에서 게이트 전압을 0~+10 V 스위치를 반복하였을 때, 드레인 전류가 지속적으로 증가하는 것을 확인하였으며, $I_D^{0.5}$ - V_{GS} 곡선의 기울기가 아날로그 형태로 연속적으로 증가하는 모습을 나타내고 있다.

앞서 그림 7에서 설명한 바와 같이, $I_D^{0.5}$ - V_{GS} 곡선의 기울기의 변화는 IGZO 채널층의 이동도와 게이트 절연막의 커패시턴스의 증가에 기인하며, 그림 6의 메모리커패시턴스 특성과 비교해보면 이러한 기울기의 증가는 HfO_x와 IGZO 사이의 산소이온의 이동에 의한 커패시턴스의 증가에 기인하는 것을 확인할 수 있다. 또한 $I_D^{0.5}$ - V_{GS} 곡선의 x-절편, 즉 문턱전압이 감소하는 현상도 산소이온의 이동에 의해 IGZO내의 n-type 도펀트인 산소공공의 증가와 부합하는 것을 확인할 수 있다. 그림 8(c)는 + V_{GS} 게이트 전압 펄스를 인가함에 따라 드레인 전류가 아날로그 형태로 증가함을 보여주며, 이는 시냅스의 synaptic weight의 증가에 의한 potentiation 특성을 모사하고 있으며, 반대 부호인 - V_{GS} 펄스를 인가함에 따라 드레인 전류가 다시 감소하는 depression 특성도 확인할 수 있다. 이와 같이, 본 연구팀을 포함하여 여러 연구팀에서 3단자 트랜지스터 구조를 이용하여 시냅스의 거동을 구현하려는 연구를 진행하고 있으며, 이는 뉴로모픽 시스템을 구현하기 위한 artificial synapse 소자로서 효과적으로 활용될 것으로 기대된다.

3. 맺음말

인간의 두뇌를 모사하는 뉴로모픽 컴퓨팅 시스템을 구현하려는 연구는 방대한 양의 정보처리와 데이터 저장, 그리고 인공지능 기술과 같은 최첨단 정보전자 기술의 발전을 위해 매우 중요한 기술로 평가되어 활발히 연구되고 있다. 뉴로모픽 시스템을 성공적으로 구현하기 위해서는, 단위 소자 단계의 뉴런과 시냅스 재료 및 소자, 그리고 이러한 뉴런-시냅스를 고밀도로 집적하는 공정기술, 이러한 집적 소자를 이용하여 최적화된 연산/논리/학습/기억 기능을 구현하기 위한 시스템 설계 기술 등 다양한 기술들이 접목되어야 한다. 본 원고에서 다루고 있는 시냅스 재료 및 소자 기술 또한 현재 많은 연구팀에서 다양한 재료와 소자 구조를 제안하여 활발하게 연구하고 있으나, 아직 많은 기술적 난제들을 극복해야 하는 상황이다. 생체 시스템의 시냅스 거동은 기본적으로 인가된 전압 신호에 의해 시냅스의 이온분포

상태의 변화에 기인함으로, 전자소자 거동과 이온소자 거동이 복합적으로 나타나는 특성이다. 즉 인가된 신호가 이온 이동과 재분포를 유도하고 이러한 결과로서 시냅스의 전기적 특성이 변하는 현상이다. 이러한 과정이 매우 낮은 전압에서 고밀도의 병렬처리 형태로 이루어짐으로 에너지 효율이 매우 높고, 대용량의 정보처리가 가능하며, 정보처리와 동시에 학습 및 기억 기능까지 구현하는 등 매우 효율적인 컴퓨팅 시스템을 구현하게 된다. 따라서 현재의 반도체 기술을 바탕으로 이온 소자 기술 등을 접목하는 등의 다양한 융합적 연구를 통하여 저전력 구동, 높은 에너지 효율, 고밀도 병렬처리, 논리/연산/학습/기억 기능을 통합적으로 구현하는 효율적인 뉴로모픽 시스템을 연구하는 것이 필요하며, 이는 미래의 컴퓨팅 시스템을 위한 중요한 기술이 될 것으로 예상된다. 🍷

참 / 고 / 문 / 헌

- [1] J. Borghetti, J. Li, J. Straznicky, X. Li, D.A.A. Ohlberg, W. Wu, D. R. Stewart, and R. S. Williams, *Proc. Nat. Acad. Sci.*, 106, 1699 (2009).
- [2] H. S. P. Wong and S. Salahuddin, *Nat. Nanotechnol.*, 10, 191 (2015).
- [3] <https://en.wikipedia.org/wiki/Synapse>.
- [4] <https://www.darpa.mil>.
- [5] S. H. Jo, T. Chang, I. Ebong, B. B. Bhadviya, P. Mazumder, and W. Lu, *Nano Lett.*, 10, 1297 (2010).
- [6] S. Yu, B. Gao, Z. Fang, H. Yu, J. Kang, and H. S. P. Wong, *Adv. Mater.*, 25, 1774 (2013).
- [7] J. D. Kim, Y. J. Baek, Y. J. Choi, C. J. Kang, H. H. Lee, H. M. Kim, K. B. Kim, and T. S. Yoon, *J. Appl. Phys.*, 114, 224505 (2013).
- [8] H. J. Kim, Y. J. Baek, Y. J. Choi, C. J. Kang, H. H. Lee, H. M. Kim, K. B. Kim, and T. S. Yoon, *RSC Adv.*, 3, 20978 (2013).
- [9] Y. J. Noh, Y. J. Baek, Q. Hu, C. J. Kang, Y. J. Choi, H. H. Lee, and T. S. Yoon, *IEEE Trans. Nanotechnol.*, 14, 798 (2015).
- [10] S. C. Lee, Q. Hu, Y. J. Baek, Y. J. Choi, C. J. Kang, H. H. Lee, and T. S. Yoon, *J. Appl. Phys.*, 114, 064502 (2013).
- [11] H. J. Kim, H. Zheng, J. S. Park, D. H. Kim, C. J. Kang, J. T. Jang, D. H. Kim, and T. S. Yoon, *Nanotechnology*, 28, 285203 (2017).
- [12] C. Diorio, P. Hasler, B. A. Minch, and C. A. Mead, *IEEE Trans. Elec. Dev.*, 43, 1972 (1996).
- [13] Y. Nishitani, Y. Kaneko, M. Ueda, T. Morie, and E. Fujii, *J. Appl. Phys.*, 111, 124108 (2012).
- [14] Q. Lai, L. Zhang, Z. Li, W. F. Stickle, R. S. Williams, and Y. Chen, *Adv. Mater.*, 22, 2448 (2010).
- [15] L. Q. Zhu, C. J. Wan, L. Q. Guo, Y. Shi, and Q. Wan, *Nat. Comm.*, 5, 3158 (2014).
- [16] P. Yang, H. J. Kim, H. Zheng, G. W. Beom, J. S. Park, C. J. Kang, and T. S. Yoon, *Nanotechnology*, 28, 225201 (2017).
- [17] M. D. Ventra, Y. V. Pershin, and L. O. Chua, *Proc. IEEE*, 97, 1717 (2009).
- [18] P. Yang, Y. J. Noh, Y. J. Baek, H. Zheng, C. J. Kang, H. H. Lee, and T. S. Yoon, *Appl. Phys. Lett.*, 108, 052108 (2016).

저 / 자 / 약 / 력



성명	윤 태 식
학력	1996년 서울대학교 금속공학과 공학사 1998년 서울대학교 금속공학과 공학석사 2002년 서울대학교 재료공학과 공학박사
경력	2002년-2006년 서울대학교, 미국 UCLA 박사후연구원 2007년 삼성전자 반도체연구소 책임연구원 2007년-현재 명지대학교 조교수, 부교수, 교수