

고분자막을 점착층으로 사용한 유기 박막 트랜지스터의 안정성

형건우, 표상우, 김준호, 김영관
홍익대학교

Stability of Organic Thin-Film Transistors Fabricated by Inserting a Polymeric Film

Gun-Woo Hyung, Sang-Woo Pyo, Jun-Ho Kim and Young-Kwan Kim
Hongik Univ.

Abstract : In this paper, it was demonstrated that organic thin-film transistors (OTFTs) were fabricated with the organic adhesion layer between an organic semiconductor and a gate insulator by vapor deposition polymerization (VDP) processing. In order to form polymeric film as an adhesion layer, VDP process was also introduced instead of spin-coating process, where polymeric film was co-deposited by high-vacuum thermal evaporation from 6FDA and ODA followed by curing. The saturated slope in the saturation region and the subthreshold nonlinearity in the triode region were clearly observed in the electrical output characteristics in our organic thin film transistors using the staggered-inverted top-contact structure. Field effect mobility, threshold voltage, and on-off current ratio in 15-nm-thick organic adhesion layer were about $0.5 \text{ cm}^2/\text{Vs}$, -1 V , and 10^6 , respectively. We also demonstrated that threshold voltage depends strongly on the delay time when a gate voltage has been applied to bias stress.

Key Words : Vapor deposition polymerization(VDP), Organic thin-film-transistors(OTFTs), Adhesion layer

1. 서 론

최근 10여 년간 유기 반도체 성질을 띄는 유기 소재의 개발과 이를 이용한 다양한 응용 연구 또한 어느 때보다 활발히 진행되어 왔다. 특히 organic light emitting device (OLED) 분야는 상품화를 목전에 두고 있어 유기물을 이용한 응용 연구를 활성화시키는 촉매제 역할을 하고 있으며, OLED의 능동 구동용 회로로 시작하여 차세대 스마트 카드 등의 응용에도 기대되는 organic thin-film transistors (OTFTs)도 급부상을 하고 있다. OTFT란 기존의 active matrix (AM) 디스플레이의 구동소자로 사용 및 연구되고 있는 a-Si:H TFT와 poly-TFT 등에 비해 적은 공정 단계, 경량화 및 박막화의 편리성, 자유로운 기판사용으로 제조 단가 측면에서 경제적이고 고체소자로서 외부의 충격에 강한 차세대 디스플레이의 구동회로로 주목받고 있다.

하지만 유기 반도체 소자의 경우에는 전하이동도가 무기 TFT에 비해서 상대적으로 낮은 편이다. 따라서 OTFT소자의 경우 전하이동도의 연구에 집중되었다. 하지만 상용화에 있어서 소자의 재현성, 안정성, 이력 현상, 균일성 등의 많은 문제점들이 나타나고 있다[1]. 본 논문에서는 계면의 특성을 개선하기 위한 방법으로 폴리이미드를 점착층으로 사용한 소자를 제작하여 전하이동도에 중요한 요소인 표면거칠기 (morphology)와 표면에너지 (surface energy)를 낮춤으로서 전하이동을 향상시켰다. 또한 전하이동도와 문턱전압은 OTFT소자의 올바른 작동에 중요한 요소로서 지연시간(delay time)에 따른 바이어스 스트레스를 가하여

소자의 이력현상을 연구하였다[2,3].

2. 실험

그림 1.은 본 논문에서 사용한 소자의 구조이다. 유리 기판위에 inverted-staggered 구조로 제작하였다. 게이트 전극은 스퍼터링(sputtering)으로 100 nm 두께의 ITO를 성막하였고, 게이트 절연체는 plasma enhanced chemical vapor deposition(PECVD) 방법으로 SiO₂를 0.2 μm 성막하였다. 유기 반도체와 무기 게이트 절연층의 계면 특성을 향상시키기 위해서 점착층으로 폴리이미드를 VDP 방법으로 증착하였다. 폴리이미드막은 2,2-bis (3,4-dicarboxyphenyl) hexafluoropropane dianhydride 와 4,4'-oxydianiline를 5 Å/s의 증착률로 동시에 1:1로 열 증착 시킨 후 150 °C에서 1시간 열처리 한 후 다시 200 °C에서 1시간 열처리 하여 고분자막을 형성시켰다. 이때 진공도는 5×10^{-7} torr로 유지하였고 2,2-bis (3,4-dicarboxyphenyl) hexafluoropropane dianhydride 와 4,4'-oxydianiline 두 물질의 증착 속도 균형을 맞추기 위해서 2시간 동안 예열 과정을 거쳤다. 가장 널리 쓰이고 있는 유기반도체인 펜타센을 활성층으로 사용하였고 그 증착 속도는 0.3 Å/s로 하였다. 소스(source)와 드레인(drain) 전극은 웨도우 마스크를 통하여 금 (Au)을 열 증착하였고 이때의 채널 길이와 폭은 각각 50 μm와 1250 μm로 하였다[4].

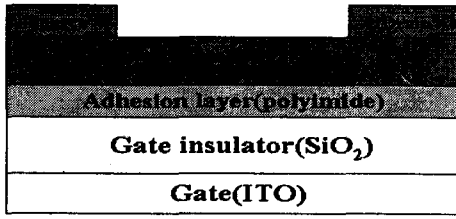


Figure 1. Device structure with vapor deposition polymerized layers

3. 결과 및 검토

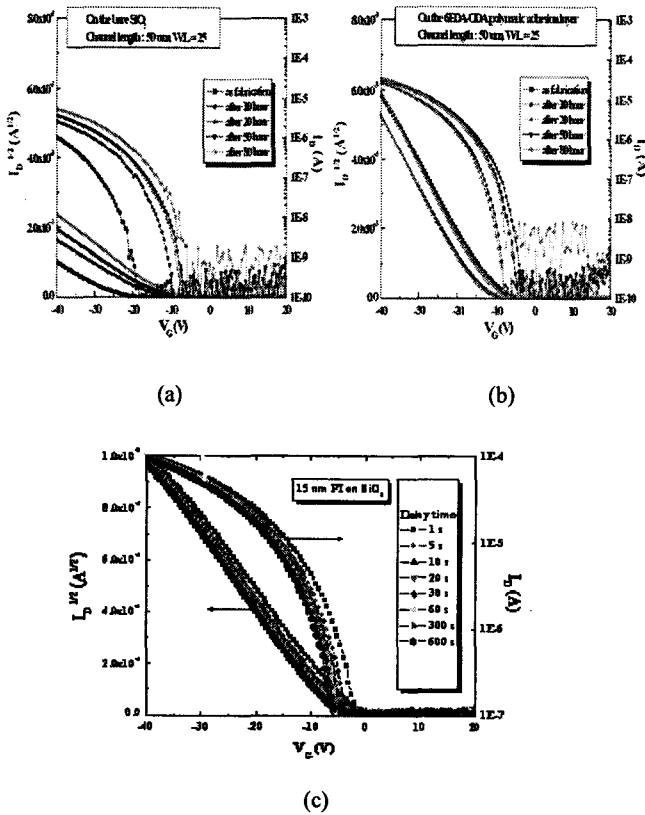


Figure 2. Comparison with electrical transfer characteristics according to delay time in OTFTs.

그림 2.은 지연시간을 주었을 때 나타나는 전기적 특성 그래프이다. 폴리이미드가 15 nm 두께로 증착된 유기 TFT 소자의 경우 문턱전압이 -25 V에서 -10 V 사이에서 -13 V에서 -8 V로 문턱전압의 이동이 줄어드는 것을 관찰할 수 있었다. 또한 전류 정열비 (on/off ratio)는 10^5 에서 10^6 으로 향상 되었다. 부 문턱기울기는 3.4 V/decade에서 1.5 V/decade로 측정되었다.

일반적으로 바이어스 스트레스에 의한 문턱전압의 이동은 절연층에서 전하들의 갇힘에 기인되어진다. 증착층을 사용하지 않을 경우 긴 회복시간과 문턱전압의 이동은 활성층에서 원래상태로 돌아갈 수 있는 구조적인 변화에 기인한 것이다. 그리고 이것은 정공들 혹은 전자들의 축적

에 의해서 유도된 것이며 활성층과 유전체 사이의 표면에서 깊게 편재화된 상태를 만들어준다. 하지만 SiO_2 절연막의 유전상수보다 낮은 폴리이미드를 활성층과 무기 절연층 사이에 증착시키면 마이너스 게이트 전압을 증가시킴에 따라서 정공들은 낮은 폴리리트로 인한 계면 사이의 비편재화로 인하여 전하들의 편재화가 줄어들게 된다. 따라서 바이어스 스트레스 상태에 문턱전압의 이동과 회복이 SiO_2 유전체만을 게이트 절연층으로 사용할 때보다는 조금 작은 크기로 일어나게 된다.

본 실험 결과로서 비 편재된 유기 활성층 위에 기초한 신뢰성있는 소자는 낮은 유전상수를 가지는 폴리이미드와 같은 유기 절연막을 사용함으로써 이력현상을 줄일 수 있고 폴리이미드 막을 증착시킨 경우에 전기적 특성의 향상 이외에 소자의 안정성이 높아지는 것을 발견할 수 있다.

4. 결론

폴리이미드를 증착층으로 사용함으로써 반도체층과 절연층 사이의 계면 특성을 향상시키는 연구를 진행하였고 SiO_2 와 계면 특성의 향상이 OTFT의 전기적 특성에 미치는 영향을 규명하였다. 또한 고분자 증착층이 소자의 전기적 이력 특성을 분석함으로써 증착층으로의 역할로서 전기적 특성을 향상시키고 소자를 안정화 시키는 효과를 규명하였다. 마지막으로 증착층의 형성에 있어서 패턴이 가능하고, 고분자화 시킬 때 촉매가 필요 없는 VDP 방법을 응용함으로써 이를 통한 다양한 영역에 적용의 가능성을 본 연구결과를 통하여 제시하고 있다.

감사의 글

본 연구는 2005년도 협동연구지원(No.D00161)의 연구비 지원에 의한 것입니다.

참고 문헌

- [1] M. J. Powell, Appl. Phys. Lett. 43, 6, 1983.
- [2] C. R. Kagan, A. Afzali, and T. O. Graham, Appl. Phys. Lett. 86, 193505, 2005.
- [3] K. Nomoto, N. Hirai, N. Yoneya, N. Kawashima, M. Noda, M. Wada, and J. Kasahara, IEEE Transactions on Electron Devices. 52, 1519, 2005.
- [4] S. W. Pyo, D. H. Lee, J. R. Koo, J. H. Kim, J. H. Shim and Y. K. Kim, JJAP. 44, 652, 2005.