

산화막 형성 방법에 따른 전계판 구조 탄화규소 쇼트키 다이오드의 역전압 특성

방 옥, 정희종*, 김남균, 김상철, 서길수, 김형우, 청관유, 김은동
한국전기연구원, 동의대학교*

Reverse Characteristics of Field Plate Edge Terminated SiC Schottky Diode with SiO₂ Formed Various Methods

W. Bahng, H. J. Cheong*, N. K. Kim, S. C. Kim, K. S. Seo, H. W. Kim, K. Y. Cheong, E. D. Kim
KERI, DongEui Univ*

Abstract

Edge termination technique is essential for the fabrication of high voltage devices. A proper edge termination technique is also needed in the fabrication of Silicon Carbide power devices for obtaining a stable high blocking voltage properties. Among the many techniques, the field plate formation is the easiest one that can utilize it for commercial usage. The growth of thick thermal oxide is difficult for SiC, however. In this paper, 6A grade SiC schottky barrier diodes(SBD) were fabricated with field plate edge termination. The oxides which is field plate were formed various methods such as dry oxidation, 10% N₂O nitrided oxidation and PECVD deposition. The reverse characteristics of the SiC SBD with various oxide field plate were investigated.

Key Words : Egde terminatikon, Silicon Carbide, Schottky diode, Field Plate, 6A

1. 서 론

고내압 소자는 저농도의 에피층 및 확산층을 형성시키고 역전압하에서 이층에서의 공핍층 형성을 통해 구현하게 된다. 따라서 저농도의 에피층 두께와 공핍층 형성후 이층에 형성되는 전계가 반도체 재료의 임계 항복 전계에 도달할 때 까지의 전압이 소자의 내전압이 된다. 탄화규소 반도체는 실리콘 반도체에 비해 임계 항복 전계가 약 10에 해당하여 동일등급의 고내압 소자를 제조함에 있어 약 1/10의 저농도 에피층 내지는 확산층으로 제조가 가능하다. 이러한 저농도 에피층 및 확산층은 고저항층이 되므로 순방향특성에서 대부분의 온저항 성분으로 작용하게 된다. 따라서 실리콘 반도체를 이용한 고내압 소자에 비해 탄화규소 반도체를 이용한 고내압 소자는 온저항 특성을 1/10로 줄일 수

있는 장점이 있다[1]. 또한 turn-off시의 손실이 작고 turn-on 에너지가 작은 등 스위칭 손실이 매우 작은 장점이 있으며, 탄화규소의 특성상 쇼트키 장벽 높이(SBH)가 실리콘에 비하여 매우 크며 역방향 전류(reverse current)는 SBH에 지수함수적으로 반비례하여 작아지므로 고전압 환경에서 매우 유리하다[2-4].

고내압 소자의 저농도층에서의 공핍층 형성 및 전계 분포는 소자의 깊이 방향보다는 가장자리부분에 집중되게 되어 실제로는 가장자리부분에서 항복이 쉽게 일어나게 되고, 이를 충분히 억제해 주어야만 저농도 에피층 및 확산층으로부터 얻을 수 있는 고내전압을 구현할 수 있다. 이를 위해 모든 고내압 소자는 가장자리부분의 전계 집중을 완화할 수 있는 edge termination구조를 채택하고 있다 [3]. 본 연구에서는 공정이 가장 간단하여 양산화

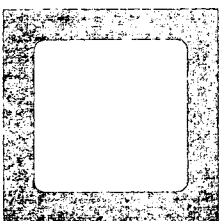
가 용이한 산화막을 이용한 전계판 구조 edge termination 방법을 이용하여 6A급 탄화규소 쇼트키 다이오드를 여러 가지 산화막 제조방법을 이용하여 제조하였다. 탄화규소의 경우 실리콘 소자와는 달리 두꺼운 열산화막의 형성이 어려우므로 열산화막과 더불어 PECVD법을 이용하여 증착한 산화막을 이용하여 소자의 역전압 특성 변화를 고찰하였다.

2. 실험

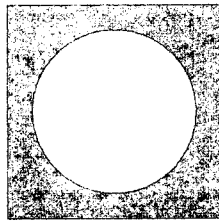
탄화규소 기판은 미국의 Cree사로부터 구입하여 실험하였다. 기판은 모두 n-type이며, 저항이 0.02Ω cm이고 두께가 300um로 제조된 소자에서의 저항 성분으로는 크게 작용하지 않는다. 한편 저농도인 5e15농도로 조절된 10um두께의 에피층이 존재하며, 이 에피층의 저항이 소자의 온저항특성을 결정하게 된다. 전계판으로 사용할 산화막을 건식 산화막, 건식 질화산화막, PECVD증착 산화막 및 이들의 조합을 이용하여 소자를 제조하였다. 각각의 시편은 D, N, P로 구분하여 표시하였다. 건식산화막(D)은 1150℃에서 4시간동안 산화하였으며 40nm의 두께를 갖고, 질화산화막(N)은 1175℃에서 7시간동안 10% N₂O + 90% N₂가스를 사용하여 성장시켰으며 그 두께는 16nm이었다. 또한 PECVD증착 산화막(P)은 300℃에서 두께 1um가 되도록 증착시켰다.

3. 결과 및 고찰

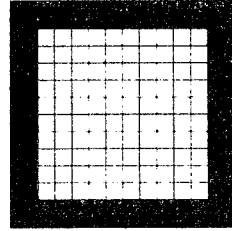
6A의 전류를 흘리기 위해서는 넓은 접촉면적을 갖는 소자를 제조하여야 하므로, 전류밀도 270~300A/cm²에서 6A의 전류를 흘릴 수 있도록 설계하였다. 탄화규소 반도체는 아직 기판의 micropipe 및 에피층 표면의 여러 가지 결함이 많이 존재하여 이들의 영향을 줄이고자 그림 1 (c,d)



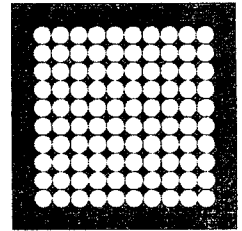
(a)



(b)



(c)



(d)

그림 1. 4가지 형태의 6A급 탄화규소 쇼트키 다이오드 mask.

와 같이 동일면적을 갖도록 grid형태로 배열한 소자를 같이 제작하였다.

각각의 다이오드는 전계판 구조의 edge termination구조를 가지며, 금속전극막의 산화막 위로의 overlap은 모두 10um로 동일하였다. 위 4가지 형태 다이오드의 크기 및 접촉면적등은 표 1에 정리하였다.

그림 2는 제작된 6A급 탄화규소 쇼트키 다이오드 wafer의 형상이다. Cree사로부터 구입한 2인치 웨이퍼를 1/4로 나누어 사용하였으며, 하나의 웨이퍼 내에 위의 4가지 형태 소자가 모두 배치되도록 제작되었다. 본 실험에서는 각 소자를 패키징하기 전에 chip상태에서 내전압을 측정하였다.

표 1 각 형태별 소자의 치수 및 면적

형태	type_a	type_b	type_c	type_d
접촉면적 (mm ²)	2.24	2.01	2.24	2.01
각변의 길이 또는 직경(um)	1500	1600	150	160
전류밀도 @6A (A/cm ²)	268	299	268	299
금속 overlap (um)	10	10	10	10~80
corner rounding (um)	100	-	10	-

탄화규소의 경우 이론적으로 10um두께의 저농도 에피층을 사용할 때, 1000V이상의 내전압을 구현할 수 있는 것으로 알려져 있다. 하지만 이는 소자

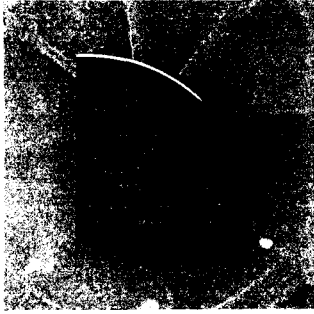


그림 2. 제작된 chip 상태의 6A급 탄화규소 쇼트키 다이오드.

의 가장자리부분에서 형성되는 전계집중을 효과적으로 완화시킬 수 있는 적절한 edge termination 구조가 사용되어야 가능하다. 가장 대표적인 edge termination 구조인 전계판 구조와 전계제한테 구조를 그림 3에 나타내었다. 이 밖에도 junction termination extension, glass passivation 및 beveling 기법등이 사용된다. 이 중에서 실제 양산화를 고려할 때 산화막을 이용한 전계판 구조가 공정이 간단하여 가장 가능성이 높다. 따라서 본 연

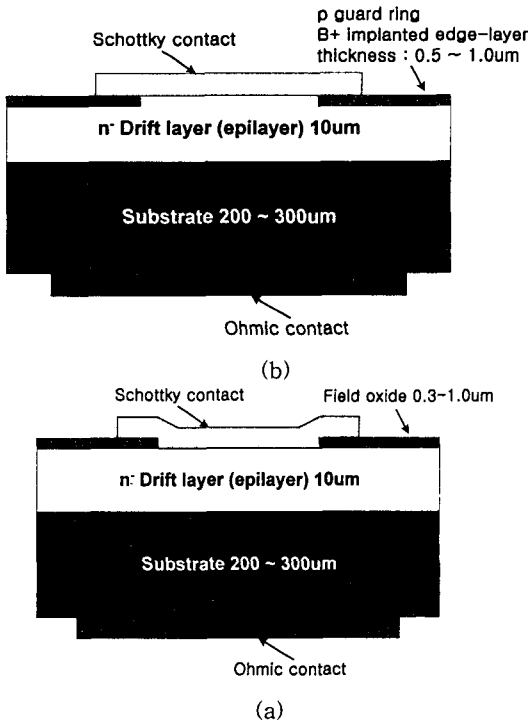


그림 3. 대표적인 고내압 소자용 edge termination 기법 (a) 전계판(field plate), (b) 전계제한테(implanted guard ring)구조

구에서는 전계판 구조의 edge termination 구조만을 사용하여 내전압 특성을 조사하였다. 이러한 전계판 구조를 이용하게 되면, 그림 4에 나타낸 바와 같이 가장자리부분에 산화막층 위의 전극으로부터의 영향으로 주집합 부분에 비해 얇은 공핍층을 형성하게 되고, 따라서 가장자리 부분의 전계집중을 완화시켜 반도체 재료의 임계전계에 도달하기까지 전계를 견딜수 있도록 해준다.

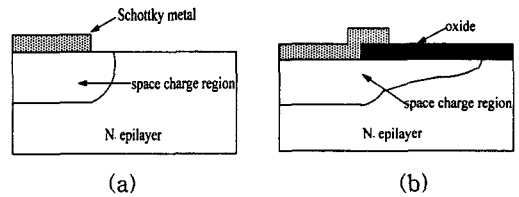
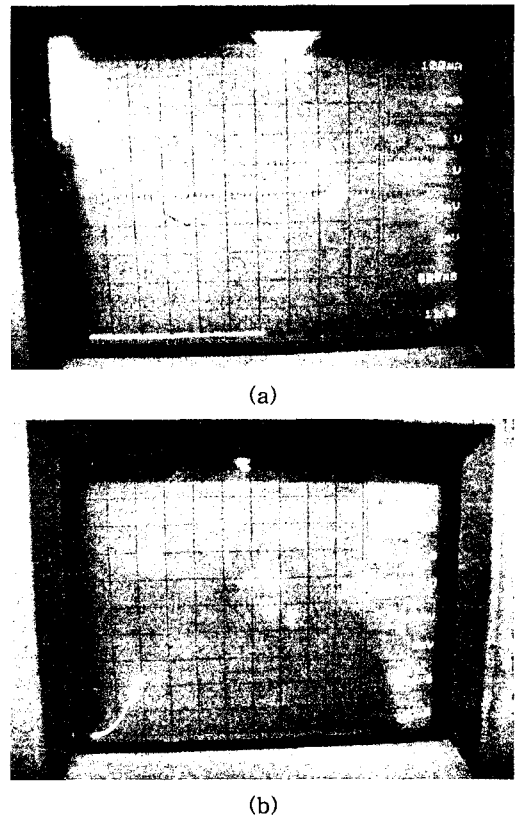
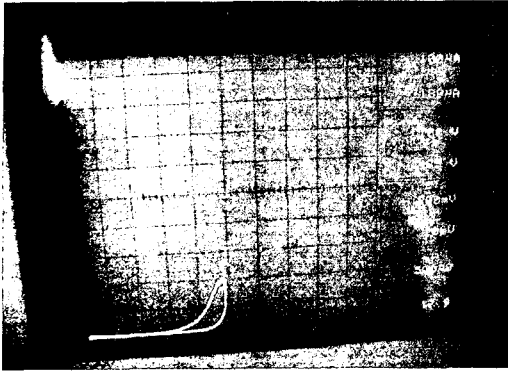


그림 4. 전계판에 의한 가장자리 전계집중 완화효과. (a) 전계판이 없을 경우, (b) 전계판이 있는 경우.

그림 5에 여러 가지 산화막을 이용한 탄화규소 쇼트키 소자의 대표적인 내전압 특성을 도시 하였다.





(c)

그림 5. 제작된 탄화규소 쇼트키 다이오드 소자의 대표적인 내전압 특성 곡선. (a) 항복전의 N_2O 산화 전계판을 가진 소자의 내전압 특성, (b) 항복이후의 질화산화전계판을 가진 소자의 내전압 특성, (c) PECVD 증착산화 전계판을 가진 소자의 내전압 특성

본 실험에서 제조한 소자의 경우 이론상 1000V 이상의 내전압을 가져야 하나 300~500V정도의 내전압만 구현되었으며, 따라서 4가지 다른 형태의 소자들의 특성은 큰 차이를 보이지 않았다. 여러 가지 산화막의 두께 및 특성이 이론적인 값을 구현하기에는 부족한 것으로 보인다.

건식산화막 및 질화산화막의 경우 비슷한 특성을 나타내었다. 즉, 각각의 경우 최고 300~350V의 내전압을 보였으나, 그 이상의 역전압에서는 항복이 일어나 이후 측정에서는 높은 내전압을 보이지 않는다. 반면, 두꺼운 PECVD증착 산화막의 경우에는 항복이 일어난 이후에도 일정한 항복전압을 나타내고 있어 안정된 특성을 보여주고 있다. 반면 항복전압이하에서의 누설전류는 질화산화막의 경우가 $10\mu A$이하의 값을 나타내어 가장 좋은 특성을 나타내었다. 이는 질화산화막 및 건식열산화막의 경우가 좋은 계면특성을 가지고 있어[5] 누설전류가 적은 좋은 특성을 보이지만 얇은 두께에 의해 고전압에서 반도체 재료내에서의 항복이전에 산화막의 파괴가 일어나기 때문으로 보인다. PECVD산화막의 경우에는 막의 특성이 열산화막에 비해 나빠 누설전류는 크나, 그 두께가 충분하여 반도체 재료내의 항복까지 산화막의 파괴가 일어나지 않아 안정적인 항복특성을 보이는 것으로 고려된다. 따라서 안정적인 항복특성 및 낮은 누설전류를 갖는 소자를 제조하기 위해서는 이들 각각

의 특성을 이용할 수 있도록 얇은 열산화막 위에 두꺼운 PECVD증착막을 성장시켜 이용하는 것이 바람직한 것으로 생각된다.

4. 결 론

여러 가지 열산화막 및 PECVD증착 산화막을 이용하여 전계판 구조의 고내압 소자를 제조하였다. 열산화막, 특히 질화산화막의 경우에는 얇은 두께에도 불구하고 300V이상의 내압을 구현하였고, 누설전류도 작음을 확인하였다. 하지만 너무 얇은 두께로 인해 탄화규소 내에서의 항복이전에 산화막이 파괴되는 현상이 있었다. 따라서 좋은 특성의 고내압 탄화규소 소자를 제조하기 위해서는 전계판으로 사용되는 산화막을 질화열산화막과 PECVD증착 산화막의 이중층으로 이용하는 것이 요구된다.

감사의 글

본 논문은 산업자원부 차세대연구개발사업인 "SiC 반도체 기술개발 사업 (SiCDDP)"의 지원으로 이루어진 것입니다.

참고 문헌

- 1) K. Schoen, J. Woodall, J. A. Cooper, "Design Considerations and Experimental Analysis of High-Voltage SiC Schottky Barrier Rectifiers", IEEE Trans. Electron Dev. 45[7] 1595-1604(1999).
- 2) R. Raghunathan and B.J. Baliga, "P-type 4H and 6H-SiC High-Voltage Schottky Barrier Diodes", IEEE Electron Dev. Lett. 19[3] 71-73(1998).
- 3) V. Saxena, J. Nong, and A. Steckl, "High-Voltage Ni- and Pt-SiC Schottky Barrier Diodes utilizing Metal Field Plated Termination", IEEE Trans. Electron Dev. 46[3] 456-64(1999).
- 4) G. Brezeanu, et al., "A Nearly Ideal SiC Schottky Barrier Device Edge Termination", pp.183-86 in ICSCRM '99(1999).
- 5) C. K. Yew, et al., "A Comparative Study of Gate Oxide Grown in 10%- N_2O and in Dry Oxygen on N-type 4H SiC" in this conference.