


# a-IGZO 박막 트랜지스터의 전기적 성능 개선을 위한 동시 저온 플라즈마 어닐링 공정

최정훈<sup>1</sup>, 이재윤<sup>1</sup>, 이범구<sup>1</sup>, 서정무<sup>1</sup>, 김성진<sup>1,2</sup> 

<sup>1</sup> 충북대학교 전자정보대학

<sup>2</sup> 충북대학교 의생명연구원

## Simultaneous Low-Temperature Plasma Annealing Process for Enhancing the Electrical Performance of a-IGZO Thin Film Transistors

Jung Hun Choi<sup>1</sup>, Jae-Yun Lee<sup>1</sup>, Beom Gu Lee<sup>1</sup>, Jung Moo Seo<sup>1</sup>, and Sung-Jin Kim<sup>1,2</sup>

<sup>1</sup> College of Electrical and Computer Engineering, Chungbuk National University, Cheongju 28644, Korea

<sup>2</sup> Biomedical Research Institute, Chungbuk National University Hospital, Cheongju 28644, Korea

(Received July 29, 2024; Revised August 12, 2024; Accepted August 16, 2024)

**Abstract:** The display industry has recently been at the forefront of innovative advancements in modern electronic devices. Technological progress such as flexible display holds significant potential across various application fields, particularly in wearable devices and rollable displays. A low-temperature process is essential for fabricating such displays. One of the key technologies in displays is the thin film transistor (TFT), with amorphous indium gallium zinc oxide (a-IGZO) receiving particular attention. a-IGZO is widely applied in high-performance displays due to its high charge mobility and stability. While a thermal treatment above 350°C is typically required to maximize the electrical performance of a-IGZO TFTs, such high temperatures pose challenges for utilizing polymer substrates like plastics. Here, we thesis investigates the simultaneous low-temperature plasma annealing process to develop next-generation high-performance flexible display devices. To define the optimal temperature, devices were fabricated and analyzed at varying temperatures of 40°C, 80°C, 120°C, and 160°C. Experimental results indicated that devices fabricated at 160°C and 80°C exhibited superior performance, with those at 160°C demonstrating better performance in terms of current ratio, threshold voltage, and subthreshold swing. These findings confirm that the simultaneous low-temperature plasma annealing process is effective for next-generation high-performance displays.

**Keywords:** Thin film transistor, a-IGZO, Simultaneous low-temperature plasma annealing, Effusion cell, IR lamp

## 1. 서론

최근 몇 년간, 디스플레이 산업은 큰 변화를 경험하고 있으며, 기존의 강화 유리를 벗어나 신소재를 사용하여 유연성 및 휴대성을 강조하는 디스플레이로의 전환이 가속화되고 있다 [1-5]. 따라서 기존의 유리 기반으로 한 디스플레이 기술은 높은 강도와 내구성에도 불구하고, 유연성에

✉ Sung-Jin Kim; [ksj@cbnu.ac.kr](mailto:ksj@cbnu.ac.kr)

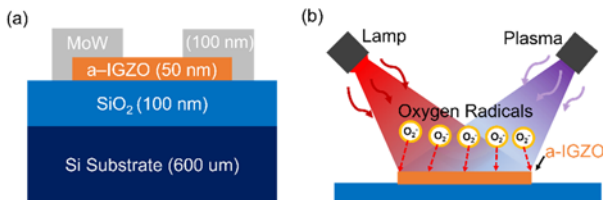
Copyright ©2024 KIEEME. All rights reserved.  
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

서 한계를 드러냈다 [6-10]. 유연 디스플레이 기술은 다양한 신소재와 첨단 기술을 활용하여 기존의 한계를 극복하고 있다 [11-15]. 특히, 유기발광 다이오드(OLED) 기술의 발전은 유연 디스플레이의 가능성을 크게 확장하였다. OLED는 자체 발광 특성을 가지고 있어 백라이트가 필요하지 않으며, 얇고 가벼운 구조를 유지할 수 있다. 이러한 디스플레이의 핵심 기술 중 하나는 박막 트랜지스터이며, 디스플레이의 화면을 구성하는 데에 사용한다 [16-20]. 박막 트랜지스터를 제작하는 데에 있어서 여러 가지 물질들이 존재하는데 이 중에서도 a-IGZO TFT는 우수한 전기적 특성과 고성능으로 인하여 많은 연구자들의 관심을 받아왔다 [21-26]. 하지만 a-IGZO TFT의 성능을 최대화하기 위해서는 고온의 열처리 과정이 필요하다. 이 과정은 박막의 결정 구조를 개선하고, 전기적 특성을 향상시키는 데 중요한 역할을 한다. 하지만 이러한 고온 열처리 공정은 유연한 폴리머 기판에 적용하는 데에 큰 제약이 있다. 폴리머 기판은 고온에 약해 열 변형이나 물질 손상이 발생할 수 있기 때문이다. 이러한 문제는 유연 디스플레이 및 웨어러블 디바이스와 같은 차세대 전자기기의 개발에 큰 장애물이 된다 [27-31].

본 논문에서는 a-IGZO TFT의 전기적 성능을 향상시키면서도 고온 열처리 과정의 문제를 극복하기 위해 동시 저온 플라즈마 어닐링 공정을 제안한다. 기존의 고온 열처리 과정은 유연한 폴리머 기판에 적용하기 어렵다는 한계가 있다. 이러한 문제를 해결하기 위해, 저온에서도 효과적으로 a-IGZO TFT의 전기적 특성을 개선할 수 있는 플라즈마 표면 처리 기술을 도입하고자 한다.

## 2. 실험 방법

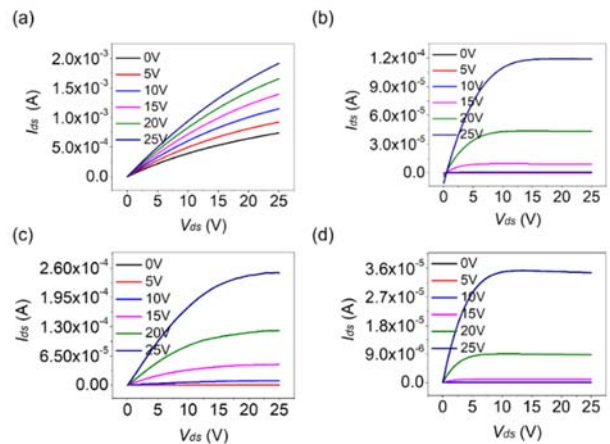
그림 1(a)는 본 연구에서 제작한 a-IGZO TFT에 대한 구조도를 나타내며, (b)는 동시 저온 플라즈마 어닐링 공정을



**Fig. 1.** (a) Schematic diagram of a-IGZO TFT according to simultaneous low-temperature plasma annealing process and (b) schematic diagram of simultaneous low-temperature plasma annealing process.

통해 플라즈마 표면처리 기술에 대한 모식도를 나타낸다. 그림 1(a)는 Si에 건식 산화법으로 100 nm 형성시킨 2×2 cm 사이즈의 SiO<sub>2</sub> 기판을 사용하였으며, 표면에 남아 있는 유기·무기 불순물들을 제거하기 위해 H<sub>2</sub>SO<sub>4</sub>와 H<sub>2</sub>O<sub>2</sub>를 3:1의 비율로 혼합한 용액을 사용하여 60°C로 가열하여 20 분간 반응시키는 piranha cleaning을 진행하였다. Cleaning 과정 이후 Di water로 기판을 충분히 헹군 다음, 아세톤과 IPA를 사용하여 초음파 세척기에서 45°C로 15분간 추가 세척을 진행하였다. 초음파 세척이 끝난 후, N<sub>2</sub> 가스를 이용하여 남아 있는 수분을 제거하기 위해 5~10분간 블로잉 과정을 실시하였다. 마지막으로, 공정 중 발생할 수 있는 불순물을 최소화하기 위해 기판을 45°C로 설정된 오븐에서 30분간 건조시켰다.

클리닝 공정 이후 활성화와 증착과정을 진행하기 위해 RF magnetron sputtering 공정을 이용하여, Ar 가스를 30 sccm으로 흐르게 하고, RF power를 150 W로 설정하여 6분 40초 동안 50 nm 두께의 a-IGZO 활성층을 증착하였다. 그 이후 고온 열처리에 따른 폴리머 기판의 활용성을 저해하는 문제점을 보완하기 위해, 그림 1(b)와 같이 동시 저온 플라즈마 어닐링 공정을 a-IGZO 표면 위에 수행하였다. 이는 40°C, 80°C, 120°C, 160°C로 10분씩 유지하는 방식으로 진행되었다. 마지막으로, MoW 전극을 50 nm 두께로 증착하기 위해 DC magnetron sputtering 공정을 이용하여, Ar 가스를 30 sccm으로 흐르게 하고, DC power를 150 W로 설정하여 3분 20초 동안 증착하였다.



**Fig. 2.** Output characteristic curves of a-IGZO TFTs according to simultaneous low-temperature plasma annealing process (a) 40°C, (b) 80°C, (c) 120°C, and (d) 160°C.

### 3. 결과 및 고찰

그림 2는 a-IGZO 표면 위에 40°C, 80°C, 120°C, 160°C 온도에 따라 동시 저온 플라즈마 어닐링 공정을 진행한 TFT의 전기적 특성을 측정하여  $V_{ds}$ 에 따른  $I_{ds}$ 의 변화를 나타낸 output curves이다. Output curves는  $V_{ds}$ 를 0~25 V까지 step 0.5 V로,  $V_{gs}$ 는 0~25 V까지 인가하여  $I_{ds}$  값을 측정하였다. 그림 2(a) 40°C, (c) 120°C의 output curves 형태를 보았을 때 포화 영역에서  $I_{ds}$ 가 계속 증가함을 보여 바이어스 전압에 따른 전자 이동이 불안정한 비정상적인 상태를 나타내었다. 반면, 그림 2(b) 80°C, (d) 160°C는 포화 영역에서  $I_{ds}$ 가 일정 수준을 유지하는 상태를 보여 바이어스 전압에 따른 채널 내 전하 트래핑이 최소화되고 정상적인 상태를 보이고 있다. 이를 통해 그림 2(a) 40°C, (c) 120°C는 TFT 채널의 결정 구조를 충분히 개선하지 못해 전자 이동 경로에 많은 결함을 남길 수 있다. 또한 전류 흐름에 불안정을 야기하며 비정상적인 전류 증가를 초래할 수 있다 [32-34].

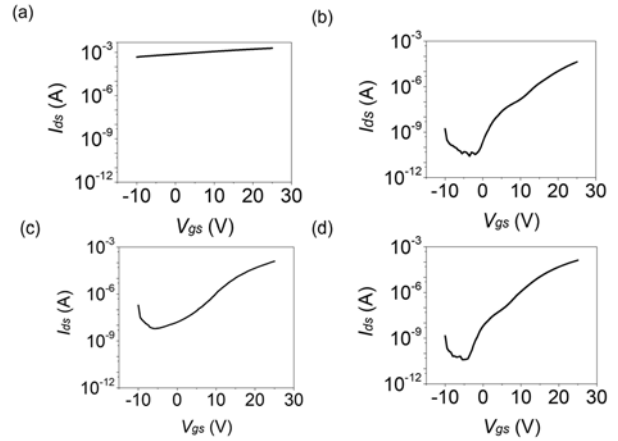
그림 3은  $V_{gs}$ 에 -10~25 V 전압을 주고  $V_{ds}$ 를 25 V를 고정하였을 때  $I_{ds}$ 의 변화를 나타낸 transfer curves이다. a-IGZO 표면위에 40°C, 80°C, 120°C, 160°C 동시 저온 플라즈마 어닐링 공정을 진행하고 그 전기적 특성을 분석하였다. 문턱전압 이하 스윙, 전하 이동도는 a-IGZO TFT의 주요 성능 지표 중 하나로, 아래의 수식을 통해 정의되었다.

$$S/S = \frac{dV_{gs}}{d(\log I_{ds})} \quad (1)$$

식 (1)은 문턱전압 이하 스윙 (S/S)을 계산한 것이며,  $V_{gs}$ 는 gate-to-source voltage이며,  $I_{ds}$ 는 drain current 값이다.

$$\mu = \frac{L}{WC_iV_{ds}} \left( \frac{dI_{ds}}{dV_{gs}} \right) \quad (2)$$

식 (2)는 전하이동도를 계산한 것이며,  $\mu$ 는 전하이동도,  $L$ 은 채널 길이,  $W$ 는 패널 너비  $C_i$ 는 게이트 절연막의 단위



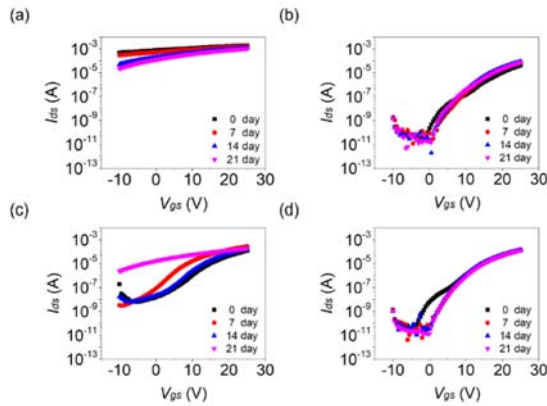
**Fig. 3.** Transfer characteristic curves of a-IGZO TFTs according to simultaneous low-temperature plasma annealing process (a) 40°C, (b) 80°C, (c) 120°C, and (d) 160°C.

면적당 용량,  $V_{ds}$ 는 드레인 소스 전압,  $I_{ds}$ 는 드레인 전류,  $V_{gs}$ 는 게이트 소스 전압을 나타낸다. 식 (1)과 (2)를 통해 동시 저온 플라즈마 어닐링 공정에 따른 a-IGZO 박막의 전하이동도는 4.79, 3.90, 5.36, 5.14  $\text{cm}^2/\text{Vs}$ , 전류비는  $4.9 \times 10^{-1}$ ,  $1.6 \times 10^7$ ,  $2.0 \times 10^4$ ,  $1.0 \times 10^7$ , 문턱전압은 -11.56, 14.44, 13.48, 12.76 V, 문턱전압 이하 스윙은 -10.00, 0.95, 2.04, 1.18 V/dec의 특성을 보였으며 이를 표 1에 나타내었다. 그림 3(a) 40°C, (c) 120°C일 때는 동시 저온 플라즈마 어닐링 공정에 따른 a-IGZO TFT 특성의 경향성이 보이나, 낮은 온도에서는 산소공공을 충분히 제거하지 못해, 이들 빈자리가 트랩 사이트로 작용하여 전하 운반자의 이동을 방해와 소자의 on 상태에서의 전류를 감소시키고, off 상태에서의 전류를 증가시키는 결과를 확인하였다 [35,36]. 반면, 그림 3(b) 80°C, (d) 160°C는 a-IGZO TFT 특성이 가장 좋은 것을 확인할 수 있었다. 각각의 온도 조건(40°C, 80°C, 120°C, 160°C)에서 제작된 소자의 전기적 특성을 분석한 결과, 160°C에서 제작된 디바이스가 가장 우수한 성능을 나타냈다.

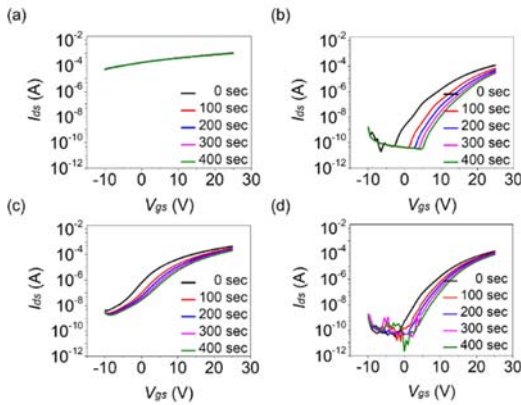
표 1에 나타난 바와 같이, 160°C에서 제작된 a-IGZO

**Table 1.** Electrical properties according to simultaneous low-temperature plasma annealing process.

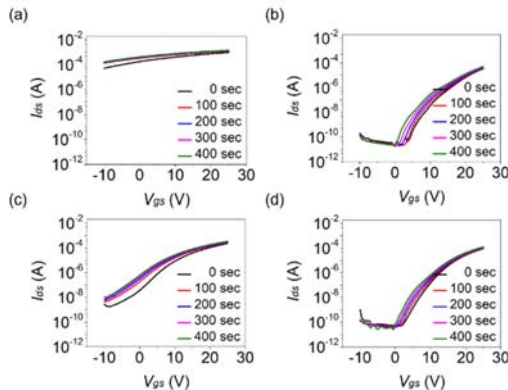
Temp (°C)	Mobility ( $\text{cm}^2/\text{Vs}$ )	On/Off ratio ( $I_{on}/I_{off}$ )	$V_{th}$ (V)	S/S (V/dec)
40	4.79	$4.9 \times 10^1$	-11.56	-10.00
80	3.90	$1.6 \times 10^7$	14.44	0.95
120	5.36	$2.0 \times 10^4$	13.48	2.04
160	5.14	$1.0 \times 10^7$	12.76	1.18



**Fig. 4.** Stability transfer characteristic curves of a-IGZO TFTs according to time at simultaneous low-temperature plasma annealing process temperature (a) 40°C, (b) 80°C, (c) 120°C, and (d) 160°C.



**Fig. 5.** Positive bias stress stability of TFTs with a-IGZO TFTs by simultaneous low-temperature plasma annealing process temperature (a) 40°C, (b) 80°C, (c) 120°C, and (d) 160°C (the stressing conditions were  $V_{gs} = +20$  V).



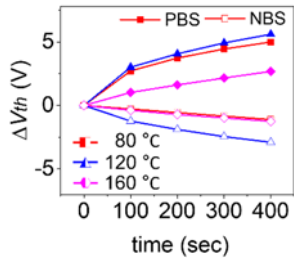
**Fig. 6.** Negative bias stress stability of TFTs with a-IGZO TFTs by simultaneous low-temperature plasma annealing process temperature (a) 40°C, (b) 80°C, (c) 120°C, and (d) 160°C (the stressing conditions were  $V_{gs} = -20$  V).

TFT 소자는 전하 이동도 값이  $5.14 \text{ cm}^2/\text{Vs}$ 로 가장 높은 값을 보였으며, 이는 동시 저온 플라즈마 어닐링 공정을 통해 표면 결함을 감소시키고 a-IGZO 박막의 전기적 특성이 크게 개선되었음을 시사한다. 전하 이동도 값이 증가함에 따라, TFT 소자의 전류-전압 특성 및 스위칭 속도가 향상되며, 이는 고성능 디스플레이 소자 개발에 중요한 요소로 작용한다. 160°C에서 동시 저온 플라즈마 어닐링 공정을 수행한 결과, 높은 전하 이동도와 안정적인 전기적 특성을 확인할 수 있다 [37,38].

그림 4는 각각 40°C, 80°C, 120°C, 160°C 온도에 따라 동시 저온 플라즈마 어닐링 공정을 한 a-IGZO 박막 트랜지스터의 전달 특성 곡선이다. 그래프는  $V_{gs}$ 에 -10~25 V 전압을 주고  $V_{ds}$ 를 25 V를 고정하였을 때  $I_{ds}$ 의 변화를 나타내고 소자의 시간에 대한 경과에 따른 transfer curves를 보여주고 있다. 그림 4(b) 80°C, (d) 160°C는 시간에 대한 경과에 따라 전기적 특성이 떨어지지 않고 오래 기간 동안 안정적으로 유지하는 모습을 보이고 있다. 그림 4(a) 40°C, (c) 120°C는 그림 3과 같이 TFT로서의 동작 특성을 보이지 않는 것을 확인할 수 있다.

그림 5는 동시 저온 플라즈마 어닐링 온도에 따른 a-IGZO 박막의 gate 부분에 양의 전압이 인가되었을 때 발생하는 positive stress에 따른  $V_{th}$  변화에 대한 측정 결과를 나타내었다. 이 측정은 stress를 받아도 안정적으로 유지되는지를 확인하기 위해 positive bias stress (PBS)를 0, 100, 200, 300, 400초 동안 적용하여 진행하였다. 그림 5(c) 120°C는 양의 전압을 받았을 때 시간이 증가할수록 on current가 저하되며, positive shift가 많이 일어나고 있다. 그림 5(a) 40°C, (b) 160°C는 디바이스 성능이 이미 저하된 상태에서 양의 전압이 인가되었을 때, positive shift가 비교적 적게 나타나지만, on/off 상태의 불안정성이 관찰되어 전반적인 TFT 소자의 효율성에 부정적인 영향을 미칠 수 있음을 알 수 있다. 반면 그림 5(d) 160°C는 양의 전압을 받았을 때 시간이 증가할수록 on current가 저하되지 않고, positive shift가 적게 일어나는 것을 확인할 수 있으며, 소자의 신뢰성과 TFT 소자의 효율성을 극대화할 수 있다.

그림 6은 동시 저온 플라즈마 어닐링 온도에 따른 a-IGZO 박막의 gate 부분에 음의 전압이 인가되었을 때 발생하는 negative stress와  $V_{th}$  변화에 대한 측정 결과를 나타내었다. 이 측정은 그림 5와 달리 negative bias stress (NBS)를 0, 100, 200, 300, 400초 동안 적용하여 진행하였다. 그림 6(c) 120°C는 음의 전압을 받았을 때 시간이 증가할수록 시간이 증가할수록 on current 저하되며, negative shift가 많이 일어나고 있다. 그림 6(a) 40°C,



**Fig. 7.** Stress and  $V_{th}$  changes in voltage gate regions under PBS and NBS conditions for simultaneous low-temperature plasma annealing process temperatures (a) 40°C, (b) 80°C, (c) 120°C, and (d) 160°C.

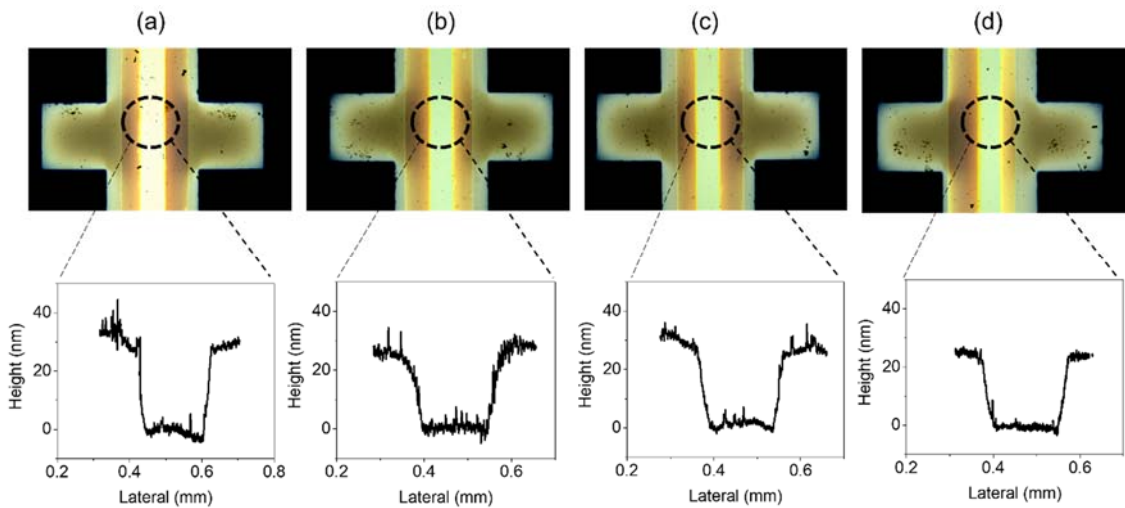
(b) 80°C는 디바이스 성능이 저하된 가운데 음의 전압이 인가되었을 때 negative shift는 상대적으로 적지만, 소자의 전반적인 성능이 급격히 열화 되는 경향을 보였다. 반면 그림 6(d) 160°C는 음의 전압이 인가되는 동안에도 시간이 지남에 따라 on current가 안정적으로 유지되고,  $V_{th}$ 의 negative shift도 최소화되는 것을 보여준다. 이는 이 조건에서의 동시 플라즈마 어닐링 공정이 소자의 장기적인 성능 안정성에 기여함을 시사한다.

그림 7은 PBS 및 NBS를 사용한 TFT 소자의 게이트 부분에 양의 전압, 음의 전압의 차이에 따라서 들어올 때 발생하는 stress와  $V_{th}$  변화를 측정 한 결과를 보여준다. 그림 7에서 40°C는  $V_{th}$  변화의 임계치를 넘어 측정 결과에서 제외하였으며, 트랜지스터 소자에 적용하기 어렵다고 판단하였다. 그림 7(d) 160°C는 (b) 80°C, (c) 120°C에 비해 시간이 지남에 따라 성능이 저하되지 않고 기존 상태를 안정적으로 유지하였다. 그림 7(d) 160°C는 트랜지스터 소자

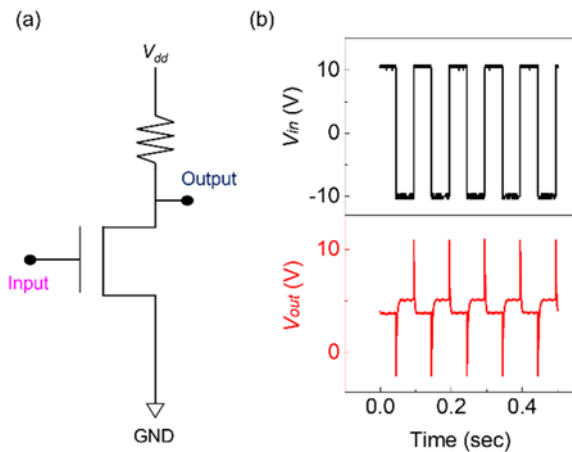
에 적용하기에 더 적합한 조건임을 알 수 있다.

그림 8은 40°C, 80°C, 120°C, 160°C 온도에 따라 동시 저온 플라즈마 어닐링 공정을 한 a-IGZO 박막의 미세한 형상 변화를 분석하기 위해 모폴로지 및 미세구조 변화를 측정하였다. 그림 8(a) 40°C는 패턴의 폭이나 두께가 불균일하게 나타나며 전류 밀도나 전기 저항에서 불균일성을 확인할 수 있다. 그림 8(b) 80°C, (c) 120°C는 패턴이 비대칭적이어서 전기적 특성이 불안정할 가능성이 높고 소자의 동작 속도나 전력 소비에 부정적인 영향을 미치는지 확인할 수 있다. 그림 8(d) 160°C는 다른 소자에 비해 패턴의 폭과 두께가 균일하게 유지되며, 결함이 거의 없거나 매우 적다는 것을 확인할 수 있다. 이를 통해 그림 8(d) 160°C와 같은 모폴로지를 구현하기 위한 공정 최적화가 필요하며, 이는 반도체 소자의 품질을 향상시키는 데 필수적이다 [39].

최종적으로, 소자의 반전 특성과 입력 신호에 대한 스위칭 응답속도를 측정하기 위해 로직 회로를 구성하였다. 그림 9는 160°C로 동시 저온 및 플라즈마 공정을 통해 제작한 소자를 활용하여 분석한 인버터 측정 실험 결과이다. 그림 9(a)는 다이내믹 인버터 동작 특성을 분석하기 위한 로직 인버터 회로의 모식도이고, 그림 9(b)는 a-IGZO TFT 소자의 인버터 특성 곡선이다. 파워 서플라이, 오실로스코프, 함수 발생기를 사용하여 회로를 구성하였으며, 회로의 부하 저항을 1 MΩ, 드레인 공급 전압( $V_{dd}$ )을 10 V로 설정하여 10 Hz에서 동적 반응 특성을 측정하였다.  $V_{in}$ 이 0 V 일 때, 인가되는 전압이  $V_{th}$  값보다 낮아 gate-drain-source 간에 무한대의 저항을 띠기 때문에  $V_{out}$ 으로 10 V가 출력된다. 반대로  $V_{in}$ 으로 10 V가 인가되면, gate-



**Fig. 8.** Morphology and microstructure changes in simultaneous low-temperature plasma annealing (a) 40°C, (b) 80°C, (c) 120°C, and (d) 160°C.



**Fig. 9.** Schematic diagram of a logic inverter circuit and a-IGZO TFT characteristic curve for analyzing dynamic inverter operation at 160 °C of simultaneous low-temperature plasma and annealing process.

drain-source 간에 매우 작은 저항을 띠며, 전류가 그라운드로 흘러  $V_{out}$ 은 0 V가 출력된다. 최종적으로, 그림 9(b)를 통해 저주파 영역에서 입력되는 구형파 low/high 신호를 high/low 신호로 출력하는 것을 확인할 수 있다.

#### 4. 결론

본 연구에서는 차세대 고성능 디스플레이 소자 개발을 위한 a-IGZO TFT의 동시 저온 플라즈마 어닐링 공정을 수행하였다. 다양한 온도 조건에서 제작된 디바이스의 성능을 분석한 결과, 160°C와 80°C에서의 디바이스가 우수한 성능을 나타냈으며, 특히 160°C에서 제작된 디바이스가 전하이동도, 전류비와 문턱전압, 그리고 문턱 전압 이하 스윙에서 더 나은 성능을 보였다. 이는 동시 저온 플라즈마 어닐링 공정이 차세대 고성능 디스플레이 소자에 효과적임을 입증하며, 향후 동시 저온 플라즈마 어닐링 공정을 통한 디스플레이 소자 개발에 중요한 기초 자료를 제공한다. 특히, 동시 저온 플라즈마 어닐링 공정이 디스플레이 소자의 성능에 미치는 긍정적인 영향을 입증함으로써, 플렉서블 디스플레이 및 차세대 전자기기에 적용 가능한 기술로서의 가능성을 확인하였다. 추후 연구에서는 다양한 온도 범위와 플라즈마 처리 조건을 통해 최적의 열처리 조건을 구체적으로 규명하고, 실질적인 디스플레이 소자 제작에 적용할 수 있는 방법을 계획하고 있다. 이를 통해 동시 저온 플라즈마 어닐링 공정의 실용화 가능성을 더욱 높이고, 차세대 고성능 디스플레이 소자의 발전에 기여할 수 있을 것으로 기대된다.

#### ORCID

Sung-Jin Kim

<https://orcid.org/0000-0001-7739-5328>

#### 감사의 글

This research was partly supported by Innovative Human Resource Development for Local Intellectualization program through the Institute of Information & Communications Technology Planning & Evaluation (IITP) grant funded by the Korea government (MSIT) IITP-2024-2020-0-01462 (34%), in part by the Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by Ministry of Education under Grant 2020R1A6A1A12047945 (33%), and in part by the Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education under Grant RS-2023-00249610 (33%).

#### REFERENCES

- [1] T. Wang, K. Lu, Z. Xu, Z. Lin, H. Ning, T. Qiu, Z. Yang, H. Zheng, R. Yao, and J. Peng, *Crystals*, **11**, 511 (2021). doi: <https://doi.org/10.3390/cryst11050511>
- [2] B. Mohamadzade, R.B.V.B. Simorangkir, S. Maric, A. Lalbakhsh, K. P. Esselle, and R. M. Hashmi, *Electronics*, **9**, 1375 (2020). doi: <https://doi.org/10.3390/electronics9091375>
- [3] F. Xu, X. Li, Y. Shi, L. Li, W. Wang, L. He, and R. Liu, *Micromachines*, **9**, 580 (2018). doi: <https://doi.org/10.3390/mi9110580>
- [4] B. Sun, Y. Z. Long, Z. J. Chen, S. L. Liu, H. D. Zhang, J. C. Zhang, and W. P. Han, *J. Mater. Chem. C*, **2**, 1209 (2014). doi: <https://doi.org/10.1039/c3tc31680g>
- [5] C. Liu, C. Xiao, C. Xie, and W. Li, *Nano Energy*, **89**, 106399 (2021). doi: <https://doi.org/10.1016/j.nanoen.2021.106399>
- [6] T. Wang, K. Lu, Z. Xu, Z. Lin, H. Ning, T. Qiu, Z. Yang, H. Zheng, R. Yao, and J. Peng, *Crystals*, **11**, 511 (2021). doi: <https://doi.org/10.3390/cryst11050511>
- [7] G. Nuroldayeva and M. P. Balanay, *Polymers*, **15**, 2924 (2023). doi: <https://doi.org/10.3390/polym15132924>
- [8] D. Y. Kim, M. J. Kim, G. Sung, and J. Y. Sun, *Nano Convergence*, **6**, 21 (2019).

- doi: <https://doi.org/10.1186/s40580-019-0190-5>
- [9] J. Chen and C. T. Liu, *IEEE Access*, **1**, 150 (2013).  
doi: <https://doi.org/10.1109/ACCESS.2013.2260792>
- [10] K. Jain, M. Klosner, M. Zemel, and S. Raghunandan, *Proc. IEEE*, **93**, 1500 (2005).  
doi: <https://doi.org/10.1109/JPROC.2005.851505>
- [11] Z. Cui, *Sci. China: Technol. Sci.*, **62**, 224 (2019).  
doi: <https://doi.org/10.1007/s11431-018-9388-8>
- [12] Y.Z.N. Htwe and M. Mariatti, *J. Sci.: Adv. Mater. Devices*, **7**, 100435 (2022).  
doi: <https://doi.org/10.1016/j.jsamd.2022.100435>
- [13] Y. Liu, M. Pharr, and G. A. Salvatore, *ACS Nano*, **11**, 9614 (2017).  
doi: <https://doi.org/10.1021/acsnano.7b04898>
- [14] J. Miao and T. Fan, *Carbon*, **202**, 495 (2023).  
doi: <https://doi.org/10.1016/j.carbon.2022.11.018>
- [15] S. Logothetidis, *Mater. Sci. Eng. B*, **152**, 96 (2008).  
doi: <https://doi.org/10.1016/j.mseb.2008.06.009>
- [16] L. Y. Ma, N. Soin, S. N. Aidit, F.A.M. Rezali, and S.F.W.M. Hatta, *Mater. Sci. Semicond. Process*, **165**, 107658 (2023).  
doi: <https://doi.org/10.1016/j.mssp.2023.107658>
- [17] C. Lu, Z. Ji, G. Xu, W. Wang, L. Wang, Z. Han, L. Li, and M. Liu, *Sci. Bull.*, **61**, 1081 (2016).  
doi: <https://doi.org/10.1007/s11434-016-1115-x>
- [18] S. Wang, J. Y. Oh, J. Xu, H. Tran, and Z. Bao, *Acc. Chem. Res.*, **51**, 1033 (2018).  
doi: <https://doi.org/10.1021/acs.accounts.8b00015>
- [19] K. Natu, M. Laad, B. Ghule, and A. Shalu, *J. Appl. Phys.*, **134**, 190701 (2023).  
doi: <https://doi.org/10.1063/5.0169308>
- [20] C. Wang, R. Cheng, L. Liao, and X. Duan, *Nano Today*, **8**, 514 (2013).  
doi: <https://doi.org/10.1016/j.nantod.2013.08.001>
- [21] C. Xin, L. Chen, T. Li, Z. Zhang, T. Zhao, X. Li, and J. Zhang, *IEEE Electron Device Lett.*, **39**, 1073 (2018).  
doi: <https://doi.org/10.1109/LED.2018.2839595>
- [22] D. Geng, S. Han, H. Seo, M. Mativenga, and J. Jang, *IEEE Sens. J.*, **17**, 585 (2016).  
doi: <https://doi.org/10.1109/JSEN.2016.2639525>
- [23] I. M. Choi, M. J. Kim, N. On, A. Song, K. B. Chung, H. Jeong, J. K. Park, and J. K. Jeong, *IEEE Trans. Electron Devices*, **67**, 1014 (2020).  
doi: <https://doi.org/10.1109/TED.2020.2968592>
- [24] N. Chatterjee, A. M. Weidling, Y. Zhou, P. P. Ruden, and S. L. Swisher, *IEEE Trans. Electron Devices*, **69**, 180 (2022).  
doi: <https://doi.org/10.1109/TED.2021.3131107>
- [25] C. J. Chiu, S. P. Chang, and S. J. Chang, *IEEE Electron Device Lett.*, **31**, 1245 (2010).  
doi: <https://doi.org/10.1109/LED.2010.2066951>
- [26] S. Tappertzhofen, *MRS Adv.*, **7**, 723 (2022).  
doi: <https://doi.org/10.1557/s43580-022-00298-z>
- [27] J. H. Kwon, Y. Jeon, and K. C. Choi, *ACS Appl. Mater. Interfaces*, **10**, 32387 (2018).  
doi: <https://doi.org/10.1021/acsmi.8b08951>
- [28] Z. Hu, C. Dong, D. Zhou, Y. Chen, J. Wu, H. Xie, C. L. Chiang, P. L. Chen, T. C. Lai, C. C. Lo, and A. Lien, *J. Disp. Technol.*, **11**, 610 (2015).  
doi: <https://doi.org/10.1109/JDT.2015.2421934>
- [29] K. W. Park and W. J. Cho, *Materials*, **14**, 2630 (2021).  
doi: <https://doi.org/10.3390/ma14102630>
- [30] X. Xiao, L. Zhang, Y. Shao, X. Zhou, H. He, and S. Zhang, *ACS Appl. Mater. Interfaces*, **10**, 25850 (2017).  
doi: <https://doi.org/10.1021/acsmi.7b13211>
- [31] H. J. Jeong, Y. S. Kim, S. G. Jeong, and J. S. Park, *ACS Appl. Electron. Mater.*, **4**, 1343 (2022).  
doi: <https://doi.org/10.1021/acsaelm.2c00079>
- [32] Y. Shao, X. Wu, M. N. Zhang, W. J. Liu, and S. J. Ding, *Nanoscale Res. Lett.*, **14**, 122 (2019).  
doi: <https://doi.org/10.1186/s11671-019-2959-1>
- [33] Y. Jeong, H. Kim, J. Oh, S. Y. Choi, and H. Park, *J. Electron. Mater.*, **52**, 3914 (2023).  
doi: <https://doi.org/10.1007/s11664-023-10386-x>
- [34] D. Wang, M. Furuta, S. Tomai, and K. Yano, *Nanomaterials*, **10**, 617 (2020).  
doi: <https://doi.org/10.3390/nano10040617>
- [35] W. Zhang, Z. Fan, A. Shen, and C. Dong, *Micromachines*, **12**, 1551 (2021).  
doi: <https://doi.org/10.3390/mi12121551>
- [36] D. Xin, Z. Cui, T. Kim, and J. Yi, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **34**, 85 (2021).  
doi: <https://doi.org/10.4313/JKEM.2021.34.2.85>
- [37] Y. Xu, Y. Zhang, T. He, K. Ding, X. Huang, H. Li, J. Shi, Y. Guo, and J. Zhang, *Coatings*, **9**, 357 (2019).  
doi: <https://doi.org/10.3390/coatings9060357>
- [38] D. M. Sanni, Y. Chen, A. S. Yerramilli, E. Ntsoenzok, J. Asare, S. A. Adeniji, O. V. Oyelade, A. A. Fashina, and T. L. Alford, *Mater. Renewable Sustainable Energy*, **8**, 3 (2019).  
doi: <https://doi.org/10.1007/s40243-018-0139-3>
- [39] J. S. Lim and F. K. Yam, *J. Mater. Sci.: Mater. Electron.*, **34**, 1302 (2023).  
doi: <https://doi.org/10.1007/s10854-023-10675-5>