

<https://doi.org/10.7236/JIIBC.2024.24.5.129>
JIIBC 2024-5-19

레이다 신호처리보드의 고속 통신 기술

High-Speed Communication Technology of Radar Signal Processing Board

김홍락*, 박성호**, 황선정**, 김정은**

Hong-Rak Kim*, Sung-Ho Park**, Seon-jeong Hwang**, Jeong-eun Kim**

요약 레이다 신호처리보드는 DSP와 FPGA를 포함하는 아키텍처를 가진 임베디드 시스템을 널리 사용되어 왔다. DSP와 FPGA간의 고속 실시간 통신이 있으며, DSP와 DSP 간의 고속 실시간 통신, FPGA와 외부 레이다 구성품들과의 고속 통신이 있다. 본 논문에서는 DSP가 부팅을 하기 위하여 메모리와 EMIF(External Memory Interface), DSP간 HyperLink, FPGA와 DSP간 SRIO(Serial Rapidio), PCIe(PCI Express), FPGA와 외부 구성품과의 RS422 통신 등 일반적인 통신 인터페이스를 설명하고, 이러한 인터페이스를 사용하여 높은 통신 성능을 구현하는 방식에 대하여 설명한다. 특히 DSP와 FPGA 간의 고속통신에 대해서는 속도와 성능을 분석하여 설계하는 것에 대하여 설명한다. 그리고 이전에는 외부 레이다 구성품들을 제어하고 정보를 받기 위하여 개별 신호를 여러 개의 신호를 통하여 병렬 처리하는 방식에서 RS422 통신을 통하여 고속으로 많은 정보를 받는 방식에 대하여 설명한다. 새로운 방식은 레이다 신호처리보드의 통신 속도와 성능을 향상시킨다.

Abstract Radar signal processing boards have been widely used in embedded systems with architectures including DSPs and FPGAs. There is high-speed real-time communication between DSP and FPGA, high-speed real-time communication between DSP and DSP, and high-speed communication between FPGA and external radar components. This paper describes general communication interfaces such as memory and External Memory Interface (EMIF), HyperLink between DSP, SRIO (Serial Rapidio) between FPGA and DSP, PCIe (PCI Express), RS422 communication with FPGA and external components for DSP to boot, and describes how to implement high communication performance using these interfaces. In particular, high-speed communication between DSP and FPGA is explained by analyzing speed and performance. And previously, it describes how to receive a lot of information at high speed via RS422 communication, from the method of parallel processing individual signals through multiple signals in order to control the external radar components and receive information. The new method improves the communication speed and performance of the radar signal processing board.

Key Words : Radar, DSP, FPGA, SRIO, EMIF, RS422

*정회원, LIG넥스원(주) PGM탐색기연구소 (교신저자)

**정회원, LIG넥스원(주) PGM탐색기연구소

접수일자 2024년 7월 11일, 수정완료 2024년 9월 1일
게재확정일자 2024년 10월 4일

Received: 11 July, 2024 / Revised: 1 September, 2024 /

Accepted: 4 October, 2024

*Corresponding Author: hongrak.kim@lignex1.com

Dept. of RF & IIR Seeker R&D Lab, LIG Nex1 Co., Ltd. Korea

I. 서 론

레이더 시스템의 신호처리보드는 수신되는 레이더 신호를 처리하여 표적의 정보를 획득하는 역할을 한다. 이를 위하여 내부에서는 실시간으로 레이더 신호를 처리하기 위하여 FPGA와 DSP가 주로 사용된다. DSP와 FPGA는 레이더 임베디드 시스템에서 널리 사용되는 프로세서이며, DSP와 FPGA 아키텍처는 유연성과 높은 통합성으로 인해 널리 사용된다.^{[1][2]} FPGA는 레이더 신호에 대하여 전처리 기능을 수행하고 이후에는 DSP에서 표적의 속도, 거리, 각도 정보를 획득하는 역할을 수행한다. 이를 위해서 FPGA와 DSP간 고속의 통신이 필요하고 외부 레이더의 다른 장치들과는 정보를 주고 받고 제어하기 위한 통신이 필요하다. DSP와 FPGA 사이에는 대표적인 고속 통신 인터페이스인 EMIF, SRIO, PCIe 등 다양한 통신 인터페이스가 있다.^{[3][4][5][6][7]} 또한 각각한 제어 정보를 주고 받기 위한 SPI, I2C 통신을 사용한다. DSP 사이에 고속 통신 인터페이스는 EMIF, HyperLink 등을 적용할 수 있다. 신호처리보드와 레이더의 다른 구성품들 사이의 통신은 Uart 기반의 RS-422을 적용한다.

II. 본 론

레이더 신호처리보드는 그림 1과 같이 구성된다.

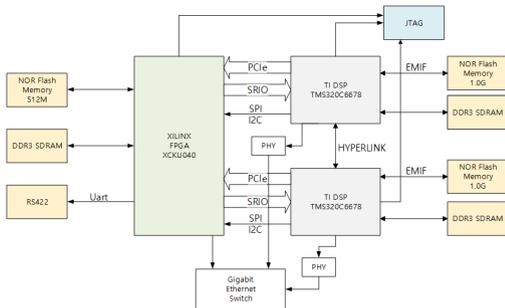


그림 1. 신호처리보드 블럭도
Fig. 1. Block Diagram of Signal Processing Board

DSP는 Texas Instruments사의 TMS320C6678로 선정하고 FPGA는 XILINX 사의 KINTEX UltraScale XCKU040 으로 선정하였다. TI 사의 TMS320C6678는 KeyStone 멀티 코어 아키텍처를 기반으로하는 고성능 고정 / 부동 소수점 DSP로 8 개의 1.25 GHz C66 코어 팩과 4 개의 SRIO 채널을 포함하고 있다. 또한 32KB의

L1 프로그램 및 데이터 캐시 외에도 매핑 된 RAM 또는 캐시로 구성 할 수있는 코어 당 512KB의 전용 메모리가 있다. 공유 L2 SRAM 및 공유 L3 SRAM으로 사용할 수 있는 4096KB의 멀티 코어 공유 메모리가 있으며,

외부 메모리에 대한 빠른 액세스를 위해 이 장치에는 1600MHz에서 실행되는 64 비트 DDR-3 외부 메모리 인터페이스 (EMIF)가 포함되어 있으며 ECC DRAM을 지원한다. RapidIO ver 2, PCI Express Gen2, 기가비트 이더넷, 통합 이더넷 스위치를 포함한 수많은 고속 표준 인터페이스를 지원한다. 높은 처리량을 위해 DSP 간 또는 FPGA와의 짧은 대기 시간 통신을 위해 HyperLink라고 하는 50Gbaud 인터페이스도 제공한다. 그림 2는 TMS320C6678 블럭도를 보여주고 있다.

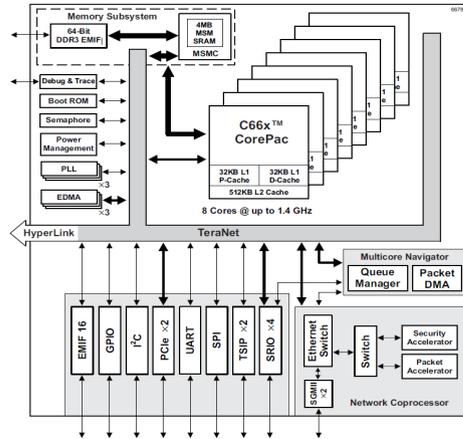


그림 2. TMS320C6678 DSP 블럭도
Fig. 2. Block Diagram of TMS320C6678 DSP

본 논문에서는 DSP와 NOR Flash Memory 사이에는 EMIF 통신을 통하여 빠르게 부팅을 할 수 있도록 설계하였다.

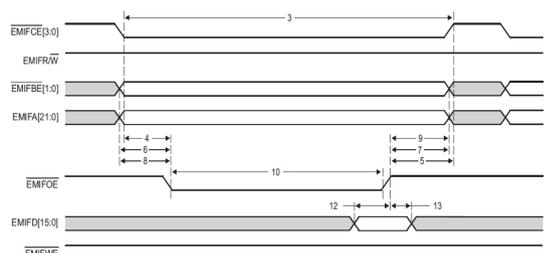


그림 3. EMIF16 메모리 읽기 타이밍도
Fig. 3. EMIF16 Memory Read Timing Diagram

그림 3은 EMIF 고속 통신을 통하여 빠르게 DSP를 부팅시키기 위한 타이밍도를 보여주고 있다. EMIF의 읽기 작업은 읽기 설정, 읽기 스트로브 및 읽기 비유 등 여러 단계로 구분되며 여기에는 연속 읽기 작업 중 메모리 액세스 간격이 포함됩니다. EMIF 클럭 주파수는 125MHz로 설정되어 있으며 4 EMIF 클럭 사이클의 최소 시간으로 16 데이터를 씁니다. 이론적 링크의 최대 속도는 $125 \times 16 \times 1/4 = 0.5 \text{ Gbps}$ 이다.

그림 4는 부팅을 위한 DSP와 Flash Memory 사이의 EMIF 연결을 보여주고 있다. EMIF의 최대 전송 속도는 DSP 클럭 주파수에 의해 제한되며 이에 따라 부팅 시간도 정해진다.

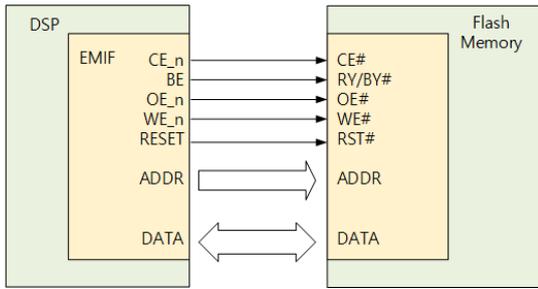


그림 4. DSP와 Flash Memory 사이의 EMIF 연결
 Fig. 4. EMIF interconnect between DSP and FPGA

그림 1에서 DSP와 FPGA간의 대용량의 데이터 전송은 SRIO 통신을 통하여 전달된다. SRIO는 높은 대역폭, 낮은 대기시간, 확장성, 높은 신뢰성 및 여러 장점을 갖춘 고성능, 적은 핀 수 및 패키지 교환 상호 연결 아키텍처를 기반으로 한다. FPGA는 SRIO IP 코어를 유료로 지원하며 1.25Gb/s ~ 5Gb/s의 다양한 속도를 지원한다. 코어 기반 하드웨어는 FPGA GTX 트랜시버를 기반으로 하므로 SRIO 전송 회선 속도는 GTX 트랜시버에 의해 결정된다. 표 1은 FPGA와 DSP의 SRIO 설계를 위한 고려 사항이다. 물리계층은 FPGA와 DSP 둘 모두 유사하게 지원한다. 4x lane, LVDS, 100 ohm, 1.0V term, 3.125Gbps, 8B/10B Encoding으로 설계한다. Reference 클럭은 지원하는 공통 클럭인 156.25 MHz로 선정한다. 특히 고려해야 하는 부분이 Endian 이다. 엔디언(Endianness)은 컴퓨터의 메모리와 같은 1차원의 공간에 여러 개의 연속된 대상을 배열하는 방법을 뜻하며, 바이트를 배열하는 방법을 특히 바이트 순서(Byte order)라 한다. 엔디언은 보통 큰 단위가 앞에 나오는 빅 엔디언(Big-endian)과 작은 단위가 앞에 나오는 리틀 엔디언(Little-endian)으로

나눌 수 있으며, 두 경우에 속하지 않거나 둘을 모두 지원하는 것을 미들 엔디언(Middle-endian)이라 부르기도 한다. FPGA는 리틀 엔디언을 사용하지만 DSP의 고정된 SRIO는 빅 엔디언을 사용한다. 여기서 FPGA의 전송 데이터를 빅 엔디언에 맞춰 변경하여 보내도록 한다.

표 1. DSP와 FPGA SRIO 분석
 Table 1. DSP and FPGA SRIO analysis

항목	FPGA(XCKU040)	DSP(TMS3206678)
물리계층	1x, 2x, 4x 지원 LVDS, 100ohm, 1.2Vterm(가변) 1.25, 2.5, 3.125, 5.0Gbps 8B/10B Encoding	1x, 2x, 4x 지원 LVDS, 100ohm, 1.0Vterm 1.25, 2.5, 3.125, 5.0Gbps 8B/10B Encoding
Ref Clk	125MHz/156.25MHz	156.25MHz/250MHz/ 312.5MHz
Device 구성	GTH/GTY(GTH225 Bank) 상용 IP Core 적용	전용 Port 지원
Transaction	REQ : write with payload 최대 256 bytes	No Response 최대 256 bytes
주의 사항	Little Endian(IP Register) Address	Big Endian (DSP는 LE으로 프로그램)

그림 5는 DSP와 FPGA 사이의 SRIO 연결을 보여준다.

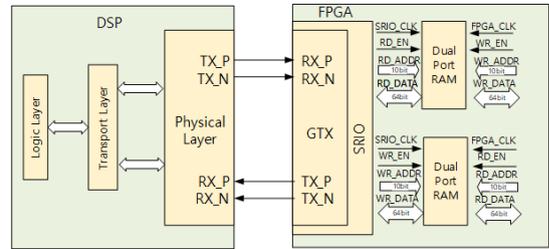


그림 5. DSP와 FPGA 사이의 SRIO 연결
 Fig. 5. SRIO interconnect between DSP and FPGA

SRIO 상호 연결 방식은 매우 높은 데이터 대역폭, 자동 데이터 검증 및 오류 감지 기능을 통해 시스템의 신뢰성과 적은 수의 I/O를 효과적으로 보장하고 P2P 데이터 통신을 달성하기에 유리하다. SRIO 전송 효율성은 프로토콜 오버헤드의 영향을 받기 때문에 대용량 데이터 전송에 더 적합하다. 고주파 데이터 통신은 또한 시스템 간 통신에 적용이 제한되며 내부 시스템 또는 칩 간 데이터 통신에 더 적합하다.

DSP에서 FPGA로 정보가 포함된 데이터를 고속으로 전송할 때 PCIe 통신 방식을 적용한다. PCIe는 고속 차동 직렬 상호 연결 버스의 패키지 구조를 기반으로 마스터-슬레이브 구조를 사용하여 상호 연결 패턴은 포인트 투 포인트, 또는 트리 구조이며 장비에는 주로 RC(Root Complex), EP(Endpoint) 및 스위치가 포함된다. FPGA

내부 PCIe 코어는 PCI Express 인터페이스 모듈, GTX 트랜시버, 블록 RAM 및 클록 리소스를 통합한다. 참조 클럭 선택은 125MHz이며 이론적 링크 속도도 GTX 트랜시버에 의해 결정되며 현재 계산 결과는 여전히 2.5Gbps이다.

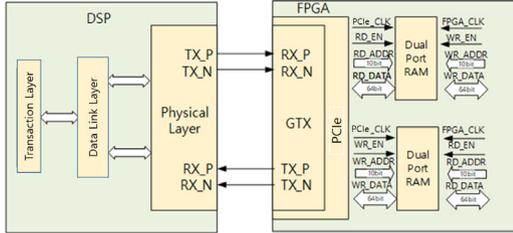


그림 6. DSP와 FPGA 사이의 PCIe 연결
Fig. 6. PCIe interconnect between DSP and FPGA

DSP에서 연동되는 구성품에 명령을 내리고 정보를 받기 위해서 RS422 UART 통신을 적용한다. 기존의 명령당 하나의 라인으로 ON/OFF 제어를 하던 방식에서 RS422을 통하여 정보를 넣어 제어하는 방식으로 변경한 것이다. 기존대비 사용되는 라인의 수는 정보의 량에 따라서 기하 급수적으로 줄어든다. 그림 7은 RS-422 UART 통신을 보여주고 있다. UART(Universal Asynchronous Receiver / Transmitter) 통신은 범용 비동기화 송수신기를 지칭하며 병렬 데이터의 형태를 직렬 방식으로 전환하여 데이터를 전송하는 컴퓨터 하드웨어의 일종이다. UART 통신 데이터는 메모리 또는 레지스터에 들어 있어 이것을 차례대로 읽어 직렬화하여 통신한다.

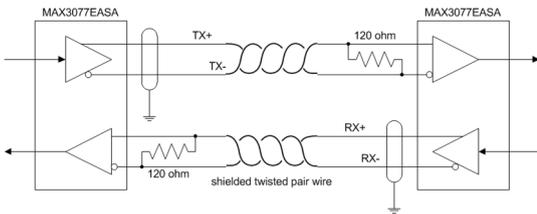


그림 7. RS-422 UART 통신 연결
Fig. 7. RS-422 UART Communication Connection

최대 8비트가 기본 단위이며, 데이터 필드 이외에 Start Bit 및 Parity Bit, Stop Bit를 특정 조건에 따라 추가되어 사용된다.

표 2. 통신 비교

Table 2. Comparison of Communication

인터페이스	EMIF(16/32)	SRIO	PCIe
통신 방식	Half duplex	Full duplex	Full duplex
시스템 모드	Master slave	Peer to peer	Master slave
이론적 링크 속도 (Gbps)	0.5/1.0	2.5	2.5
이론적 통신 속도 (Mbps)	35.71 / 71.43	205.13	216.22
프로토콜 오버헤드	0	28	20
I/O	46/62	4	4
데이터 타입	Batch / Burst	Batch	Batch

표 2에서 이론적인 링크 속도는 각 칩 인터페이스 자체에 대한 오버헤드가 없는 속도이며, 이론적인 통신 속도는 DSP와 FPGA 간의 상호 연결 오버헤드가 있는 통신 속도이다. EMIF는 고속 병렬 통신 인터페이스만큼 고속 직렬 I/O 속도만큼 빠르지는 않지만 특정 버스 프로토콜이 없어 구현하기 쉽다. SRIO와 PCIe는 많은 유사점을 가지고 있으며, 특히 상호 연결 통신 속도는 크게 다르지 않지만 토폴로지 구조, 패키지 구조 및 패키지 유형과 리소스의 응용 분야는 매우 다르다. 전송 속도가 높기 때문에 칩 수준 및 백플레인 수준 상호 연결 애플리케이션, 특히 대량의 데이터 전송에 적합하다.

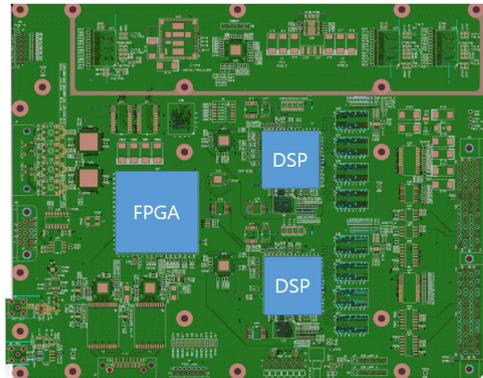


그림 8. 신호처리보드 설계 결과
Fig. 8. Signal Processing Board Design Result

그림 8은 설계 제작된 신호처리보드를 보여주고 있다. 보드 가운데 FPGA와 DSP가 배치되어 있다. 고속 통신을 위해서는 내부 신호의 패턴 설계가 매우 중요하다. 특히 고속 직렬 SRIO 라인에 대한 신호 전달을 개선하기 위해 100Ω 차동 임피던스 설계는 매우 중요하다. 그리고 가급적이면 물리적 연결의 시작과 끝이 동일한 PCB 레이어에서 설계되고 길어도 맞추는 것이 매우 중요하다. 각 신호 라인은 외부의 잡음으로부터 차단하기 위하여 신호 트레이스 외부는 그라운드 층과 연결된 메쉬로

보호하는 것도 중요하다. 그리고 데이터 라인의 AC 커플링에는 0402 크기 이하의 0.1uF 커패시터가 권장된다. 표 3은 SRIO 신호 설계를 위한 최소 트레이스 폭에 대한 추천사항을 보여주고 있다.

표 3. 최소 트레이스 폭
 Table 3. Minimum Trace Width

최대 신호 길이	트레이스 최소 폭
10 in / 25 cm	4 mil / 0.1 mm
20 in / 50 cm	6 mil / 0.15 mm
30 in / 75 cm	8 mil / 0.2 mm

III. 결 론

본 논문에서는 DSP와 FPGA 사이의 일부 일반적인 인터페이스의 이론적 통신 링크 속도를 설명하고 각각 EMIF, SRIO, PCIe 및 RS422 UART 인터페이스를 사용하여 통신을 달성하고 각 패킷 오버헤드의 영향과 전송 속도 및 성능에 대해 분석했다. 이론적 접근으로 비교하였고 실제 제작 결과를 제시하였다. 고속 직렬 및 병렬 인터페이스를 결합한 새로운 통신 방식은 대량의 데이터와 명령 전송 간의 차이를 완전히 고려하여 전송 오버헤드의 영향을 줄인다. DSP와 FPGA 사이의 고속 상호 연결 기술에서 직렬 버스를 병렬로 연결하여 유효한 데이터 로드 비율과 전송 인코딩의 효율성을 높이고 동시에 여러 고속 통신 인터페이스를 사용하면 프로세서의 통신 속도를 가속화할 수 있다. 시스템 신뢰성을 향상시키는 것이 개발 추세가 될 것이다.

References

[1] Xiaoyu Chen, Yanyong Wang, Lidan Li, "Data Sharing among the Dual DSPs and Multo-SRIO Devices Based on FPGA" 2021 International Conference on Intelligent Computing, Automation and Systems <http://dx.doi.org/10.1109/ICICAS53977.2021.00028>

[2] Zhenhuan Zhan, Wei Hao, Yan Tian, "A Design of Versatile Image Processing Platform Based on the Dual Multi-core DSP and FPGA", 2012 Fifth International Symposium on Computational Intelligence and Design <http://dx.doi.org/10.1109/ISCID.2012.210>

[3] JIANG Hong Xu, LIU Ting Shan, Li Hui Yong, HANG Ping, DUAN Mi Yi, "A High-efficiency Data Transmission Method Based on SRIO," Chinese Journal of Computers,

vol.38, no. 6, pp.1120-1130, 2015.

[4] Fuge Wang, Jianxin Liu, Yunzhi Ling, "Design of Multi-Channel Data Transmission System Based on PCIe-SRIO", 2023 3rd International Conference on Electronic Information Engineering and Computer Communication <http://dx.doi.org/10.1109/EIECC60864.2023.10456668>

[5] Wei Zhang, Yulong Gao, Zhongzhao Zhang, "The interface design and realization of EMIF and FPGA for wireless transmission of image data" 2013 6th International Congress on Image and Signal Processing <http://dx.doi.org/10.1109/ISCP.2013.6743986>

[6] Texas Instruments. KeyStone Architecture External Memory Interface (EMIF16) User Guide.USA: Texas, 2011.

[7] ZHANG Demin, LI Ming, LI Yang, QIU Zhihui. "Design and application of data interaction system between FPGAs based on SRIO," Journal of Chongqing University of Posts and Telecommunications(Natural Science Edition), vol. 25, no. 6, pp.738-742, Dec. 2013.

[8] Texas Instruments. KeyStone Architecture Serial Rapid IO (SRIO) User Guide. USA: Texas, 2012.

[9] LE Liang, HU Shangqing, LONG Teng, "Drive Program design of PCIe interface of TMS320C6678," Computer Engineering and Application, vol. 48, no. 2, pp.370-373, 2012.

[10] Jongbok Lee, "A Study On Statistical Simulation for Asymmetric Multi-Core Processor Architectures", The Journal of The Institute of Internet, Broadcasting and Communication (IIBC) Vol. 16, No. 2, pp.157-163, Apr. 30, 2016 <http://dx.doi.org/10.7236/JIIBC.2016.16.2.157>

[11] Park, Jae-Eun, "A Development of Weapon System Test Set's Display Using an Ecological Interface Design Methodology", The Journal of Korea Academy Industrial Cooperation Society Vol. 16, 2015.06, 4147-4157

[12] Ga, Gwan-U, "A Comparison with SNR Performance of Coherent Integration and Non-coherent Integration to Estimate Target Detection Range in Radar System", Journal of Korea Institute of Information, Electronics, and Communication Technology 7(2), 2014.6, 86-91

[13] Jong-Pil Lee, Ill-Keun Rhee, "Development of High Resolution Target Simulator with Dual Sampling Clock Rates", Journal of Korean Institute of Information Technology 12(12), 2014.12, 31-39

[14] Tae-Hyung Kim, Hyun-Wook Moon, "A Development of Real-Time Generation Methods of Simulated Surface Clutter Signals for Airborne Radar", The Journal of Korean Institute of Electromagnetic Engineering and Science 27(2), 2016.2, 176-187

[15] S.G Nam, Chan-woo Nam, "Challenges and Current Status of mmWave / Sub-THz Frequency Measurement Tasks and Measurement Systems", The Proceedings of Korean Institute of Electromagnetic Engineering and Science, Vol. 33, No. 4, pp. 22-29, Jul. 2022.

- [16] Sang-Lim Ju, Byung-Jin Lee, Nam-Il Kim, Kyung-Seok Kim, "Combined Hybrid Beamforming and Spatial Multiplexing for Millimeter-Wave Massive MIMO Systems", The Journal of The Institute of Internet, Broadcasting and Communication (IIBC), Vol. 18, No. 5, pp. 123-129, Oct. 2018.
<https://doi.org/10.7236/IIBC.2018.18.5.123>
- [17] Bangwon Seo, "Widely Linear Hybrid Receiver for MIMO Interference Channel", The Journal of KIIT, Vol. 17, No. 11, pp. 51-58, Nov. 2019.
<https://doi.org/10.14801/jkiit.2019.17.11.51>
- [18] Min-soo Chang, Kyoo-hwan Kim, Jae-hwan Kim "Analysis of UHF-Band Propagation Loss in Long-distance Air-to-Ground Communication Tests", Journal of the Korea Academia-Industrial cooperation Society(JKAIS), Vol. 19, No. 8, pp. 55-63, Aug. 2018.
<https://doi.org/10.5762/KAIS.2018.19.8.55>

김 정 은(정회원)



- 2020년 2월 : 단국대학교 전기전자공학 (공학사)
- 2024년 2월 : 연세대학교 전기전자공학 (공학석사)
- 2024년 2월 ~ 현재 : LIG넥스원(주) 연구원
- 주 관심분야 : 영상신호처리 시스템, 레이더 신호처리 시스템 등

저 자 소 개

김 흥 락(정회원)



- 1995년 2월 : 대구대학교 전자전기컴퓨터학부 (공학사)
- 1997년 8월 : 대구대학교 전자공학과 (공학석사)
- 1997년 7월 ~ 현재 : LIG넥스원(주) 수석연구원
- 주 관심분야 : 마이크로파 센서 시스템, 레이더 신호처리 등

박 성 호(정회원)



- 2006년 2월 : 경상대학교 제어계측공학과(공학사)
- 2008년 8월 : 광주과학기술원 정보기전공학과(공학석사)
- 2008년 9월 ~ 현재 : LIG넥스원(주) 수석연구원
- 주 관심분야 : 마이크로파 센서 시스템, 레이더 신호처리 등

황 선 정(정회원)



- 2021년 2월 : 인하대학교 전자전기 (공학사)
- 1921년 5월 ~ 현재 : LIG넥스원(주) 선임연구원
- 주 관심분야 : 영상신호처리 시스템, 레이더 신호처리 시스템 등