

<https://doi.org/10.7236/JIIBC.2024.24.5.123>

JIIBC 2024-5-18

추적 레이다용 신호처리기의 전원회로 설계

Power Circuit Design of Signal Processing Unit for Tracking Radar

김홍락*, 이만희**, 김윤진**, 박성호**

Hong-Rak Kim*, Man-Hee Lee**, Youn-Jin Kim**, Seong-ho Park**

요약 추적 레이다 시스템은 레이다 신호를 송신하여 표적을 맞고 돌아오는 아주 미약한 신호를 획득하여 추적하는 시스템으로 신호처리기에서 신호를 획득 및 처리할 때 공급되는 전원의 잡음 수준이 매우 중요하다. 또한 빠른 시간에 레이다 신호를 처리하기 위해서는 고속의 전처리를 위한 FPGA와 실시간 알고리즘 수행을 위한 멀티코어 DSP의 적용이 필수적이다. ADC, FPGA와 DSP 설계를 위해서는 각각이 요구하는 전원에 대한 설계 또한 매우 중요하다. 본 논문에서는 레이다 신호처리를 위한 ADC, FPGA 및 DSP로 구성되는 신호처리기의 최적의 전원 설계에 대하여 설명한다. 각 부품이 원하는 전원에 대하여 어떠한 부품을 적용하여 설계를 하는지 상세히 설명한다. 최종 설계된 회로카드를 제시한다.

Abstract The tracking radar system is a system that transmits a radar signal to acquire and track a very weak signal that hits the target and returns. In addition, it is essential to apply the FPGA for high-speed preprocessing and the multi-core DSP for real-time algorithm performance to process radar signals in a short time. For the ADC, FPGA, and DSP design, the design of the power required by each is also very important. This paper describes the optimal power design of the signal processor consisting of ADC, FPGA, and DSP for radar signal processing. It explains in detail what parts are applied to each component to design the desired power. We present the finally designed circuit board.

Key Words : tracking radar, signal processing unit, ADC, FPGA, DSP, power circuit

1. 서 론

추적레이다 시스템은 송신한 레이다 신호가 표적을 맞고 되돌아오는 신호를 이용하여 표적의 거리, 속도, 각도 정보를 추출하여 탐지 후 추적을 하게 된다. 표적을 맞고 입력되는 아날로그 신호는 ADC에서 디지털로 변환된 후 신호처리기가 용이한 주파수 대역으로 하향변환, 펄스 압축 등 전처리 기능을 FPGA를 통하여 수행한다. [1][2][3] 예전에는 아날로그 회로를 통하여 펄스압축을 수행하였

지만, [4][5] 최근에는 FPGA 내부 로직을 통하여 수행을 한다. 탐지 추적을 위한 알고리즘은 전처리가 끝난 신호를 DSP가 받아서 수행을 한다. 표적의 추적 정보에 오차를 최소화 하기 위한 신호처리기 설계를 위해서는 각 구성품에 공급되는 전원의 설계가 매우 중요하다. 서로다른 구성품인 수신기로부터 입력되는 아날로그 표적 신호를 신호처리기에서 받기 위해서는 각 구성품에서 사용되는 전원에 의한 전위차를 최소화 하면서 신호만을 잘 획득해 갈 수 있는 전원 회로 설계가 필요하다. FPGA를 정장

*정회원, LIG넥스원(주) PGM탐색기연구소 (교신저자)

**정회원, LIG넥스원(주) PGM탐색기연구소

접수일자 2024년 7월 11일, 수정완료 2024년 9월 11일

게재확정일자 2024년 10월 4일

Received: 11 July, 2024 / Revised: 11 September, 2024 /

Accepted: 4 October, 2024

*Corresponding Author: hongrak.kim@lignex1.com

Dept. of RF & IIR Seeker R&D Lab, LIG Nex1 Co., Ltd. Korea

적으로 잘 동작시키기 위해서는 선정된 FPGA에서 요구되는 전원에 대한 요구사항에 맞게 전원 회로를 설계해야 한다. DSP를 정상적으로 잘 동작시키기 위해서는 여러 DSP간의 설정된 동작의 우선 순위에 따라서 필요한 전원에 대하여 요구되는 타이밍에 맞게 설계하여 입력하여야 한다.

II. 본 론

1. ADC 회로 설계

아날로그 신호를 고속으로 디지털로 변환하고 여러 채널에 대하여 동일한 타이밍에 디지털 변환, 스푸리어스가 없는 동작대역이 넓어야 한다. 여러 아날로그 채널에 대하여 모두 입력으로 받을 수 있는 ADC이면서 위의 요구사항을 만족할 수 있는 부품은 없다. 본 설계에서는 입력 아날로그 채널이 2개이면서 125MSPS (Megasamples per second)을 지원하여 SFDR (Spurious Free Dynamic Range)가 78.2 dBFS 인 AMALOG DEVICES 사의 AD9268로 선정하였다. AD9268 아키텍처는 듀얼 프론트 엔드 샘플 및 홀드 회로로 구성되어 있으며, 파이프라인, 스위칭 커패시터 ADC로 구성되어 있다. 각 단계의 양자화된 출력은 디지털 보정 로직에서 최종 16비트 결과로 결합된다. 파이프라인 아키텍처는 첫 번째 단계가 새로운 입력 샘플에서 작동하고 나머지 단계가 이전 샘플에서 작동하도록 되어 있다. 각 채널의 입력 단계에는 차동 또는 단일 종료 모드에서 AC 또는 DC 결합될 수 있는 차동 샘플링 회로가 포함되어 있다. 출력 스테이징 블록은 데이터를 정렬하고, 오류를 수정하고, 데이터를 출력 버퍼로 전달 된다. 그림 1은 AD9268의 기능 블록도를 보여주고 있다. 아날로그 2개 채널이 차동 클럭 신호인 CLK 신호에 의해서 디지털로 변환되어 16BIT로 각 채널로 출력되며 출력 데이터와 함께 디지털 변환 완료 신호인 DCO 출력도 함께 출력된다. 아날로그 신호에 디지털 잡음을 최소화 하기 위하여 디지털 입력 전원과 아날로그 입력 전원이 별도로 분리되어 있다. 입력되는 2개의 아날로그 채널에 대해서는 출력되는 구성품의 전원과 분리를 위하여 트랜스포머를 적용하는 회로를 선택하였다. 그림 2는 차동 트랜스포머 커플 구조를 보여주고 있다. 입력되는 아날로그 신호는 트랜스포머를 거치면서 입력단의 고주파 잡음은 최소화되며 신호처리보드의 아날로그 그라운드와도 캐패시터를 통하여 고주파 잡음이 최소화된다.

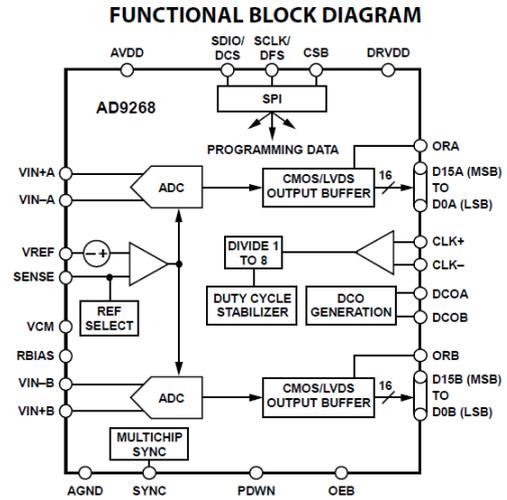


그림 1. AD9268 기능 블록도
Fig. 1. AD9268 Functional Block Diagram

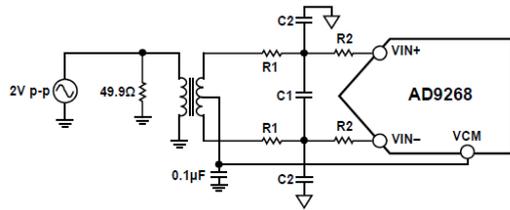


그림 2. 차동 트랜스포머 커플 구조
Fig. 2. Differential Transformer-Coupled Configuration

입력되는 전원은 디지털 전원의 잡음이 아날로그 신호에 영향을 최소화 하기 위하여 전원은 아날로그 전원 AVDD와 디지털 전원 DRVDD로 나누어져 있다. 아날로그 전원을 잘 설계하면 입력 아날로그 신호가 ADC 내부에서 샘플링과 홀딩을 할 때 기준이 되는 전원이 안정적으로 공급된다. 1.8V 입력전원을 별도로 생성하여 공급한다. 외부로부터 받은 5V 전원을 이용하여 AVDD 용 1.8VA와 DRVDD 용 1.8VD를 생성한다. 1.8VA와 1.8VD는 PCB 내부 전원 레이어에서 할당하여 바이패스 캐패시터와 전원필터회로를 통하여 ADC에 공급한다.

2. DSP 전원 회로 설계

TI(Texas Instruments)가 생산하는 TMS320C6678 DSP는 실시간 표적 탐지 및 추적 분야에서 폭넓게 활용되고 있다. TMS320C6678 DSP는 TI의 KeyStone 멀티코어 아키텍처를 기반으로 하는 최고 성능의 고정/부동 소수점 DSP이다. 8개의 병렬 C66x CorePac DSP와

통합되어 각 코어는 1.0~1.25GHz에서 실행되며 전체 속도는 최대 10GHz이다. 이론적으로 각 코어의 부동 소수점 연산 능력은 최대 200억 FLOPS에 달할 수 있다.^[11] 다양한 전력 유형, 높은 전력 소비, 엄격한 시간 순서 및 높은 회로 기판 밀도를 고려하여 TMS320C6678 DSP에 전원을 적절하게 공급하고 전체 신호 처리 시스템을 구동하는 데 필요한 전원 공급 및 타이밍을 갖춘 전원 관리를 설계하는 것이 중요하다.

표 1. 전원 공급 레일
 Table 1. Power Supply Rails

Name	Primary Function	Voltage
CVDD	SmartReflex core supply voltage	0.9 V to 1.1 V or 0.95 V to 1.15 V
CVDD1	Core supply voltage for memory array	1.0 V
VDDT1	HyperLink SerDes termination supply	1.0 V
VDDT2	SGMII/SRIO/PCIE SerDes termination supply	1.0 V
DVDD15	1.5-V DDR3 IO supply	1.5 V
VDDR1	HyperLink SerDes regulator supply	1.5 V
VDDR2	PCIE SerDes regulator supply	1.5 V
VDDR3	SGMII SerDes regulator supply	1.5 V
VDDR4	SRIO SerDes regulator supply	1.5 V
DVDD18	1.8-V IO supply	1.8 V
AVDDA1	Main PLL supply	1.8 V
AVDDA2	DDR3 PLL supply	1.8 V
AVDDA3	PASS PLL supply	1.8 V
VREFSSTL	0.75-V DDR3 reference voltage	0.75 V
VSS	Ground	GND

표 1은 다양한 전원 공급 장치 레일과 TMS320C6678의 기본 기능을 보여줍니다. 그 중 CVDD는 0.9V에서 1.1V 사이의 전압 레벨을 요구하는 가장 중요한 전력이며, smartreflex 기술을 사용하는 것이 제안된다. 다양한 모듈에는 1.0V, 1.5V, 1.8V 및 0.75V를 포함한 다른 전압 레벨도 필요하다. 외부로부터 입력 전압은 5V이며 88E1111을 사용하려면 표 1에 표시된 4가지 전압 레벨 뿐만 아니라 1.2V 및 2.5V로 변환해야 한다. 88E1111기가비트 이더넷 트랜시버는 이더넷 1000BASE-T, 100BASE-TX 및 10BASE-T 애플리케이션을 위해 2.5V와 1.2V의 두 가지 전원만 갖춘 물리 계층 장치이다.^[13] 높은 처리 속도와 각 채널별 데이터를 고려하면 1000BASE-T 표준으로 데이터를 전송하려면 기가비트 이더넷을 사용해야 한다. 그림 3에 제시된 공급 전압 생성을 위한 흐름도에는 전력 관리와 관련된 6개의 칩(UCD7242, LTM4644 및 TPS51200)이 사용된다. UCD7242는

TMS320C6678 DSP의 가장 중요한 부품인 CVDD 코어에 공동으로 사용되어 5V의 입력 전압을 10A의 출력 전류에 동적으로 필요한 0.9-1.1V의 전압 레벨로 변환한다. TI가 생산하는 LTM4644는 낮은 출력전압을 생성할 수 있는 고효율, 고전류 동기식 벅 컨버터이다. 여기서 적절한 저항을 결정함으로써 장치는 DSP 메모리 및 Serdes에 대해 1.0V의 전압을 안정적으로 출력할 수 있다. 88E1111, PLL, LVCOMS I/O, DDR3 및 Serdes 레귤레이터의 전압은 4개 채널이 병렬로 작동하는 LTM4644에 의해 변환된다. DDR3에 필요한 저전압인 0.75V로 변환하기 위해 저전력을 지원하는 TPS51200을 선택했다. 이 칩의 효율은 다른 칩에 비해 좋지 않지만 출력 전압의 안정성은 보장된다.

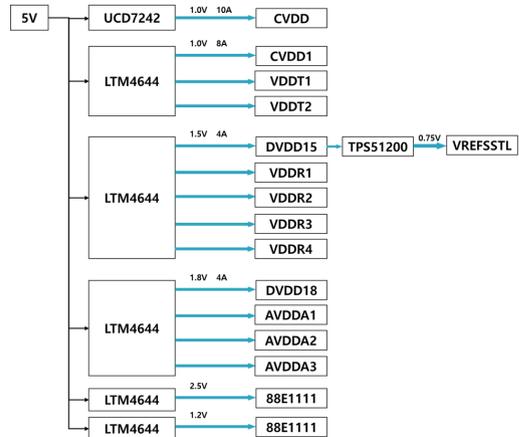


그림 3. 공급 전압 생성 흐름도
 Fig. 3. Flow Chart for Production of Supply Voltage

전력 소비는 전력 효율성 포인트, 장치 성능 균일성 포인트, 보드 제조 용이성 측면에서 시스템 설계의 가장 중요한 측면 중 하나입니다. DSP의 최적의 전력 대 성능 비율을 달성하기 위해 클래스 0 SmartReflex가 TMS320C6678에 구현되었습니다. 적응형 전원 공급 장치를 통해 각 장치의 프로세스 코너에 따라 코어 전압을 최적화할 수 있습니다. SmartReflex 기술은 정의된 범위 내에서 전압을 조정하여 전력 소비를 최소화하고 각 장치의 전압이 공칭 작동 성능 지점(OPP) 주파수에서 작동하도록 보장할 수 있습니다. VID 값이라고도 하는 6비트 코드는 제조 테스트 중에 획득된 단일 이상적인 전압 레벨에 사용됩니다. 이러한 테스트가 끝나면 허용 가능한 최저 전압에 대한 코드가 설정되고 각 다이에 영구적으로 프로그래밍 됩니다. 동시에 이 최저 허용 전압은 여전히

히 모든 성능 요구 사항을 충족하며 장치가 정상적으로 작동하도록 구동할 수 있습니다. TI의 공식 가이드에서는 UCD9222와 UCD7242가 공동으로 적용되어 CVDD를 동적으로 제어합니다. UCD9222는 절연되지 않은 DC/DC 전원 애플리케이션을 위해 설계된 2레일 동기식 벅 디지털 PWM 컨트롤러입니다. VID 인터페이스를 지원하여 여러 전압 식별(VID) 모드가 지원된다. UCD7242는 두 개의 독립적인 벅 전원 공급 장치를 동기 벅 회로에서 하이 사이드 NMOS 스위치와 로우 사이드 NMOS 동기 정류기에 높은 충전 및 방전 전류를 제공하는 동기식 파워 스위치로 구동된다. LTM4644는 출력당 4A의 쿼드 DC/DC 레귤레이터로, 단일 외부 저항기로 0.6V ~ 5.5V 설정 범위의 전 압을 지원한다. 4개 채널의 저항값을 조절함으로써 원하는 출력전압을 기대할 수 있다.

코어 전압이 IO 전압보다 먼저 시작하는지 여부에 따라 장치에 전원을 공급할 수 있는 두 가지 타이밍 시퀀스가 있다. 첫번째 시퀀스는 코어전압 이후에 리셋절차가 이루어진다. 전원입력 순서는 그림 4와 같이 CVDD, CVDD1, DVDD18, DVDD15 로 진행된다. 두 번째 시퀀스는 리셋절차 후 코어전압이 공급된다. 전원입력 순서는 그림 5와 같이 DVDD18, CVDD, CVDD1, DVDD15 로 진행된다. 본 논문에서는 전원 인가 후 FPGA가 먼저 프로그램되고 리셋신호를 생성하는 구조로 되어 있으므로 FPGA와 연결되어 있는 IO 에 전원이 먼저 인가되고 리셋신호가 FPGA를 통하여 공급되므로 그림 5의 IO Before Core Power Sequencing을 선택하였다.

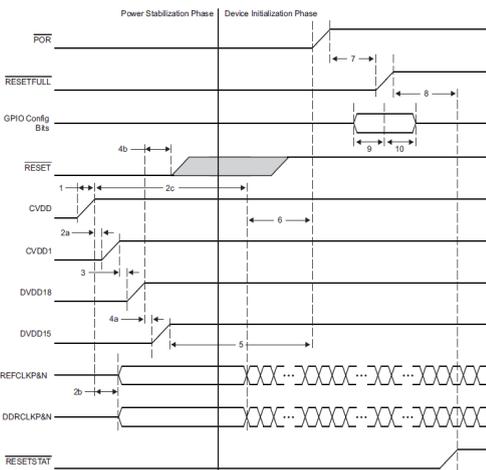


그림 4. IO 전력 절차 전 코어
Fig. 4. Core Before IO Power Sequencing

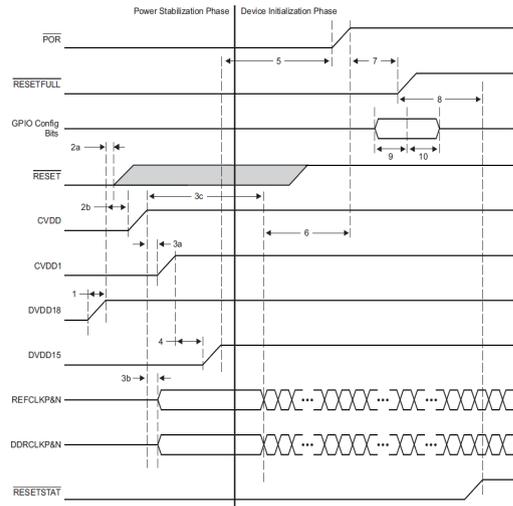


그림 5. 코어 전력 절차 전 IO
Fig. 5. IO Before Core Power Sequencing

3. FPGA 전원 회로 설계

FPGA는 XILINX사의 KINTEX Ultrascale을 적용한다. 표 2는 FPGA에 공급해야 하는 전원을 보여주고 있다. 0.95V는 Vccint, Vccint_io, Vccbram 이고, 1.8V는 Vccaux, Vccaux_io, Vcco HP I/O가 있으며, Vcco HR I/O는 3.3V를 적용한다. Vmgtavcc는 1.0V, Vmgtavtt는 1.2V를 적용한다. 표 2는 FPGA에 공급되는 전원과 각 전원의 설명 및 전압값을 보여주고 있다. 크게 5가지의 전압으로 구성되며 가장 큰 전류를 소모하는 FPGA 내부 전원은 0.95V 이다. 그림 6은 각 전원을 생성하기 위한 전원 소자를 나타내고 있다. 입력 5V를 기준으로 가장 큰 전력이 필요한 0.95V는 LMZ31520을 적용한다. 해당

표 2. FPGA 전원 공급 추천
Table 2. FPGA Power Supply Recommend

Name	Description	Voltage
Vccint	Internal supply voltage	0.95V
Vccint_io	Internal supply voltage for the I/O banks	0.95V
Vccbram	Block RAM supply voltage	0.95V
Vccaux	Auxiliary supply voltage	1.8V
Vccaux_io	Auxiliary I/O supply voltage	1.8V
Vcco	Supply voltage for HR I/O banks	3.3V
	Supply voltage for HP I/O banks	1.8V
Vmgtavcc	Analog supply voltage for the GTH and GTY transceivers	1.0V
Vmgtavtt	Analog supply voltage for the GTH and GTY transmitter and receiver termination circuits	1.2V

파워 모듈은 20A 출력이 가능하며 TEXAS INSTRUMENTS 에서 Xilinx Kintex UltraScale FPGA 전원설계시 추천 해 주는 모듈이다. 그 외의 전원에 대해서는 LTM4644 를 적용하여 회로적으로 필요한 전원을 생성한다.

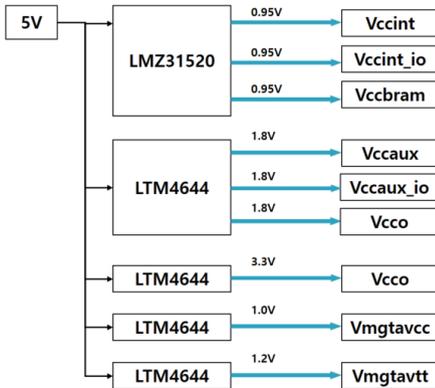


그림 6. FPGA 공급 전압 생성 흐름도
 Fig. 6. FPGA Chart for Production of Supply Voltage

전원의 인가 순서는 0.95V인 Vccint, Vccint_io, Vccbram부터 들어가도록 설계한다. 이후 1.8V와 3.3V 의 전원이 인가되도록 설계한다. 이후 순차적으로 1.0V Vmgtavcc, 1.2V Vmgtavtt를 인가한다. 각 시간 간격 은 큰 제약이 없으므로 입력되는 5V를 기준으로 각 전원 모듈에 입력시 R과 C의 시상수를 이용하여 순차적으로 5V가 입력되도록 설계한다.

1.4 설계 결과

전원 설계는 최대한 ADC, DSP, FPGA에서 권장하는 설계를 기반으로 설계하기 위한 노력을 하였으며 최대한 사용되는 부품의 종류를 최소화 하려고 하였다.

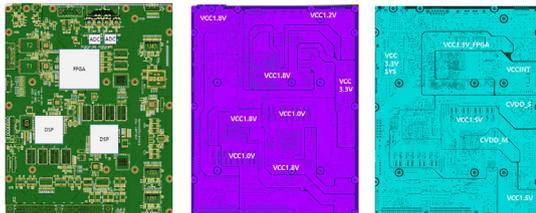


그림 7. PCB 설계 결과
 Fig. 7. PCB Design Result

그림 7은 PCB의 TOP 면과 내부의 전원 층에 대하여 보여주고 있다. TOP 면에서 ADC, FPGA, DSP의 위치

에 내부 전원 층에서 필요한 전원에 대하여 잘 설계가 되었다.

III. 결론

본 논문에서는 소형 추적 레이더 시스템의 고속의 표적 탐지 추적 연산 처리를 위한 신호처리보드의 설계에 대하여 설명하였다. 특히 고속의 안정적으로 동작하고 신호대 잡음을 높이기 위한 주요 구성품의 전원 설계에 대하여 설명하였다. 전용 시험장비에 적용하여 레이더 시스템 성능시험을 통하여 안정적으로 동작되는 고속의 신호처리보드 설계 결과를 확인하였다.

References

- [1] Jong-Pil Lee, Ill-Keun Rhee, "An Implementation of FPGA-based Clutter Signal Generator for Radar Testing Systems", Journal of Korean Institute of Information Technology 8(12), 2010.12, 81-89.
- [2] Eun Hee Kim, Tae Hyung Kim, "An Implementation of FPGA-based Clutter Signal Generator for Radar Testing Systems", The journal of korean institute of electromagnetic engineering and science. 2015 Feb.: 26(2), 179~188.
<http://dx.doi.org/10.5515/KJKIEES.2014.25.12.179>
- [3] Tae-Hyung Kim, Hyun-Wook Moon, "A Development of Real-Time Generation Methods of Simulated Surface Clutter Signals for Airborne Radar", The Journal of Korean Institute of Electromagnetic Engineering and Science 27(2), 2016.2, 176-187
- [4] Xianmin Zhou, "SAW pulse compression systems with lower sidelobes", Proceedings of 1997 Asia-Pacific Microwave Conference, 02-05 December 1997.
<http://dx.doi.org/10.1109/APMC.1997.654671>
- [5] Ji Lin Xu, "SAW Pulse compression system with low sidelobes, IEEE International Radar conference, May, 1985, p.210-212.
- [6] J. Battle, J. Mart, P. Ridao, et al, "A New FPGA/DSP-Based Parallel Architecture for Real-Time Image Processing," Real-Time Imaging, vol. 8, no. 5, pp. 345-356, Oct, 2002.
- [7] P. P. Hao, X. L. Zhou, Y. J. Tang, et al, "Research on Multicore Processor's Architecture Based on TMS320C6678," Microelectronics & Computer, vol. 29, no. 12, pp. 171-175, Aug, 2012.
- [8] LTM4644/LTM4644-1 - Quad DC/DC μ Module (Power Module) Regulator with Configurable 4A Output Array datasheet,

[9] P. P. Hao, X. L. Zhou, Y. J. Tang, et al, "Research on Multicore Processor's Architecture Based on TMS320C6678," *Microelectronics & Computer*, vol. 29, no. 12, pp. 171-175, Aug. 2012.

[10] Jongbok Lee, "A Study On Statistical Simulation for Asymmetric Multi-Core Processor Architectures", *The Journal of The Institute of Internet, Broadcasting and Communication (IIBC)* Vol. 16, No. 2, pp.157-163, Apr. 30, 2016
<http://dx.doi.org/10.7236/IIBC.2016.16.2.157>

[11] Park, Jae-Eun, "A Development of Weapon System Test Set's Display Using an Ecological Interface Design Methodology", *The Journal of Korea Academy Industrial Cooperation Society* Vol. 16, 2015.06, 4147-4157

[12] Ga, Gwan-U, "A Comparison with SNR Performance of Coherent Integration and Non-coherent Integration to Estimate Target Detection Range in Radar System", *Journal of Korea Institute of Information, Electronics, and Communication Technology* 7(2), 2014.6, 86-91

[13] Jong-Pil Lee, Ill-Keun Rhee, "Development of High Resolution Target Simulator with Dual Sampling Clock Rates", *Journal of Korean Institute of Information Technology* 12(12), 2014.12, 31-39

[14] Choi Jeong Hyun, Jo Han Moo, Yun Seok Jae, Ryu Dong Wan, "A Design of the Integrated Software Architecture for Missile System Test Set", *Proceedings of Symposium of the Korean Institute of communications and Information Sciences* , 2014.11,214-215

[15] Eun-Gyu Ham, Chang-Bok Kim, "Model Implementation of Reinforcement Learning for Trading Prediction Using Deep Q Network ," *The Journal of KIIT*, Vol. 17, No. 4, pp. 1-8, 2019.

[16] I. Jeon, S. Kang, H. Yang, "Development of Security Quality Evaluate Basis and Measurement of Intrusion Prevention System," *Journal of the Korea Academia-Industrial cooperation Society(JKAIS)*, Vol. 11, No. 1, pp. 81-86, 2010.

[17] Y. S. Im, E. Y. Kang, "MPEG-2 Video Watermarking in Quantized DCT Domain," *The Journal of The Institute of Internet, Broadcasting and Communication(IIBC)*, Vol. 11, No. 1, pp. 81-86, 2011.

[18] Chang-Bok Kim, "Implementation of Robust License Plate Recognition System using YOLO and CNN" *Journal of KIIT*. Vol. 19, No. 4, pp. 1-9, Apr. 30, 2021. pISSN 1598-8619, eISSN 2093-7571
<http://dx.doi.org/10.14801/jkiit.2021.19.4.1>

[19] Min-Jae Kang, "Comparison of Gradient Descent for Deep Learning", *Journal of the Korea Academia-Industrial cooperation Society* Vol. 21, No. 2 pp. 189-194, 2020
<https://doi.org/10.5762/KAIS.2020.21.2.189>

[20] Suyong Jeong, "Artificial Intelligence-based Medication Behavior Monitoring System using Smartwatch", *Journal of KIIT*. Vol. 18, No. 8, pp. 125-133, Aug. 31, 2020.
<http://dx.doi.org/10.14801/jkiit.2020.18.8.125>

[21] Hong-Rak Kim, Jin-ho Park, "Development of High-Speed Real-Time Image Signal Processing Unit for Small Infrared Image Homing System", *The Journal of The Institute of Internet, Broadcasting and Communication (IIBC)* Vol. 21, No. 4, pp.43-49, Aug. 31, 2021.
<https://doi.org/10.7236/IIBC.2021.21.4.43>

저 자 소 개

김 흥 락(정회원)



- 1995년 2월 : 대구대학교 전자전기컴퓨터학부 (공학사)
- 1997년 8월 : 대구대학교 전자공학과 (공학석사)
- 1997년 7월 ~ 현재 : LIG넥스원(주) 수석연구원
- 주 관심분야 : 마이크로파 센서 시스템, 레이더 신호처리 등

이 만 희(정회원)



- 2007년 2월 : 충남대학교 전기정보통신공학부 (공학사)
- 2009년 2월 : 충남대학교 전파공학과(공학석사)
- 2009년 1월 ~ 현재 : LIG넥스원(주) 수석 연구원
- 주 관심분야 : 마이크로파 센서, 초고주파 회로 및 시스템 등

김 윤 진(정회원)



- 1997년 2월 : 서울대학교 전기공학부 (공학사)
- 1999년 2월 : 서울대학교 전기공학부 (공학석사)
- 1999년 3월 ~ 현재 : LIG넥스원(주) 수석연구원
- 주 관심분야 : 초고주파 레이더 시스템 등

박 성 호(정회원)



- 2006년 2월 : 경상대학교 제어계측공학과(공학사)
- 2008년 8월 : 광주과학기술원 정보기전공학과(공학석사)
- 2008년 9월 ~ 현재 : LIG넥스원(주) 수석연구원
- 주 관심분야 : 마이크로파 센서 시스템, 레이더 신호처리 등