

Multibit 셀을 이용한 Poly-Fuse OTP IP 설계

김동섭*, 리롱화*, 하판봉*, 김영희*

Design of Poly-Fuse OTP IP Using Multibit Cells

Dongseob kim*, Longhua Li*, Panbong Ha*, Younghee Kim*

요약 본 논문에서는 아날로그 회로 트리밍과 보정 (calibration) 등에 필요한 데이터를 저장하는 비휘발성 메모리인 저면적 32bit PF (Poly-Fuse) OTP IP를 설계하였다. 한 개의 선택 트랜지스터에 2개의 PF를 사용하여 하나의 OTP 셀을 구성하므로 2 비트의 데이터를 프로그램할 수 있는 1셀-2비트의 multibit PF OTP 셀을 제안하였다. 제안된 1셀-2비트 PF OTP 셀의 bitcell 사이즈는 $12.69\mu\text{m} \times 3.48\mu\text{m}$ ($=44.161\mu\text{m}^2$)의 1/2로 기존 PF OTP 셀의 bitcell 사이즈에 비해 셀 면적을 33% 줄였다. 한편 본 논문에서는 제안된 multibit 셀의 동작에 맞도록 1행 \times 32열 셀 어레이 회로와 코어 회로 (WL 구동회로, BL 구동회로, BL 스위치 회로와 DL sense amplifier 회로)를 새롭게 제안하였다. 제안된 multibit 셀을 사용한 32bit OTP IP의 레이아웃 사이즈는 $238.47\mu\text{m} \times 156.52\mu\text{m}$ ($=0.0373\mu\text{m}^2$)으로 기존 single bitcell을 이용한 32bit PF OTP IP 사이즈인 $386.87\mu\text{m} \times 144.87\mu\text{m}$ ($=0.056\mu\text{m}^2$)에 비해 면적을 33% 정도 줄였다. 10년의 data retention 시간을 고려하여 설계된 32bit PF OTP IP는 detection read 모드와 read 모드에서 프로그램된 PF의 최소 센싱 저항은 테스트 칩의 post-layout 모의실험 결과 각각 10.5k Ω 과 5.3k Ω 으로 설계하였다.

Abstract In this paper, we designed a low-area 32-bit PF (Poly-fuse) OTP IP, a non-volatile memory that stores data required for analog circuit trimming and calibration. Since one OTP cell is constructed using two PFs in one select transistor, a 1cell-2bit multibit PF OTP cell that can program 2bits of data is proposed. The bitcell size of the proposed 1cell-2bit PF OTP cell is 1/2 of $12.69\mu\text{m} \times 3.48\mu\text{m}$ ($=44.161\mu\text{m}^2$), reducing the cell area by 33% compared to that of the existing PF OTP cell. In addition, in this paper, a new 1 row \times 32 column cell array circuit and core circuit (WL driving circuit, BL driving circuit, BL switch circuit, and DL sense amplifier circuit) are proposed to meet the operation of the proposed multibit cell. The layout size of the 32bit OTP IP using the proposed multibit cell is $238.47\mu\text{m} \times 156.52\mu\text{m}$ ($=0.0373\mu\text{m}^2$) is reduced by about 33% compared that of the existing 32bit PF OTP IP using a single bitcell, which is $386.87\mu\text{m} \times 144.87\mu\text{m}$ ($=0.056\mu\text{m}^2$). The 32-bit PF OTP IP, designed with 10 years of data retention time in mind, is designed with a minimum programmed PF sensing resistance of 10.5k Ω in the detection read mode and of 5.3 k Ω in the read mode, respectively, as a result of post-layout simulation of the test chip.

Key Words : Poly-Fuse, eFuse, OTP, Intellectual Property, Multibit Cell

1. 서론

웨이퍼 제조공정만 하는 파운드리 업체에서 서비스 하는 공정은 logic 공정과 specialty 공정이 있다.

이들 파운드리 업체에서 서비스하는 공정중 specialty 공정은 BCD 공정, HV (High Voltage) 공정, CIS (CMOS Image Sensor) 공정, RF (Radio Frequency) 공정, eFlash (embedded

This work was supported by the Technology Innovation Program (or Industrial Strategic Technology Development Program - Development of Next-Generation Intelligent Semiconductor Technology) (20025751, Development of Foundation Library P PA Performance Enhancement Technology) funded By the Ministry of Trade, Industry & Energy (MOTIE, Korea).

* Department of Electronic Engineering, Changwon National University

* Corresponding Author : Department of Electronic Engineering, Changwon National University (youngkim@changwon.ac.kr)

Received August 14, 2024

Revised August 24, 2024

Accepted August 27, 2024

Flash) 공정 등이 있다 [1-5]. 이들 specialty 공정은 추가 공정이 필요없는 비휘발성 메모리인 eFuse (electrical Fuse)를 사용하는 OTP (One-Time Programmable) 메모리 IP를 필요로 한다.

비휘발성 메모리 (Non-Volatile Memory)인 eFuse OTP IP (Intellectual Property)는 추가 공정이 필요 없다[1-4]. eFuse OTP IP는 밴드갭 기준 전압 발생기 (Bandgap Reference Voltage Generator)와 같은 아날로그 회로의 VREF 전압 트리밍 등의 데이터를 저장하는 역할을 한다[3].

eFuse OTP 메모리 셀 (cell)은 eFuse 링크에 25 mA 정도의 과전류를 흘려 eFuse를 thermal rupture에 의해 blowing하여 eFuse OTP 셀의 eFuse 링크를 선택적으로 프로그램하며, 한 번만 프로그램 가능한 메모리이다[5-10]. eFuse OTP 셀은 eFuse 링크를 프로그램하기 이전 상태에서 eFuse 링크의 초기 저항은 50~100Ω 정도에 분포한다[7]. 그리고 eFuse 링크를 과전류로 blowing할 때 PVR (Program-Verify-Read) 모드인 detection read 모드에서 eFuse 링크의 센싱 저항을 10kΩ으로 eFuse OTP IP를 설계하여 웨이퍼 테스트에서 pass 되는 경우 eFuse 링크의 프로그램된 저항은 10kΩ 이상이라고 볼 수 있다. 이와 같이 eFuse로 PF (Poly-Fuse)를 사용하는 PF OTP 셀은 50~100Ω 정도의 conductive state와 10kΩ 이상의 highly resistive state 중 하나로 프로그램 된다[7-8].

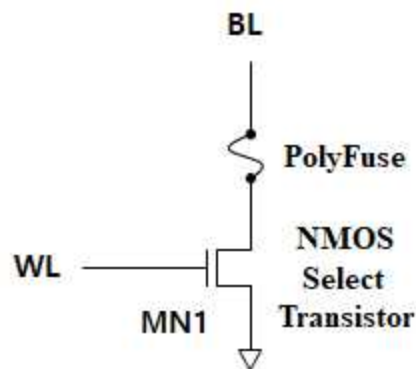
PF OTP 셀은 선택 트랜지스터와 기억소자인 PF 한 개가 있으면 된다[9]. eFuse OTP IP는 OTP 셀 사이즈가 작아야만 OTP IP 사이즈를 줄일 수 있으므로 작은 면적의 OTP 셀 구현이 필요하다.

본 논문에서는 PF OTP 셀 사이즈를 줄이기 위해 선택 트랜지스터 한 개에 PF 2개를 사용하여 하나의 OTP 셀을 구성하면서 2비트의 데이터를 프로그램할 수 있는 1셀-2비트의 multibit OTP 셀을 제안하였다. 일반적으로 PF OTP 셀의 선택 트랜지스터는 NMOS 트랜지스터를 사용한 OTP 셀 [11]과 PMOS 트랜지스터를 사용한 OTP 셀 [1]이 있다. 그런데 프로그램 모드에서 NMOS 트랜지스터가 PMOS 트랜지스터에 비해 원하는 프로그램 전류를 구동해 주기

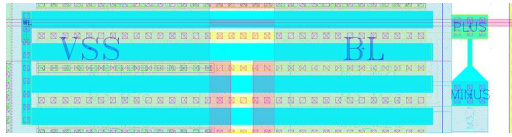
위해서 더 작은 channel width로 구현이 가능하므로 본 논문에서는 NMOS 선택 트랜지스터를 사용하여 1셀-2비트인 multibit PF OTP 셀의 레이아웃 사이즈를 줄였다. 한편 본 논문에서는 multibit OTP 셀의 동작 모드 (프로그램 모드, read 모드, detection read 모드)에 맞도록 1행 × 32열 셀 어레이 회로와 32bit OTP IP의 코어 회로 (WL 구동 회로, BL 구동 회로, BL 스위치 회로와 DL sense amplifier 회로)를 제안하였다. 또한 32bit PF OTP IP의 테스터 칩을 설계하였으며, post-layout 모의 실험을 통해 동작 모드별 기능을 확인하였다.

2. 회로설계

기존의 PF OTP 셀 (cell)은 그림 1(a)에서 보는 것처럼 MV (Medium Voltage) 소자인 3.3V NMOS 선택 트랜지스터 한 개와 기억소자인 PF 한 개로 구성되어 있다. 그리고 그림 1(b)는 90nm MS (Mixed Signal) 공정으로 레이아웃된 PF OTP 셀의 레이아웃 (layout) 이미지를 보여주고 있으며, 왼쪽 부분이 NMOS select 트랜지스터이고 오른쪽 부분이 PF 기억소자이다. 기존 PF OTP 셀의 레이아웃 사이즈는 11.43μm × 2.88μm (=32.9184μm²)이다. 그림 1(b)의 기존 PF OTP 셀 레이아웃에서 열 방향의 BL (Bit-Line)을 M2 (Metal 2)와 M3 (Metal 3) layer를 stack하여 레이아웃 되어있고 행 방향의 WL (Word-Line)은 M1 (Metal 1)으로 라우팅되어 있다.



(a) PF OTP 셀 회로도

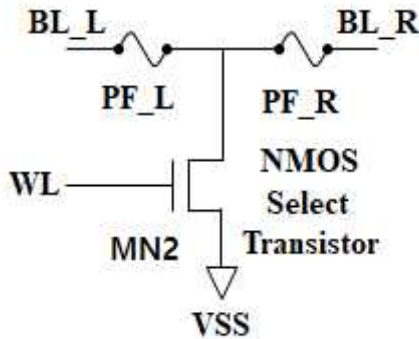


(b) PF OTP 셀 레이아웃 이미지

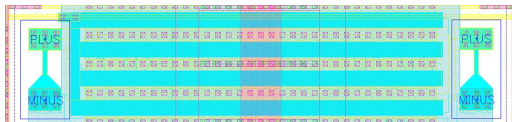
그림 1. 기존의 PF OTP 셀.

Fig. 1. Conventional PF OTP cell: (a) cell circuit and (b) layout image.

PF OTP 셀의 bitcell 사이즈를 줄이기 위해 본 논문에서는 그림 2에서 보는 바와 같이 선택 NMOS 트랜지스터 한 개에 PF 2개를 사용하여 하나의 OTP 셀을 구성하면서 2비트의 데이터를 프로그램할 수 있는 1셀-2비트의 multibit OTP 셀을 제안하였다. 그림 2(b)의 제안된 OTP 셀의 레이아웃 이미지에서 가운데 부분이 NMOS 선택 트랜지스터이고 왼쪽과 오른쪽에 있는 부분이 PF 기억소자이다. 제안된 1셀-2비트 PF OTP 셀의 bitcell 레이아웃 사이즈는 $12.69\mu\text{m} \times 3.48\mu\text{m}$ ($=44.161\mu\text{m}^2$)의 1/2이며, bitcell 사이즈는 기존 PF OTP 셀에 비해 33% 면적을 줄였다.



(a) 1cell-2bit PF OTP 셀 회로도



(b) OTP 셀 레이아웃 이미지

그림 2. 제안된 1cell-2bit PF OTP 셀.

Fig. 2. Proposed 1cell-2bit PF OTP cell: (a) cell circuit and (b) layout image.

표 1은 제안된 1셀-2비트 PF OTP 셀의 동작 모드별 바이어스 조건을 보여주고 있다. 프로그램 모드에서 DIN이 '1'이면서 BL_L이 선택되는 경우 BL_L과 WL은 표 1에서 보는 것처럼 모두 VPP가 되면서 PF_L에 프로그램 전류가 흘러서 PF_L 퓨즈는 thermal rupture에 의해 blowing 되며, BL_R은 플로팅(floating) 상태에 있으면서 프로그램 전류가 흐르지 않으므로 unblown 상태를 유지한다. 반면 프로그램 모드에서 DIN이 '1'이면서 BL_R이 선택되는 경우 BL_R과 WL은 표 1에서 보는 바와 같이 모두 VPP가 되면서 PF_R에 프로그램 전류가 흘러서 PF_R 퓨즈는 thermal rupture에 의해 blowing 되며, BL_L은 플로팅 상태에 있으면서 프로그램 전류가 흐르지 않으므로 unblown 상태를 유지한다. 프로그램 모드에서 DIN이 '0'인 경우에는 BL_L과 BL_R 모두 floating 상태가 되면서 WL이 VPP로 활성화되는 경우 NMOS 선택 트랜지스터가 ON 상태가 되더라도 BL_L과 BL_R 전압은 0V가 되므로 PF_L과 PF_R 모두 프로그램 전류가 흐르지 않으면서 unblown 상태를 유지한다. Read 모드에서 BL_L이 선택되는 경우 표 1에서 보는 바와 같이 WL이 VDD가 되면서 PF_L이 unblown 상태와 blown 상태 각각에 대해 BL_L 전압은 VBL_L과 VBL_H 전압이 걸린다. 이때 VBL_L 전압은 sense amplifier에 의해 read data를 low로 센싱하는 BL 전압이고 거의 0V 부근이다. 한편 VBL_H 전압은 sense amplifier에 의해 read data를 high로 센싱하는 BL 전압이고 거의 VDD 부근이다. 그리고 read 모드에서 BL_R이 선택되는 경우는 표 1에서 보는 바와 같이 BL_L이 선택되는 경우와 똑같이 동작한다.

표 1. 제안된 1셀-2비트 PF OTP 셀의 동작 모드별 바이어스 조건. Table 1. Bias conditions for each operation mode of the proposed 1cell-2bit PF OTP cell.

	Program Mode				Read Mode			
	Selected BL_L		Selected BL_R		Selected BL_L		Selected BL_R	
DIN	0	1	0	1	0	1	0	1
BL_L	Floating	VPP	Floating	Floating	VBL_L	VBL_H	Floating	Floating
BL_R	Floating	Floating	Floating	VPP	Floating	Floating	VBL_L	VBL_H
DOUT	x	x	x	x	0	1	0	1
PF_L	Unblown	Blown	Unblown	Unblown	Unblown	Blown	Unblown	Unblown
PF_R	Unblown	Unblown	Unblown	Blown	Unblown	Unblown	Unblown	Blown
WL	VPP				VDD			

표 2는 그림 2의 제안된 1셀-2비트 PF OTP 셀을 사용하여 설계된 32비트 PF OTP IP의 주요 특징을 보여주고 있다. 메모리 용량은 1행 × 32열의 셀 어레이를 갖는 32비트이며, program 모드는 한 셀의 PF를 blowing하기 위해 수 십 mA의 큰 프로그램 전류가 필요하므로 한 bit씩 프로그램하는 반면, read와 detection read 모드는 8비트씩 read한다. 프로그램 모드에서 VDD와 VPP (Program Voltage) 전압은 각각 1.2V와 5V인 반면, read 모드와 detection read 모드는 모두 1.2V의 로직 전압을 사용한다. 그리고 program 시간은 25°C에서 최소 20μs이며, DIN이 '1'인 경우 선택된 PF에 큰 프로그램 전류가 흘러서 선택된 PF를 blowing하고 DIN이 '0'인 경우는 PF에 프로그램 전류가 흐르지 않으므로 unblown 상태를 유지한다.

표 2. 설계된 32비트 PF OTP IP의 주요특징.
Table 2. Major specifications of the designed 32bit PF OTP IP.

Item	Main Features	
Main Memory Density	32 bits	
Data bus Interface	Read Mode	x 8 bits
	Detection Read Mode	x 8 bits
	Program Mode	x 1 bit
Operating Voltage	Read Mode	VDD = 1.2V±10%, VPP = 1.2V±10%
	Detection Read Mode	VDD = 1.2V±10%, VPP = 1.2V±10%
	Program Mode	VDD = 1.2V±10%, VPP = 5.0V±0.1V
Random Access Time	Read Mode	Max. 440ns
	Detection Read Mode	Max. 490ns
Program Time		Min. 20μsper bit
Operating Temperature	Read Mode	-40 to 125°C
	Detection Read Mode	25°C
	Program Mode	25°C
Power Consumption	Stand-by Mode	I _{VDD} = Max. 35μA, I _{VPP} = Max. 3μA
	Read Mode	I _{VDD} = Max. 1mA, I _{VPP} = Max. 20μA
	Detection Read Mode	I _{VDD} = Max. 600μA, I _{VPP} = Max. 20μA
DOUT Status in Read Mode	Initial Cell Status	Low
	Programmed Bit by DIN	DOUT = Low (@ DIN = Low), DOUT = High (@ DIN = High)
Size	238.47μm x 156.52μm	
Isolation Type	Isolation	

그림 3은 DBHiTek 90nm MS (Mixed Signal) 공정으로 설계된 1셀-2비트의 multibit OTP IP을 블록도를 보여주고 있다. 32bit OTP IP 코어 회로는 그림 3에서 보는 것처럼 1셀-2비트의 multibit 셀을 사용한 1행 × 32열의 셀 어레이, WL (Word-Line) 구동 회로, BL (Bit-Line) 구동회로, BL 스위치 회로와 DL (Data-Line) sense amplifier, 제어로직 (control logic) 회로로 구성되어 있다.

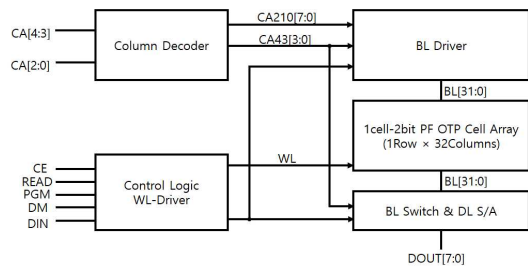


그림 3. 설계된 32bit PF OTP IP의 블록도.
Fig. 3. Block diagram of 32-bit PF OTP IP.

그림 4는 OTP 코어회로 중 하나인 WL 구동회로를 보여주고 있다. WL 구동회로의 VPP는 프로그램 모드에서 5V, read 모드와 detection read 모드에서는 1.2V의 로직 전압이 인가되므로 로직 전압으로 구동되는 WLEN (WL ENable) 신호로 WL을 구동해 주기 위해서는 그림 4에 보여지는 VDD-to-VPP level shifter 회로가 필요하다. WLEN 신호에 0V나 VDD 전압이 인가되면 WL은 각각 0V나 VPP를 구동한다.

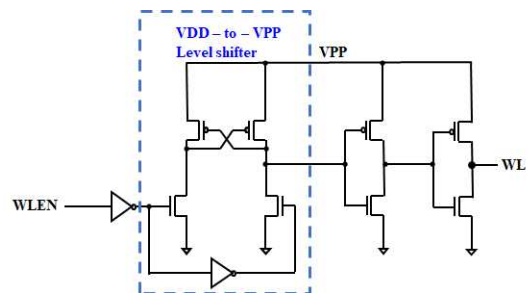


그림 4. WL 구동회로.
Fig. 4. WL driving circuit.

그림 5는 BL 구동회로를 보여주고 있다. BL 구동회로는 CA43_L, CA43_R과 CA210에 의해 선택되는 BL_L과 BL_R 구동회로로 구성되어 있으며, VDD-to-VPP level shifter 회로가 포함되어 있다. 열 어드레스 CA[2:0]은 표 3에서 보는 바와 같이 가장 왼쪽에 위치한 BL부터 4개씩 선택하며, CA[2:0]에 의해 선택되는 4개의 BL은 CA[4:3]의 의해 디코딩된다. 왼쪽부터 2개씩 BL은 그림 2(a)의 셀 회로도에 있는 BL_L과 BL_R이다. 프로그램 모드에서 WD가 '0'이거나 열 어드레스 (column address)인 CA[4:0]에 의해 선택되지 않은 BL은 Hi-Z (High Impedance) 상태가 된다.

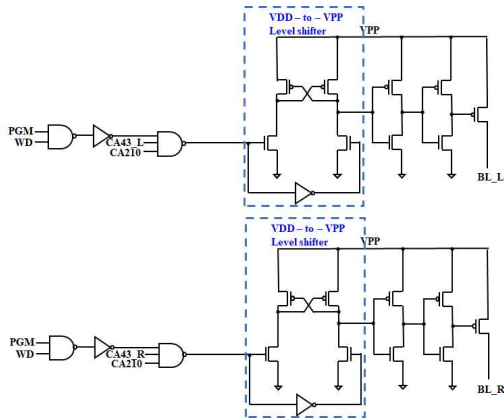


그림 5. BL 구동회로.
Fig. 5. BL driving circuit.

표 3. 열 어드레스 CA[4:0]에 의한 열 어드레스 mapping 테이블.
Table 3. Column address mapping table by column address CA[4:0].

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
A4	0	1	1	1	0	1	1	1	1	0	1	1	1	0	1	1	1	1	0	1	1	1	1	0	1	1	1	1	0	1	1	1
A3	0	1	1	0	1	1	1	1	1	0	1	1	1	0	1	1	1	1	0	1	1	1	1	0	1	1	1	1	0	1	1	1
A2	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
A1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
A0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

그림 6은 BL 스위치 회로를 보여주고 있다. BL 스위치 회로는 표 3의 열 어드레스 mapping 테이블을 이용하여 디코딩 하면 된다. Read 모드와 detection

read 모드에서 CA[2:0]에 의해 BL 4개씩 선택이 되며, 선택된 4개의 BL은 CA[4:3]에 의해 그림 6에 보이는 4개 BL중 하나가 선택이 되어 transmission gate를 통해 DL에 전달이 된다. 한편 RM (Resistance Measurement) 모드에서는 TG4 스위치가 ON되면서 DL과 RM은 회로적으로 연결되어 RM에 10 μ A의 전류를 인가하면 blown된 PF에 이 전류가 흐르면서 voltage drop이 걸려 RM의 전압을 측정하면 blown된 PF의 저항 측정이 가능하다.

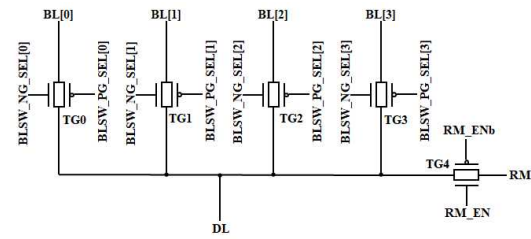


그림 6. BL 스위치 회로.
Fig. 6. BL switching circuit.

그림 7은 read 모드와 detection read 모드에서 DL의 데이터를 센싱하는 sense amplifier 회로를 보여주고 있다. 그림 7의 MN1은 DL 프리차징 트랜지스터로 WL이 활성화 (activation) 되기 이전에 BL과 DL을 0V로 프리차징한다. 그리고 MP1과 MP2는 각각 read 모드와 detection read 모드에서 DL을 풀업 (pull-up) 시키는 풀업 부하 트랜지스터에 해당된다. read 모드와 detection read 모드에서 프로그램된 PF의 센싱 저항은 typical 모의실험 조건 (VDD=1.2V, VPP=1.2V, TT, Temp.=25 $^{\circ}$ C)에서 각각 목표 저항인 5K Ω 과 10K Ω 이 되도록 MP1과 MP2의 PMOS 풀업 부하 트랜지스터를 사이징하였다[12]. Detection read 모드에서의 센싱 가능한 프로그램 저항은 10K Ω 으로 일반적으로 사용되는 read 모드의 센싱 가능한 저항인 5K Ω 보다 크게 하므로 10년의 data retention 시간 동안 프로그램된 저항이 5K Ω 정도 낮아지더라도 read 모드에서는 프로그램된 저항으로 센싱하도록 해준다. 한편 32bit PF OTP IP는 read access time이 440ns로 고속 센싱이 필요 없으므로 DL sense amplifier 회로

는 그림 7에서 보는 것처럼 clocked inverter를 사용하여 센싱한다. 그리고 Clocked inverter는 센싱 동작을 하지 않는 경우 FN 노드가 Hi-Z 상태가 되므로 inverter latch 회로를 이용하여 FN 노드 전압을 이전에 센싱한 전압으로 latch 시켜준다. 한편 설계된 32bit PF OTP IP의 레이아웃 사이즈는 $238.47\mu\text{m} \times 156.52\mu\text{m}$ ($=0.0373\text{mm}^2$)로 기존 single bitcell을 이용한 32bit PF OTP IP 사이즈인 $386.87\mu\text{m} \times 144.87\mu\text{m}$ ($=0.056\text{mm}^2$)에 비해 면적을 33% 정도 줄였다

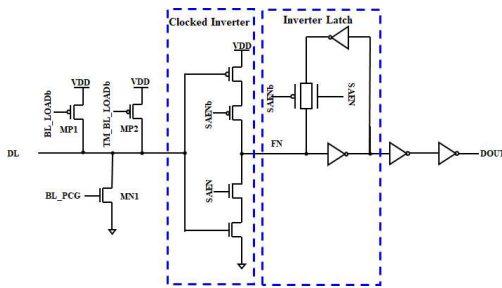
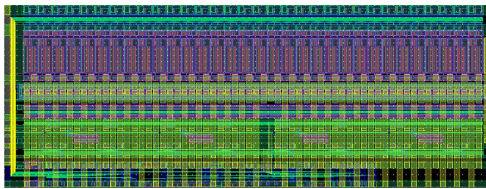
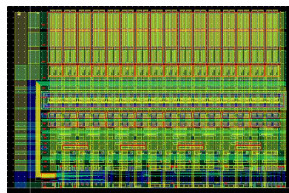


그림 7. DL sense amplifier 회로.
Fig. 7. DL sense amplifier circuit.



(a) 기존 셀을 이용한 32비트 PF OTP IP



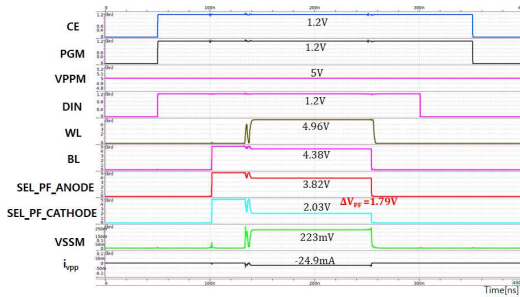
(b) 새롭게 제안된 셀을 이용한 32비트 PF OTP IP

그림 8. 32bit PF OTP IP의 레이아웃 사이즈 비교.
Fig. 8. Comparison of 32-bit PF OTP IP layout sizes: (a) conventional cell and (b) proposed cell.

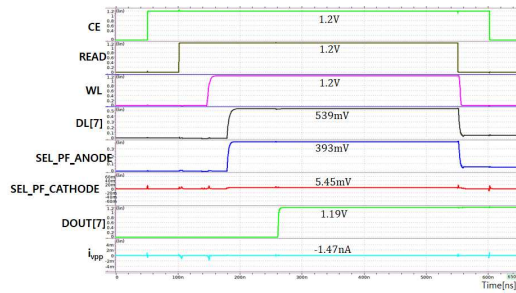
3. 모의실험 결과

그림 8(b)의 제안된 셀을 이용한 32비트 PF OTP IP의 테스트 칩에 대해 동작 모드별 기능 (function)에 대한 post-layout 모의실험, read 모드와 detection read 모드에 대한 모의실험 조건별 PF 센싱 저항 모의실험과 read 모드에서 simulation모의실험 조건별 프로그램되지 않은 PF 링크를 통해 흐르는 전류에 대한 pre-layout 모의실험을 진행하였다.

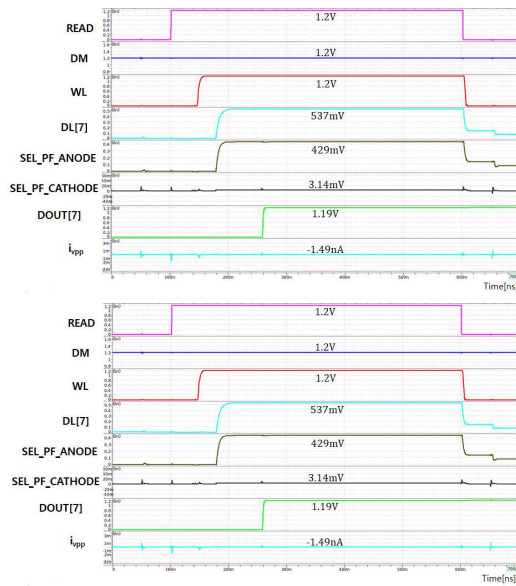
그림 9는 TT (Typical NMOS, Typical PMOS) model parameter, Temp.=25°C에서 동작 모드별 제안된 셀을 이용한 32비트 PF OTP IP의 post-layout 모의실험 결과를 보여주고 있다. 프로그램 모드 모의실험은 VDD와 VPP 전압을 각각 1.2V와 5V를 인가하고 코어 회로관련 WL, BL과 선택된 PF OPT 셀의 PF 링크의 양극 (anode)와 음극 (cathode)에 대한 전압 파형을 보여주고 있다. 그림 9(a)의 모의실험 결과에서 보는 것처럼 PF 링크 양단에는 1.79V의 전압이 걸리고 24.9mA의 프로그램 전류가 흐르므로 PF 링크의 프로그램 하기 전의 초기 저항을 계산한 결과 72Ω 이다. 그림 9(b)와 그림 9(c)는 PF OTP 셀이 프로그램된 경우에 대해 read 모드와 detection read 모드에 대한 모의실험 결과를 보여주고 있다. 그림 9(b)와 그림 9(c)에서 보는 것처럼 WL이 먼저 활성화되고 DL sense amplifier 회로의 DL 풀업 부하에 의해 DL이 VDD로 풀업 되면서 DOUT의 데이터가 '1'로 출력되는 결과를 볼 수 있다. 그림 9(b)의 read 모드와 그림 9(c)의 detection read 모드에 대한 모의실험을 진행할 때 프로그램된 PF의 저항은 각각 5.3k Ω 과 10.5k Ω 을 사용하였으며, typical 모의실험 조건에서 PF OTP IP의 설계 목표인 5k Ω 과 10k Ω 을 조금 차이가 나는 것은 테스트 칩에서 OTP IP를 라우팅하면서 metal 라우팅 저항이 포함된 결과이다. 모의실험은 32bit PF OTP IP의 VPP와 VSS 포트에서 라우팅 저항이 가장 큰 가장 오른쪽에 있는 셀을 기준으로 모의실험하였다.



(a) 프로그램 모드



(b) read 모드



(c) detection read 모드

그림 9. Typical 모의실험 조건에서 32bit PF OTP IP의 테스트 칩에 대한 동작 모드별 post-layout 모의실험 결과.

Fig. 9. Post-layout simulation results by operation mode for the 32bit PF OTP IP test chip under typical simulation conditions: (a) program mode, (b) read mode, and (c) detection read mode.

32비트 PF OTP IP의 테스트 칩에 대한 모의실험 조건별 read 모드와 detection read 모드에 대한 프로그램된 OTP 셀의 PF에 대한 센싱 저항 모의실험 결과는 표 4에서 보는 바와 같다. 표 4는 모의실험 조건별 결과로 VDD=1.2V, VPP=1.2V, Temp.=25°C, TT (Typical NMOS Typical PMOS) model parameter 조건에서 프로그램된 PF의 센싱 저항은 read 모드와 detection read 모드에서 각각 5.3kΩ과 10.5kΩ의 모의실험 결과가 나온 것을 볼 수 있다.

표 4. 동작 모드별 센싱 저항에 대한 모의실험 결과 (a) read 모드 (b) detection read 모드.

Table 4. Simulation results of sensing resistance by operation mode: (a) read mode and (b) detection read mode.

(a)

VDD	Temp	SS	SF	TT	FS	FF
1.08V	-40°C	3.3KΩ	2.9KΩ	4.1KΩ	5.8KΩ	4.8KΩ
	25°C	4.6KΩ	4.0KΩ	5.5KΩ	7.0KΩ	5.7KΩ
	125°C	6.9KΩ	5.8KΩ	7.3KΩ	8.2KΩ	7.0KΩ
1.2V	-40°C	3.7KΩ	3.2KΩ	4.2KΩ	5.2KΩ	4.4KΩ
	25°C	4.8KΩ	4.2KΩ	5.3KΩ	6.1KΩ	5.2KΩ
	125°C	6.7KΩ	5.9KΩ	6.7KΩ	7.1KΩ	6.1KΩ
1.32V	-40°C	3.8KΩ	3.3KΩ	4.1KΩ	4.7KΩ	4.0KΩ
	25°C	4.8KΩ	4.2KΩ	5KΩ	5.4KΩ	4.6KΩ
	125°C	6.4KΩ	5.7KΩ	6.1KΩ	6.2KΩ	5.4KΩ

(b)

VDD	Temp	SS	SF	TT	FS	FF
1.08V	-40°C					
	25°C	9.9KΩ	8.3KΩ	11KΩ	13.5KΩ	11.1KΩ
	125°C					
1.2V	-40°C					
	25°C	9.9KΩ	8.5KΩ	10.5KΩ	11.7KΩ	9.8KΩ
	125°C					
1.32V	-40°C					
	25°C	9.8KΩ	8.5KΩ	9.7KΩ	10.1KΩ	8.7KΩ
	125°C					

한편 그림 2(a)의 프로그램되지 않은 (unprogrammed) PF 링크는 read 모드에서 EM 현상에 의해 blowing 되지 않도록 PF 링크를 통해 흐르는 전류를 제한하여야 한다[12]. 그림 6의 transmission gate인 TG0, TG1, TG2와 TG3의 PMOS 트랜지스터와 NMOS 트랜지스터의 channel width를 조정하여 read 모드에서 프로그램되지 않은

셀의 PF 링크를 통해 흐르는 전류를 표 5에서 보는 바와 같이 138 μ A로 제한하였다.

표 5. Read 모드에서 모의실험 조건별 프로그램되지 않은 poly-fuse 링크를 통해 흐르는 전류에 대한 모의실험 결과.
Table 5. Simulation results for current flowing through an unprogrammed poly-fuse link by simulation condition in the read mode.

VDD	Temp	Read_Mode				
		SS	SF	TT	FS	FF
1.08V	-40 $^{\circ}$ C	59.2 μ A	80.2 μ A	71.6 μ A	63.6 μ A	85.5 μ A
	25 $^{\circ}$ C	51.3 μ A	68.9 μ A	61.9 μ A	55.5 μ A	74.1 μ A
	125 $^{\circ}$ C	44.2 μ A	58.8 μ A	53.5 μ A	48.4 μ A	63.7 μ A
1.2V	-40 $^{\circ}$ C	80.3 μ A	105 μ A	94.8 μ A	85.4 μ A	111 μ A
	25 $^{\circ}$ C	68.7 μ A	89.5 μ A	81.3 μ A	73.7 μ A	95.3 μ A
	125 $^{\circ}$ C	58.1 μ A	75.5 μ A	69.3 μ A	63.4 μ A	81.2 μ A
1.32V	-40 $^{\circ}$ C	104 μ A	132 μ A	121 μ A	110 μ A	138 μ A
	25 $^{\circ}$ C	88.3 μ A	112 μ A	103 μ A	94.1 μ A	119 μ A
	125 $^{\circ}$ C	73.9 μ A	94.1 μ A	87 μ A	80.3 μ A	101 μ A

4. 결론

아날로그 회로 트리밍과 조정 등과 관련된 데이터를 저장하기 위해 PF OTP IP가 필요하며, bitcell 사이즈가 작은 저면적의 PF OTP 셀이 요구된다.

본 논문에서는 한 개의 NMOS 선택 트랜지스터에 2개의 PF를 사용한 1셀-2비트비트의 multibit OTP 셀을 제안하였다. 제안된 1셀-2비트 PF OTP 셀의 bitcell 사이즈는 12.69 μ m \times 3.48 μ m (=44.161 μ m²)의 1/2로 기존 PF OTP 셀의 bitcell 사이즈에 비해 33% 면적을 줄였다. 제안된 multibit OTP 셀의 동작에 맞도록 1행 \times 32열 셀 어레이 회로, 32bit OTP IP의 코어 회로인 WL (Word-Line) 구동회로, BL (Bit-Line) 구동 회로, BL 스위치 회로와 DL (Data-Line) sense amplifier 회로를 새롭게 제안하였으며, 설계된 32비트 PF OTP IP 사이즈는 238.47 μ m \times 156.52 μ m (=0.0373mm²)으로 기존 single bitcell을 이용한 32비트 PF OTP IP 사이즈인 386.87 μ m \times 144.87 μ m (=0.056mm²)에 비해 면적을 33% 정도 줄였다.

한편 제안된 multibit OTP 셀을 사용하여 32bit PF OTP IP는 향후 웨이퍼 제작 후 테스트를 진행하기 위해 테스트 칩을 설계하였으며, post-layout 모의실험을 통해 동작 모드별 기능을 확인하였다. 그리

고 10년의 data retention 시간을 고려하여 설계된 32비트 PF OTP IP는 detection read 모드와 read 모드에서 프로그램된 PF의 최소 센싱 저항은 각각 10.5k Ω 과 5.3K Ω 으로 설계하였다. 현재 공정 진행 중이며, 향후 32비트 PF OTP IP의 wafer가 나오면 32bit PF OTP IP의 테스트 칩 특성을 평가해 볼 계획이다.

REFERENCES

- [1] S. H. Kulkarni et al., "A 4kb metal-fuse OTP-ROM macro featuring a 2V programmable 1.37 μ m² 1T1R bit cell in 32nm high-k metal-gate CMOS," *IEEE Solid-State Circuits*, vol. 45, no. 4, pp. 863-868, April 2010.
- [2] W. Y. Jung et al., "Design of eFuse OTP memory with wide operating voltage range for PMICs," *Journal of Semiconductor Technology and Science*, vol. 18, no. 1, pp. 115-122, Jan. 2014.
- [3] Y. H. Kim, "eFuse OTP memory circuit," Korea Patent 10-1762919, July 24, 2017.
- [4] H. Park et al., "Design of small-area differential paired eFuse OTP memory for power IC," *JKIIECT*, pp. 107-115, April 2015.
- [5] J. Safran et al., "A compact eFuse programmable array memory for SOI CMOS," *Symposium on VLSI Circuits*, pp. 72-73, June 2007.
- [6] N. Robson et al., "Electrically programmable fuse (eFuse): From memory redundancy to autonomic chip," *Proceedings of Custom Integrated Circuits Conference*, pp. 799-804, Sep. 2007.
- [7] J. H. Lee et al., "Design of an asynchronous eFuse one-time programmable memory IP of 1 kilo bits based on a logic process", *Journal of KIMICS*, vol. 13, no. 7, pp. 1371-1378, July 2009.
- [8] D. H. Kim et al., "Design and measurement of a 1-kbit eFuse one-time programmable memory IP based on a BCD process,"

Journal of IEICE Trans. Electron, vol. E93-C, No. 8, pp. 1365-1370, Aug. 2010.

- [9] S. H. Lee et al., "Design of an NMOS-diode eFuse OTP memory IP for CMOS image sensors," *JKIICE*, vol. 20, no. 2, pp. 306-316, Feb. 2016.
- [10] S. Hutchins et al., "A high-output power 1-V charge pump and power switch for configurable, in-field-programmable metal eFuse on Intel 4 logic technology," *IEEE Solid-State Circuits Letters*, vol. 6, pp. 9-12, 2023.
- [11] G. Uhlmann et al., "A commercial field-programmable dense eFuse array memory with 99.999% sense yield for 45nm SOI CMOS," Digest of Technical Papers, *IEEE International Solid-State Circuits Conference*, pp. 406-407, Feb. 2008.
- [12] H. L. Kang et al., "Design of 4Kb Poly-Fuse OTP IP for 90nm Process," *JKIIECT*, pp. 509-518, Dec. 2023.

저자약력

김 동 섭 (Dong-Seob Kim) [학생회원]



- 2023년 2월 : 창원대학교 물리학과 (이학사)
- 2023년 9월 ~ 현재 : 창원대학교 전자공학전공 석사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

리 룡 화 (Long-Hua Li) [학생회원]



- 2020년 6월 : 연변대학교 전자정보통신학과 (공학사)
- 2022년 6월: 연변대학교 전자정보통신학과 (공학석사)
- 2022년 9월 ~ 현재 : 창원대학교 전자공학전공 박사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

하 판 봉 (Pan-Bong Ha) [종신회원]



- 1981년 2월 : 부산대학교 전기공학과 (공학사)
- 1983년 2월 : 서울대학교 전자공학과 (공학석사)
- 1993년 2월 : 서울대학교 전자공학과 (공학박사)
- 1987년 3월 ~ 현재 : 창원대학교 전자공학전공 명예교수

〈관심분야〉 임베디드 시스템, SoC 설계

김 영 희 (Young-Hee Kim) [종신회원]



- 1989년 2월 : 경북대학교 전자공학과 (공학사)
- 1997년 2월 : 포항공과대학교 전기전자공학과 (공학석사)
- 2000년 8월 : 포항공과대학교 전기전자공학과 (공학박사)
- 1989년 1월 ~ 2001년 2월 : 현대전자 책임연구원
- 2001년 3월 ~ 현재 : 창원대학교 전자공학전공 교수

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계