

Offset 개선을 위해 Auto Zero Calibration 기법을 적용한 8-bit / 49.98dB-SNDR SAR ADC 설계

ENOB 8-bit / 49.98dB-SNDR SAR ADC with Auto Zero Calibration Tech- nique for Offset Improvement

정채은^{1,2}, 오주원^{1,2}, 부영건^{1,2}, 이강윤^{1,2,+}
(Chae Eun Jung^{1,2}, Juwon Oh^{1,2}, Young-Gun Pu^{1,2} and Kang-Yoon Lee^{1,2,+})

요약

본 논문은 Reference generator 와 Comparator 에서 발생하는 offset 을 최소화하고 정확도를 향상시키기 위해 Auto zero 기술을 활용한 회로를 제안한다. 이에 대한 근거로 Auto zero 사용 전/후를 비교했을 때 약 90% 표준 편차가 줄어드는 결과를 얻을 수 있었다. 제안하는 회로는 55nm CMOS 공정을 사용하였으며, input frequency 는 781.2 Hz, Effective Number of Bits (ENOB) 8.01bit, Signal-to-Noise Distortion Ratio (SNDR)이 49.98dB 을 보여준다.

ABSTRACT

This paper proposes a circuit utilizing auto zero technology to minimize offset and enhance accuracy in the reference generator and comparator. As evidence, a comparison between pre and post auto zero usage revealed a reduction of approximately 90% in standard deviation. The proposed circuit was implemented using a 55nm CMOS process, with an input frequency of 781.2 Hz. It achieves an Effective Number of Bits (ENOB) of 8.01 bits and a Signal-to-Noise Distortion Ratio (SNDR) of 49.98 dB.

KEY WORDS

Analog-to digital (ADC); Auto zero; digital-to-Analog Converter (DAC);
Successive Approximation Register (SAR)

I. 서론

최근 몇 년간, 스마트폰과 사물인터넷 웨어러블의 수요 증가로 인해 단거리 무선 통신 기술에 집중되고 있다. BLE (Bluetooth Low Energy)는 기존 블루투스에 비해 적은 전력을 사용하여 효율을 향상시키며 다양한 요구에 맞춰 성능이 지속적으로 향상되고 있다. 저전력 BLE 수요의 증가로 특히 ADC 시장이 활발하게 성장하고 있다. 특히

필수적인 고정밀 ADC는 높은 정확도를 요구한다.

본 논문은 Reference generator와 Comparator에 auto zero를 적용하여 mismatch를 줄여 정확도를 향상시켜 표준 편차를 감소시키는 회로를 제안하였다.

II. 본론

그림 1에서는 논문에서 제안된 SAR ADC의 top 블록 다이어그램을 보여준다. 이 블록은 reference generator, comparator, CDAC 및 SAR logic으로 구성되어 있으며, 출력을 ADC_OUT<7:0>으로 정의하고 있다.

¹ Department of Electrical and Computer Engineering, Sungkyunkwan University
⁺Corresponding author: Kangyoon Lee, klee@skku.edu
² SKAIChips
(Received May. 24, 2024, Revised Jul. 31, 2024, Accepted Aug. 1, 2024)

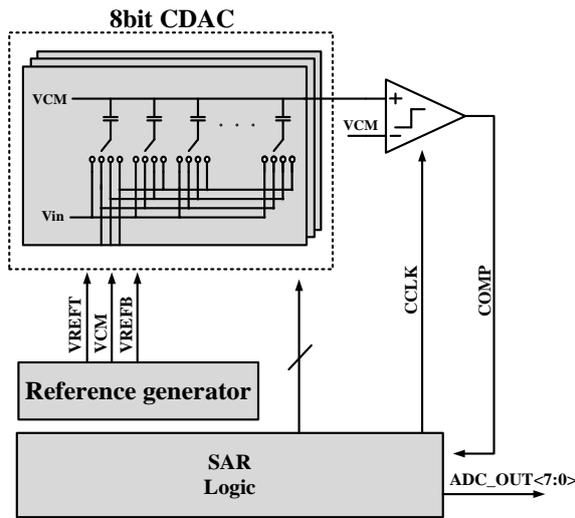


그림1. 제안하는 SAR ADC 구조

1. 제안하는 Reference generator 회로도 (Proposed reference generator)

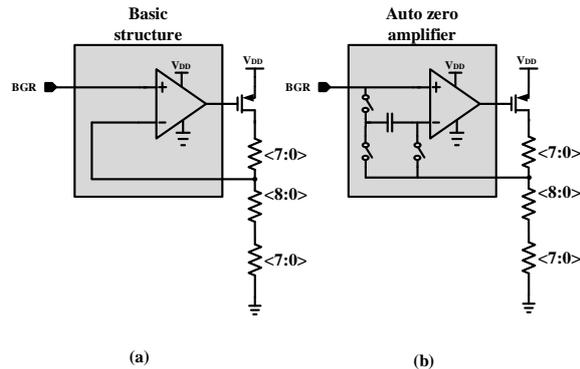


그림2. 제안하는 reference generator
(a) 기존 구조 (b) auto zero 사용한 구조

그림 2 (a)에서는 기존 reference generator를 보여주고 있다. 기존의 문제점은 amplifier의 양단 전압의 차이가 0V가 이상적이지만, 온도 및 전압에 따라 변화하면서 offset이 발생한다. 발생한 offset으로 인해 전압이 변하게 된다면 ADC code가 변하게 되어 missing code가 발생할 수 있다.

본 논문에서 그림 2(b)에서 보여지는 바와 같이, 기존 구조의 feedback 부분에 auto zero를 추가하는 것을 제안한다. Auto zero는 capacitor와 switch를 활용하여 입력 offset을 sampling하고 calibration하여 gain error를 줄이고 시스템을 온도 및 전압

변화에 덜 민감하게 만들어 준다. 이는 chopping기술과 유사하게 작동하지만 auto zero가 더 적은 리플을 가지고 있어 초기 오류를 주기적으로 calibration함으로써 정확도를 향상시켜준다. 따라서, 낮은 리플 특성 때문에 auto zero기술을 적용하였다.

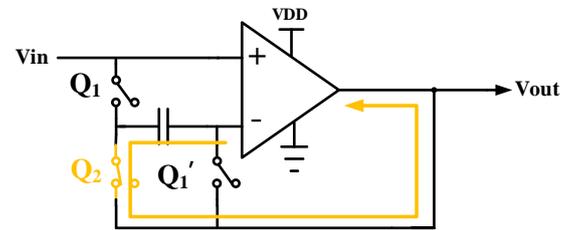
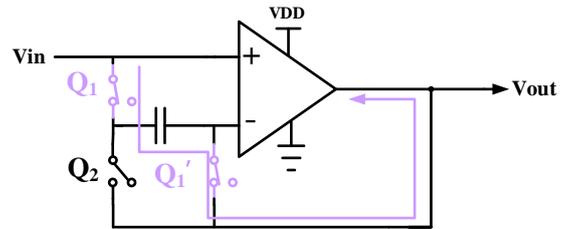


그림3. Auto zero 동작 시나리오

그림 3은 auto zero 작동 시나리오를 보여준다. 신호 Q1과 Q1'의 타이밍이 동기화가 되고, 두 개의 스위치가 켜지면 Q2의 나머지 스위치는 꺼지고 amplifier의 offset이 capacitor에 저장된다. 이후에 Q2 신호가 활성화되면 Q1과 Q1'의 두 개의 스위치가 꺼지게 된다.

Q1과 Q1'의 신호 타이밍이 동기화될 때 Sampling mode으로 동작한다. Q2가 활성화될 때 Conversion mode가 동작한다. 이러한 작동 시나리오를 통해 Sampling mode를 통해 offset이 capacitor에 저장되고 conversion mode에서 발생한 offset을 완화시켜주어, 약 1mV 정도 발생한 offset이 약 90% 줄어들어 개선된 것을 확인하였다.

2. 제안하는 Comparator (Proposed Com-parator)

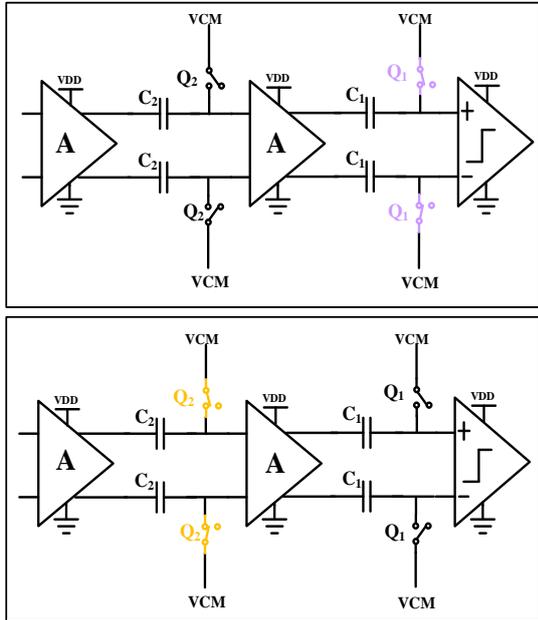


그림 4. 제안하는 Comparator의 auto zero 스위치 활성화 과정

이 연구에서 제안된 comparator 구조는 그림 4에서 구성과 작동에 대한 설명이 제시되어 있다. 구조를 보면 두 개의 pre-amplifier와 마지막 단에 래치가 포함되어 있다. 각 앰프 사이에는 정확도와 성능을 향상시키기 위해 auto zero 기술이 추가되었다. 사용된 스위치는 Q1 스위치와 Q2 스위치로 나뉘며, 이 두 스위치는 각각 래치 앰프의 입력 부분과 출력 부분에 위치한다.

Comparator에 스위치는 Q1 스위치, 즉, 래치 앰프 입력 쪽에 있는 스위치를 먼저 켜준다. Q2를 먼저 켜서 작동시킬 수는 있지만, Q1을 먼저 켜줘야 offset을 줄이는데 효과적인 도움이 된다.

첫 번째 단에서 스위치가 먼저 켜지게 되면 그 다음 pre-amplifier를 거치게 되면서 offset이 다시 발생하기 때문에 comparator가 offset을 지속적으로 줄이려면, auto zero 스위치가 언제 켜지는지 타이밍을 정확하게 제어해야 한다.

본 논문에서는 auto zero 스위치가 특정 단계에서 이러한 스위치에 우선순위를 부여함으로써 오프셋이 보다 효과적으로 감소하게 된다. 즉, auto zero 스위치의 타이밍을 정확하게 제어하여 offset을 지속적으로 감소시키는 것이 중요하다.

III. 실험 결과

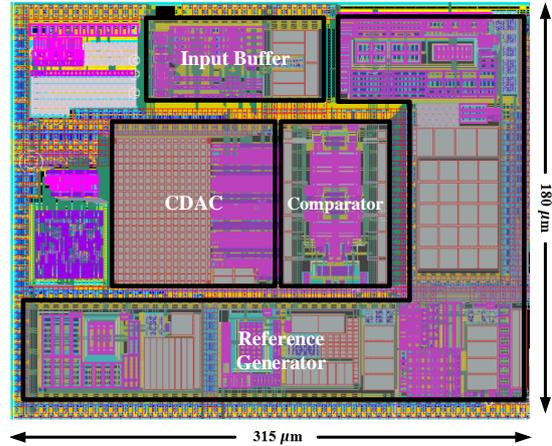


그림 5. 제안하는 SAR ADC의 layout

그림 5는 본 논문에서 제안한 SAR ADC의 레이아웃을 보여준다. 구성은 input buffer, CDAC 과 본 논문에서 제안된 reference generator가 구성 되어 있다. 이러한 구조의 레이아웃 크기는 $315 \times 180 \mu\text{m}^2$ 사용하였다. SAR ADC의 성능을 유지하면서 적절한 크기를 갖도록 설계하였다. 각 구성 요소의 배치와 레이아웃은 최적화 하였다.

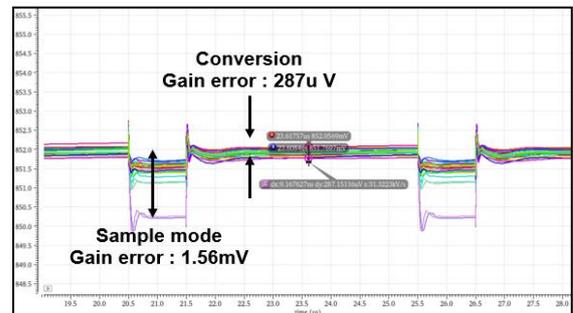
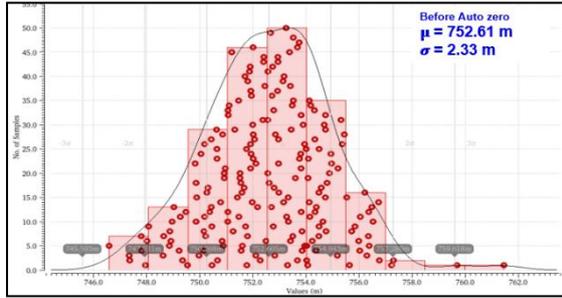


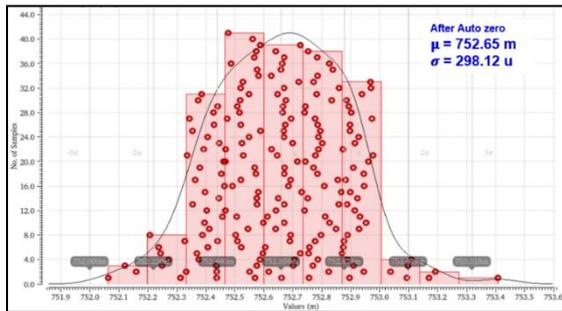
그림 6. Reference generator Voltage, Temperature 코너 시뮬레이션 결과

그림 6의 시뮬레이션 결과는 온도를 -40°C 에서 85°C 로, 전압을 0.95V 에서 1.05V 로 변경하여 reference generator의 gain error를 보여준다. 앰프에서 발생한 gain error가 이상적으로는 0V 와 가깝게 발생해야 하지만, amplifier에 offset으로 인해 sampling mode에 약 1.56mV 정도 나타난 것을 볼 수 있다. 이는 스위치 사이에 구성되어 있는 capacitor에 저장되어 있다는 것을 알 수 있다.

Sample mode 를 거친 후 conversion mode 에서는 gain error 가 287uV 로 약 90% 감소하였음을 나타내고 있다. 이러한 simulation 결과는 auto zero 기술의 효과적인 사용을 강조하며, 개선된 정확도를 제공한다. 이를 통해 SAR ADC 의 성능이 향상된 것을 확인할 수 있다.



(a)



(b)

그림 7. Reference generator 의 몬테카를로 시뮬레이션 결과

(a) 기존 구조를 사용한 reference generator 결과

(b) Reference generator 에 auto zero 를 사용한 결과

그림 7 (a)는 auto zero 를 사용하지 않은 reference generator 를 보여주고 있다. 해당 그림은 2.33mV 의 산포도 결과를 보여주고 있다. 반면, 그림 7 (b)의 그림은 auto zero 를 사용한 reference generator 의 monte carlo simulation 결과이다. 산포도가 약 87% 감소한 것을 볼 수 있다.

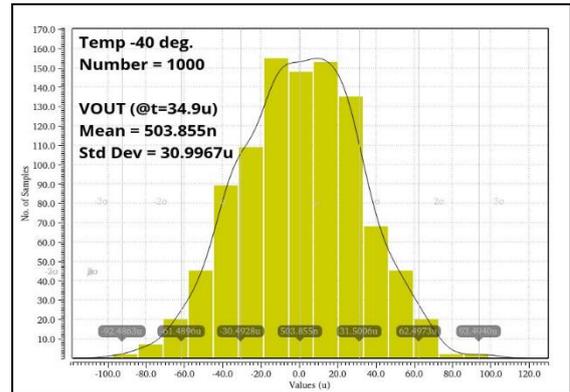


그림 8. Comparator 의 몬테카를로 시뮬레이션 결과

그림 8 은 comparator 에 auto zero 가 적용되어 offset 이 개선을 나타내는 monte simulation 결과 값이다. 이 연구에서는 auto zero 를 적용하기 전보다 offset 값이 60% 감소하였다. 이 simulation 결과는 auto zero 의 효과적인 활용을 강조하며, 정확도가 향상된 것을 알 수 있다. 표 1 에 나와 있는 것처럼 auto zero 기술을 적용하여 정확도를 올려 missing code 를 줄여 비교표에서 나타내는 것과 같이 ENOB bit 를 비교하면 다른 논문들보다 정확도가 높게 나온 것을 확인할 수 있다.

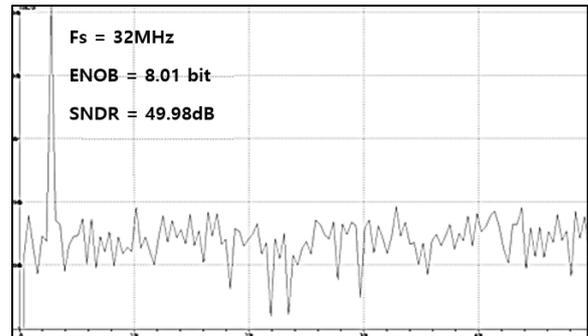


그림 9. 제안된 auto zero 를 사용하여 missing code 를 줄인 simulation 결과

표 1. SAR ADC 성능 요약 및 비교표

Table1.SAR ADC performance summary and comparison table

	This work	[1]	[2]	[3]	[4]
공급전압(V)	0.9	1.8	3.3	1.8	1.8
공정 (nm)	55	28	35	90	180
ENOB (bit)	8.01	8	7.76	7.2	7.48
SNDR (dB)	49.98	38.3	48.47	58.4	45.1

[4] S. Jeong, Z. Foo, Y. Lee, J.-Y. Sim, D. Blaauw, and D. Sylvester, "A fully-integrated 71 nW CMOS temperature sensor for low power wireless sensor nodes," *IEEE J. Solid-State Circuits*, vol. 49, no. 8, pp. 1682–1693, Aug. 2014

IV. 결론

본 논문에서는 reference generator 에 auto zero 기술을 적용한 회로를 제안하였으며. 해당 기술을 적용하여 monte carlo simulation 의 산포도를 줄여 ADC 정확도를 높였다.

TT/25 °C에서 작동하며 input frequency 가 781.2 Hz 인 상황에서, SAR ADC 는 인상적인 성능 지표를 달성하였다: 8.01 비트의 Effective Number of Bits Distortion Ratio (SNDR), 49.98 dB 의 Signal-to-Noise Ratio (SNR), 전류 소비량은 312 μ A 이고 전력 소비량은 315.6 μ W 을 확인하였다.

감사의 글

본 연구는 2024 년도 산업통상자원부 및 산업기술평가관리원(KEIT) 연구비 지원에 의한 연구임(20016266)

참고 문헌

- [1] K. Souri, Y. Chae, and K. A. A. Makinwa, "A CMOS temperature sensor with a voltage-calibrated inaccuracy of ± 0.15 °C (3σ) from -55 °C to 125 °C," *IEEE J. Solid-State Circuits*, vol. 48, no. 1, pp. 292–301, Jan. 2013.
- [2] K. Souri, Y. Chae, F. Thus, and K. Makinwa, "12.7 A 0.85V 600 nW all-CMOS temperature sensor with an inaccuracy of ± 0.4 °C (3σ) from -40 to 125 °C," in *Proc. IEEE Int. Solid-State Circuits Conf. (ISSCC)*, Feb. 2014, pp. 222–223.
- [3] Y.-S. Lin, D. Sylvester, and D. Blaauw, "An ultra low power 1V, 220 nW temperature sensor for passive wireless applications," in *Proc. IEEE Custom Integr. Circuits Conf. (CICC)*, Sep. 2008, pp. 507–510.

GCT Semiconductor

정 채 은 (Chae Eun Jung), 정회원



2023년 2월 : 평택대학교
융합소프트웨어학과 졸업

2023년 2월 ~ 현재 : 성
균 관대학교 전자전기컴
퓨 터공학과 석사과정

<관심분야> 집적회로 설계, 전력 통합 회로

Inc. 근무

2005년 ~ 2011년 : 건국대학교 전자공학과
조교수 근무

2012년 ~ 현재 : 성균관대학교 정보통신공학
부 교수 재직 중

2019년 ~ 현재 : 스카이칩스 CEO(Chief
Executive Officer) 재직 중

<관심분야> 전력 통합 회로, CMOS RF 송수
신기, 아날로그 통합 회로, 아날로그/디지
털 혼합 모드 VLSI 시스템 설계 등

오 주 원 (Juwon Oh), 정회원



2022년 2월 : 강남대학교
IoT 전자공학과 졸업

2022년 8월 ~ 현재 : 성
균 관대학교 전자전기컴
퓨 터공학과 석사과정

<관심분야> 전력 통합 회로, 센서 인터페이스,
인공지능 반도체 설계

부 영 건 (Younggun Pu)



2006년 2월 : 건국대학교
전기전자공학부 졸업

2008년 2월 : 건국대학교
전기전자공학부 석사

2012년 2월 : 건국대학교
전기전자공학부 박사

2012년 3월~2013년 : 삼
성전자 DMC 근무

2013년 ~ 2019년 : WDT/Hivics 근무

2019년 ~ 현재 : 성균관대학교 연구교수 재직
중

2020년 ~ 현재 : 스카이칩스 연구소장 재직 중
<관심분야> 시스템 반도체(SoC), 고속 인터
페이스 설계

이 강 윤 (Kangyoon Lee), 정회원



1996년 2월 : 서울대학교
전기정보공학부 졸업

1998년 2월 : 서울대학교
전기정보공학부 석사

2003년 2월 : 서울대학교
전기전자공학부 박사

2003년 3월 ~ 2005년 :