

# 자동 클럭 보정 기능을 갖춘 크리스탈리스 클럭 합성기 설계

## Crystal-less clock synthesizer with automatic clock compensation for BLE smart tag applications

김지훈<sup>1</sup>, 김호원<sup>1,2</sup>, 이강윤<sup>1,2,+</sup>  
(Jihun Kim<sup>1</sup>, Ho-won Kim<sup>1</sup> and Kang-yoon Lee<sup>1,2,+</sup>)

### 요약

본 논문은 32, 72, 80MHz 의 주파수에서 작동하는 블루투스 저에너지 (BLE) 스마트 태그 애플리케이션용으로 설계된 보정 기능이 있는 레퍼런스 클럭 합성기(CR)에 대해 설명합니다. 기존 주파수 합성기와 달리 제안된 설계는 외부 소자가 필요하지 않습니다. 단일 종단 안테나를 사용하여 2.4GHz 신호에서 -36dBm 의 최소 입력 전력을 수신하는 클럭 합성기(CR)는 저잡음 증폭기(LNA)를 통해 수신된 RF 신호를 처리하여 클럭을 합성합니다.

이 방식을 통해 시스템은 크리스탈에 의존하지 않고 레퍼런스 클럭을 생성할 수 있습니다. 수신된 신호는 LNA 에 의해 증폭된 이후 16 비트 ACC(자동 클럭 보정) 회로에 입력됩니다. ACC는 수신된 신호의 주파수를 발진기 출력 주파수와 비교하여 주파수 계산 방법을 통해 32MHz 레퍼런스 클럭 합성을 용이하게 합니다. 발진기는 주파수 분배기가 있는 링 발진기(RO)를 사용하여 구성되며, 다양한 시스템 구성 요소에 대해 세 가지 주파수(32/72/80MHz)를 제공합니다. 제안된 주파수 합성기는 55nm CMOS 공정을 사용하여 구현되었습니다.

### ABSTRACT

This paper presents a crystal-less reference clock recovery (CR) frequency synthesizer with compensation designed for Bluetooth Low Energy (BLE) Smart-tag applications, operating at frequencies of 32, 72, and 80MHz. In contrast to conventional frequency synthesizers, the proposed design eliminates the need for external components. Using a single-ended antenna to receive a minimal input power of -36dBm at a 2.4GHz signal, the CR synthesizes frequencies by processing the RF signal received through a Low Noise Amplifier (LNA). This approach allows the system to generate a reference clock without relying on a crystal. The received signal is amplified by the LNA and then input to a 16-bit ACC (Automatic Clock Compensation) circuit. The ACC compares the frequency of the received signal with the oscillator output signal, using the synthesis of a 32MHz reference clock through a frequency compensation method. The oscillator is constructed using a Ring Oscillator (RO) with a Frequency Divider, offering three different frequencies (32/72/80MHz) for various system components. The proposed frequency synthesizer is implemented using a 55-nm CMOS process.

### KEY WORDS

키워드 : 크리스탈리스; 자동 주파수 보정; 클럭 합성

<sup>1</sup> Department of Electrical and Computer Engineering, Sungkyunkwan University

<sup>+</sup>Corresponding author: Kangyoon Lee, klee@skku.edu

<sup>2</sup> SKAIChips

(Received May. 2, 2024, Revised Jul. 22, 2024, Accepted Jul. 26, 2024)

## I. 서론

무선 통신 기술의 발전으로 인해, 소형이면서 에너지 효율적이며 비용 효율적인 장치가 필요하다. 본 논문은 다양한 응용 분야에서 클럭 생성 및 동기화를 위한 유망한 솔루션으로서 클럭 합성 시스템에 초점을 맞추고 있다. 외부 크리스탈 발진기에 의존하는 기존 무선 주파수(RF) 수신기와 달리, 본 논문에서 제시하는 클럭 합성기는 물리적 크리스탈 발진기의 필요성을 제거하여 상당한 비용 절감과 집적에서의 이점을 이끌어 낸다. 디지털 신호 처리 기술을 활용하여, 본 논문에서 제시하는 클럭 합성기는 주파수 변동성을 향상시키고 BLE 스마트 태그 응용 어플리케이션과 같은 무선 시스템에 적합하다. 이러한 시스템은 엄격한 전력 제약 조건과 최적의 성능을 보장하기 위한 신뢰할 수 있는 클럭 동기화가 필요하다. 따라서, 본 논문은 BLE 응용 어플리케이션에 맞춰 전체 시스템 성능을 향상시킨 것을 다룰 것이다.

클럭 합성기를 수행하기 위해 필요한 세 가지 구성 요소는 주파수 제어 기능이 있는 발진기, 참조 클럭 및 이 두 신호의 주파수를 비교하여 출력 주파수를 정확하게 계산할 수 있는 회로이다.

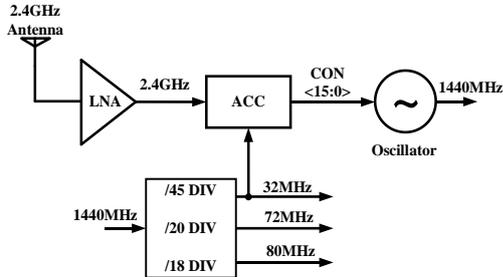


그림1. 제안하는 구조의 탑 블록 다이어그램

그림1은 탑 블록 다이어그램을 보여준다. 이 구조는 RF 신호를 활용한 클럭 합성 방식을 제안한다. 원하는 클럭 합성을 위한 필수 구성 요소로는 저잡음 증폭기(LNA), 2.4GHz에 해당하는 신호를 발진기 출력과 비교하여 계산 목적으로 사용하는 자동 클럭 보정(ACC) 회로 및 계산된 ACC 값에 기반하여 원하는 클럭을 생성하는 주파수 제어 발진기가 포함된다. 이 구성은 주파수 보정 작업을 자동으로 실행하는 것을 용이하게 한다.

## II. 본론

### 1. 제안하는 전체 회로도

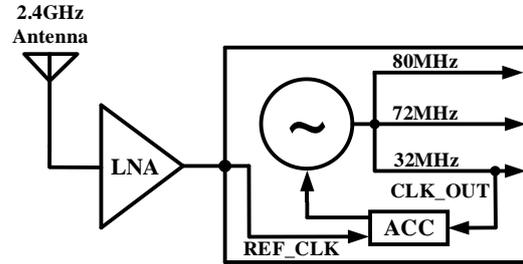


그림2. 제안하는 클럭 합성기 구조

크리스탈을 사용하지 않는 클럭 합성 시스템의 설계에서는 참조 클럭 주파수의 선택이 중요한 고려 사항이다. 그림2에 나타난 제안된 구성은 2.4GHz 신호를 증폭하여 32/72/80MHz의 신호를 생성하는 것을 목표로 한다. 저잡음 증폭기(LNA)는 신호를 증폭하여 클럭 합성기의 참조 클럭을 생성하기 위해 최소  $-36\text{dBm}$ 의 전력 입력을 받는다. 증폭된 신호(REF\_CLK)는 이후에 클럭 합성기에 의해 클럭 주파수를 교정하는데 사용된다.

### (1) 제안하는 자동 주파수 보정 회로 및 동작 과정

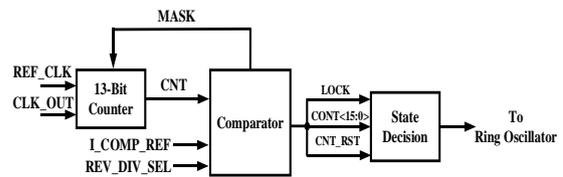


그림3. 제안하는 자동 주파수 보정 회로

그림 3은 자동 주파수 보정 회로를 보여준다. 2.4GHz 신호가 저잡음 증폭기(LNA)에 의해 증폭된 후, REF\_CLK라고 불리는 이 신호는 캐리어 발진기를 보정하는데 사용된다. 13비트 카운터는 REF\_CLK의 상승 에지를 CLK\_OUT에서 계산하여 CNT의 값을 생성한다. 비교기는 그 값 중 어떤 값이 더 높은지를 판단하기 위해 I\_COMP\_REF와 CNT를 비교한다.

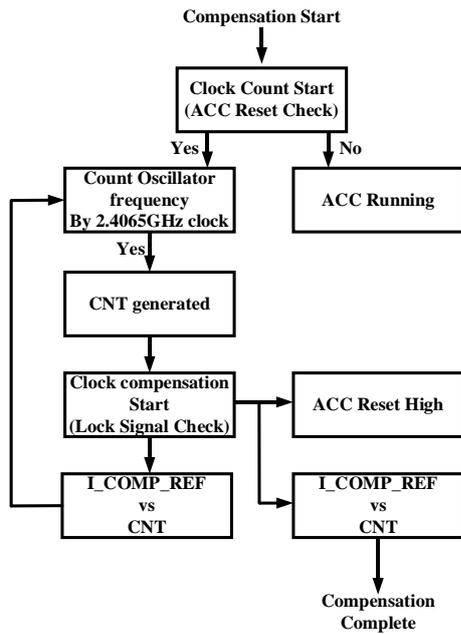


그림 4. 제안하는 주파수 보정 시스템의 동작 과정

그림 4는 주파수 보정 시스템의 전체 동작 과정이 나와 있다. 주파수 보정 과정을 시작하기 전에, 카운터 활성화 신호와 상호 연결하기 위해 리셋 신호를 낮게 설정하는 것이 매우 중요하다. 리셋 신호가 적절하게 낮은 상태일 때에만, 13비트 카운터가 활성화되어 한 주기 동안 LNA의 상승 에지를 계산한다. LOCK 신호가 Low 상태일 때에만, 비교기에 의해 I\_COMP\_REF와 비교된다.

LOCK 신호가 Low 상태일 때, ACC 회로가 활성화되고 클럭 비교가 시작되며, 그 후 ACC 회로는 I\_COMP\_REF와 CNT 사이의 카운트 값을 세밀하게 계산하여 보정할 발진기 주파수를 결정한다. 이 과정이 여러 번 반복된 후(본 논문에서는 16번), LOCK 신호가 HIGH 상태로 전환된다. 그 후 13비트 카운터 블록과 ACC 블록이 비활성화된다. 이후, 링 발진기는 부드럽게 자유로운 동작 모드로 전환되어 루프가 열리게 된다. 이러한 동작 과정은 성공적인 이진 주파수 추적 뿐만 아니라 전력 소모를 줄이는 데 기여한다.

## (2) 링 발진기

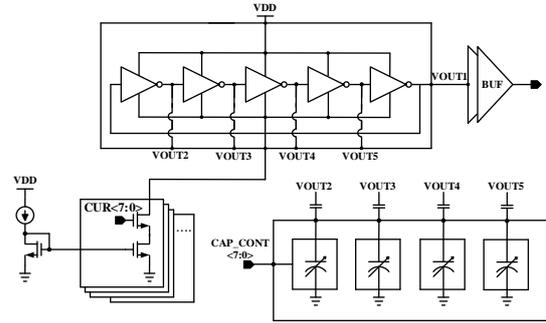


그림 5. 링 발진기의 블록도

그림 5는 링 발진기의 블록도를 나타낸다. 링 발진기의 주파수를 변화시키려면 링을 구성하는 스테이지 사이의 각 노드의 전하를 제어해야 한다. 이를 해결하기 위해, 전류원 미리 스테이지 제어와 캡 बैं크 스위치 제어를 모두 통합하고 링 발진기의 주파수를 동적으로 조정하는 접근 방식을 사용한다. 전류원 미리 스테이지 제어는 각 스테이지에 흐르는 전류를 조정하여 커패시터의 충전 및 방전 시간과 발진 주파수에 영향을 미친다. 동시에 캡 बैं크 스위치 제어는 링을 구성하는 각 스테이지의 부하 용량을 변화시켜 추가적인 주파수 변화의 수단을 제공한다.

## (3) 주파수 분주기

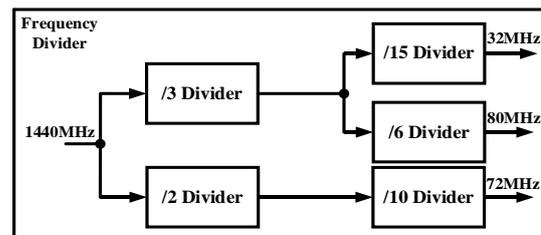


그림 6. 주파수 분주기의 블록도

그림 6은 주파수 분주기의 블록도를 나타낸다. 분주기에는 32/72/80MHz 신호가 시스템 구성에서 필요하다. 세 개의 신호를 동시에 생성해야 하므로, 하나의 신호를 세 개로 분할하는 것이 더 에너지 효율적인 접근 방식이다. 이 구조는 개별 신호를 생성하는데 별도의 전력 소모 과정이 필요하지 않으므로 전력 소모를 최소화할 수 있다.

### III. 시뮬레이션 결과

#### (1) 탑 레이아웃

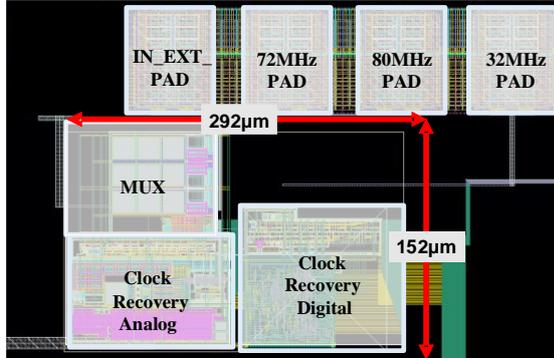


그림 7. 탑 레이아웃

본 논문에서 제시한 시스템의 레이아웃 면적은  $292\mu\text{m} \times 152\mu\text{m}$  이다.

#### (2) 자동 클럭 보정 시뮬레이션

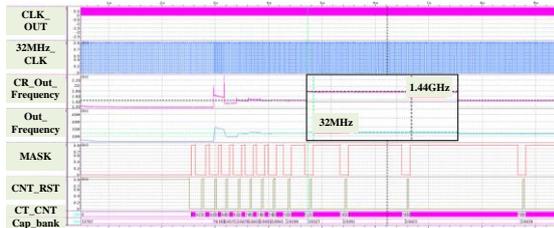


그림 8. 자동 클럭 보정 시뮬레이션 결과

그림 8 은 링 발진기와 함께 구현된 ACC 회로의 성능을 보여준다. 이 그래프에서 링 발진기의 출력이 1440MHz 로 보정되었으며, 이로 인해 ACC 의 입력으로 32MHz 클럭 신호가 생성되는 것을 확인할 수 있다.

#### (3) 동작 시뮬레이션

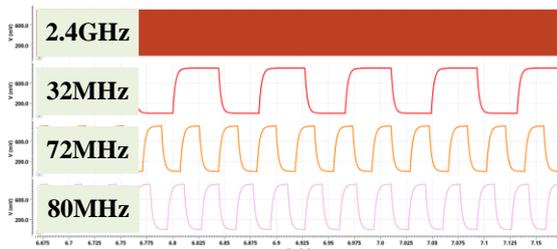


그림 9. 동작 시뮬레이션 결과

그림 9 은 클럭 합성 이후 시뮬레이션 결과를 보여준다. 위 시뮬레이션은 입력으로

2.4 GHz 를 사용하였으며, 32, 72 및 80 MHz 가 패드를 통해 출력될 때의 최종 출력 파형이다.

### IV. 결론

본 논문의 구조는 BLE 응용 어플리케이션에 적용될 수 있으며, 물리적 크리스탈 발진기가 불필요한 클럭 합성 시스템을 제안한다.

기존 설계와는 달리, 제안된 주파수 합성기는 외부 구성 요소가 필요 없이 자동적으로 작동한다. 이 구조는 CR 이 LNA 에 의해 수신된 RF 신호를 사용하여 주파수를 합성할 수 있도록 하여, 2.4GHz 신호의 안테나로부터 받은 최소 입력 전력을 최대화한다.

클럭 합성 시스템의 레이아웃 면적은  $292\mu\text{m} \times 152\mu\text{m}$  이며, 전체 전력 소비는 공급 전압이 0.9V 일 때 0.936mW 로 측정되었다.

### 감사의 글

본 연구는 과학기술정보통신부 및 정보통신기획평가원의 ICT명품인재양성 사업의 연구결과로 수행되었음 (IITP-2024-2020-0-01821)

### 참고 문헌

- [1] K. Sundaresan, P. E. Allen, and F. Ayazi, "Process and Temperature Compensation in a 7-MHz CMOS Clock Oscillator," *IEEE J. Solid State Circuits*, vol. 41, no. 2, pp 433-442, Feb. 2006.
- [2] D. Sheng, C.-C. Chung, and C.-Y. Lee, "A low-power and portable spread spectrum clock generator for SoC applications," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, Mar. 2010.

김 지 훈 (Ji-hun Kim), 정회원



2023년 2월 : 충북대학교  
전기공학부 졸업  
2023년 2월 ~ 현재 : 성  
균관대학교 전자전기컴  
퓨터공학과 석사과정

신기, 아날로그 통합 회로, 아날로그/디지  
털 혼합 모드 VLSI 시스템 설계 등

<관심분야> 집적회로 설계, 위상 고정 루프  
설계

김 호 원 (Ho-won Kim), 정회원



2021년 2월 : 국립강릉원  
주대학교 전자공학과  
졸업  
2023년 2월 : 성균관대학  
교 전자전기컴퓨터공학  
과 석사  
2023년 2월 ~ 현재 : 성  
균관대학교 전자전기컴  
퓨터공학과 박사 과정

<관심분야> CMOS RF 송수신기 설계, 위상  
고정 루프 설계

이 강 윤 (Kang-yoon Lee), 정회원



1996년 2월 : 서울대학교  
전기정보공학부 졸업  
1998년 2월 : 서울대학교  
전기정보공학부 석사  
2003년 2월 : 서울대학교  
전기정보공학부 박사  
2003년 3월 ~ 2005년 :  
GCT Semiconductor  
Inc. 근무  
2005년 ~ 2011년 : 건국대학교 전자공학과 조  
교수 근무  
2012년 ~ 현재 : 성균관대학교 정보통신공학부  
교수 재직 중  
2019년 ~ 현재 : 스카이칩스 CEO(Chief Ex-  
ecutive Officer) 재직  
중

<관심분야> 전력 통합 회로, CMOS RF 송수