

물리 고장률과 방사선 고장률을 반영한 전자 하드웨어 통합 고장률 분석 연구

Study of Electronic Hardware Integrated Failure Rate: Considering Physics of Failure Rate and Radiation Failures Rate

이 동 민¹ · 김 창 현² · 박 경 민² · 나 종 화^{2*}

¹한국항공대학교 스마트항공모빌리티학과

²한국항공대학교 항공전자정보공학과

Dong-min Lee¹ · Chang-hyeon Kim² · Kyung-min Park² · Jong-whoa Na^{2*}

¹School of Smart Air Mobility, Korea Aerospace University, Gyeonggi-do, 10540, Korea

²School of Electronics and Information Engineering, Korea Aerospace University, Gyeonggi-do, 10540, Korea

[요 약]

본 논문은 하드웨어 전자 장비에 대해 방사선 고장을 고려한 신뢰성 분석 방법을 제시한다. 기존 신뢰성 분석은 주로 aging 고장률을 기반으로 있으나, 방사선에 의한 고장률을 고려하고 있지 않다. 물리 고장률은 고장 물리 분석을 사용하여 계산되며, 방사선 고장률은 Verilog Fault Injection 도구를 사용하여 준 경험적 방법으로 추정한다. 본 논문에서 제안한 방법론은 개발 초기 단계에서 신뢰성을 보장하고 회로의 취약성을 사전에 식별하여 개발 시간 및 비용을 줄일 수 있다. 사례 연구로 ISCAS85 회로에 대해 신뢰성 분석을 수행하였으며, 기존 신뢰성 도구를 이용한 분석 방법과 비교하여 우리 접근법의 효과를 보여준다. 이러한 종합적인 분석은 항공 및 우주와 같은 고방사선 분야에서 FPGA의 신뢰성을 보장하는 데 중요하다.

[Abstract]

This paper presents a method for analyzing the reliability of hardware electronic equipment, taking into account failures caused by radiation. Traditional reliability analysis primarily focuses on the wear out failure rate and often neglects the impact of radiation failure rates. We calculate the wear out failure rate through physics of failure analysis, while the radiation failure rate is semi-empirically estimated using the Verilog Fault Injection tool. Our approach aims to ensure reliability early in the development process, potentially reducing development time and costs by identifying circuit vulnerabilities in advance. As an illustrative example, we conducted a reliability analysis on the ISCAS85 circuit. Our results demonstrate the effectiveness of our method compared to traditional reliability analysis tools. This thorough analysis is crucial for ensuring the reliability of FPGAs in environments with high radiation exposure, such as in aviation and space applications.

Key word : Physics of failure, Statistical fault injection, MIL-HDBK-217, DO-254, Soft error rate.

<http://dx.doi.org/10.12673/jant.2024.28.2.216>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 31 January 2024; Revised 24 April 2024

Accepted (Publication) 27 April 2024 (30 April 2024)

*Corresponding Author ; Jong-whoa Na

Tel: +82-2-300-0410

E-mail: jwna@kau.ac.kr

I. 서론

UAM, 항공우주시스템 및 자율주행 차량에 전자 장비 활용이 증가함에 따라, 하드웨어 신뢰성 분석이 중요해지고 있다. 항공/우주 시스템 및 자율주행 차량에 고성능/고직접 CPLD FPGA가 사용이 증가하여 복잡한 전자 장비에 대한 고장률 추정이 중요해지고 있다. 항공우주 분야의 경우, 전자 하드웨어 안전개발 가이드인 DO-254에서는 시스템의 중요도에 따라 개발보증수준(DAL; development assurance level)을 제시하고 있다[1]. 이 개발보증수준을 충족하기 위해서는 각 수준에 따른 인증 문서와 기능 경로 고장 분석(FPPA; functional failure path analysis) 및 시스템 고장률을 충족해야 한다. 개발 보증 수준에서 제시하는 고장률을 충족하지 못 할 경우, 하위 전자 장비 부품의 변경이 필요하며, 최악의 경우 시스템 전체를 변경해야 할 수도 있다. 이로 인해, 개발 초기 단계부터 개발 보드에 대한 신뢰성 분석을 진행해야 한다.

기존 전자 장비 하드웨어에 대한 신뢰성 분석은 aging 고장률에 초점을 두고 있어, 방사선에 의한 고장을 추가로 검토해야 한다. 기존 전자 장비 하드웨어의 신뢰성 분석은 주로 aging 고장률 분석에 초점을 맞춰서 분석한다. 대표적인 전자 장비 하드웨어 신뢰성 분석은 MIL-HDBK 217 기반의 고장 모델을 이용한 모델 기반 분석과 실제 고장 데이터 수집을 이용한 경험 기반 분석이다. 이 방법으로 추정된 고장률은 현업에서 사용하는 고장률과 큰 차이를 보이는 관계로 최근에는 물리고장(physics of failure) 기반 고장률을 도입하는 추세이다. 한편, 고고도 및 우주환경에서는 single event effects에 의한 방사선 고장률의 영향이 높은 것으로 알려져서 이에 대한 고려가 필요하다. 그런데 방사선 고장률은 시제품이 개발된 이후 방사선 시험시설에서 구할 수 있다. 따라서 개발 초기단계, 즉 시스템 설계 및 개념 설계 단계에서는 정확한 고장률을 구하는 것이 어려운 상황이다. 개발 대상품이 고비용 및 긴 개발기간의 시스템이므로 부정확한 고장률은 개발 후반기에 시스템 수정 또는 재설계가 요구되는 최악의 상황을 초래할 가능성도 있다.

개발 초기단계에 사용 가능한 정확한 고장률의 개발을 위하여 물리고장(PoF; physics of failure) 기반 aging 고장률과 시뮬레이션을 이용한 방사선 고장률을 고려한 통합고장률(integrated failure rate) 개념 및 분석방안을 설명한다. Aging 고장률은 고장 물리 분석 도구를 이용하여, 시간에 따른 전자 시스템의 aging 고장률은 계산한다. 방사선 고장률은 RTL 하드웨어 모델과 Verilog Fault Injection 도구를 이용하여 준-경험 기반의 방사선 고장률 추정방법을 이용한다[2]. 이 방법의 장점은 (1)개발 초기 단계에 상대적으로 정확한 고장률을 구할 수 있으며, (2)결함주입시험을 이용하여 하드웨어 취약점을 개발 초기에 분석하여 설계에 반영할 수 있다. (3) 그 결과 개발 기간 및 비용의 최소화 할 수 있다.

사례 연구로, 조합 회로 테스트 벤치 회로인 ISCAS85를 대상으로 통합 고장률을 분석하고 기존 신뢰성 분석 도구들의 결

과와 비교하였다. Aging 고장률을 분석하기 위해, 각 테스트 벤치 회로에 대한 부품 모델링 및 온도 프로파일을 설계하고 시뮬레이션을 수행하였다. 방사선 고장률을 분석하기 위해, HDL 모델을 이용하여 통계적 결함 주입 시험을 수행하였고 이를 기반으로 방사선 고장률을 계산하였다. 최종적으로, 통합 고장률을 계산하였다. 최종 통합 고장률 결과는 기존의 MIL-HDBK 217 기반의 고장률과 데이터북 기반의 고장률의 일관성있게 중간값으로 을 서로 비교하였다.

이 논문은 다음과 같이 구성된다. 2장에서는 기존의 aging 고장률과 방사선 고장률을 설명하고, 기존 고장률 분석을 보완한 통합 고장률 개념을 제시한다. 3장에서는 물리 고장 분석을 이용한 aging 고장률 추정하는 방법에 대해 설명한다. 4장에서는 RTL 수준에서 통계적 결함 주입 기법을 이용한 방사선 고장률을 계산하는 방법에 대해 설명한다. 5장에서는 통합 고장률 사례로 ISCAS85 회로에 대해 통합 고장률 분석을 수행하고, 기존 신뢰성 분석 결과와 비교 분석한다. 마지막으로 6장에서는 논문을 맺는다.

II. 배경 지식

2-1 Aging 고장률

Aging 고장률은 시스템의 하위 부품이 aging되어 정상적인 기능을 수행하지 못하는 고장에 대해 단위 시간당 해당 고장이 일어날 확률을 의미한다. Aging 고장률을 구하기 위해서는 시스템의 고장 모델을 사용하거나, 실제 관측된 자료 또는 physics of failure analysis 등을 이용한다.

Relx 시스템은 FTA (fault tree analysis), ETA (event tree analysis), FMEA (failure mode effect analysis), LCC (life cycle cost) 등의 신뢰성분석 기법들을 이용하여 사용자에게 물품에 대한 신뢰성 평가를 수행하는 도구이다. 특히, 전자 장비에 대한 신뢰성 평가의 경우, 미 국방부 전자 부품 신뢰도 예측 방법인 MIL-HDBK-217의 전자 부품 정보 및 환경인자를 인용하여 신뢰성 예측을 수행한다.

EPRD는 RiAC (Reliability Information Analysis Center)에서 발행한 전자 부품 신뢰도 데이터북이다. EPRD는 IC, 개별 반도체 소자, register, capacitor 등의 카테고리로 약 14,396의 라이브러리로 구성되어 있다. 해당 데이터북은 각 소자에 대한 운용시간 정보와 운용시간 동안 수집된 고장(failure) 수를 제공한다.

Sherlock은 고장 물리 분석 모델링을 수행하여 전자 부품에 대한 aging 고장을 분석하는 도구이다. 고장 물리(PoF)란 고장 메커니즘(failure mechanism)을 이용하여 시스템의 내/외부 요인 분석을 통해, 제품의 수명을 예측하는 기술이다. Sherlock 소프트웨어는 벤치마크 회로의 반도체 aging 분석(semiconductor wearout analysis) 기능으로 제품의 수명을 예측할 수 있다.

Stakeholder Needs / Requirements	Stakeholder Priority	Alternative Products & Planning										
		217Pins (P)	VTA 512 (V)	Telcoona (T)	FDEES (E)	ML-HDR-217F (NF)	ML-HDR-217G (G)	GAJCE 900A (G)	Shenook & PVF IC Core (G)	Colts	Bled FI	Count of %
Coverage of Legacy, contemporary and near future technologies	9	8	7	8	6	4	5	5	4	6	5	5
Coverage of comprehensive range of electronic and electromechanical	9	7	5	7	7	5	6	4	6	4	6	5
Assessments of physical failure mechanisms	9	8	8	0	6	1	1	8	8	6	5	5
Results are reproducible	9	7	3	1	9	8	5	5	5	5	5	5
Models are validated	9	6	0	1	1	3	5	0	6	6	P.V.S.D	4
Results support a design for reliability program	8	5	6	0	3	5	5	5	9	8	S	3
Non-aero environments and operating loads	8	5	7	0	5	5	5	7	8	8	D	3
Socket joint integrity including effects of lead-free materials	7	6	0	0	3	1	1	5	5	5	D	4
Impact of lead-free solder/finishes in whisker risk	7	0	1	0	1	0	0	7	0	X	S	1
Consistent methods to aggregate results	7	2	3	0	3	0	0	5	5	X	S	0
Non-operating (storage), operating and mixed results	7	5	0	0	5	0	0	6	5	X	S	0
Models account for design for environment	7	4	5	0	4	0	1	5	5	X	S	0
Adjustment based on data such as test and/or in-service results	7	8	3	9	1	0	0	7	8	X	T	4
Priority accepted / used in aerospace / Hi Rel	7	6	4	1	3	7	7	6	5	5	F.G	4
Literature elaborating bases of the models available	7	7	3	5	1	7	5	5	5	5	P.W.F	4
Time dependent results & constant, fixed rate	5	3	3	0	0	1	1	5	3	X	D	0
Estimates of statistical confidence or other uncertainty measures	5	5	0	9	0	0	0	7	4	4	T	2
Progressive refinement from RCM to high fidelity	5	5	0	0	0	0	0	0	0	0	T	4
Easy to use and implement with limited data	5	9	1	6	3	9	9	3	3	5	P.F.G	4
Support widely and readily available	5	6	0	6	1	9	9	6	6	6	F.G	6
Readily implemented through software	5	9	0	0	0	0	0	0	0	0	nil	0
Transient and cumulative effects due to atmospheric radiation	4	1	4	0	0	0	0	0	0	0	X	0
Software/Firmware reliability	4	7	0	0	0	0	0	0	0	0	X	1
Priority accepted / used in general industry	4	7	1	5	1	5	1	5	1	5	P	0
No Fault Found removal rate	1	4	0	0	0	0	0	1	0	0	X	0

그림 1. 신뢰성 도구 목록 및 분석 평가 모델 비교
 Fig. 1. List of reliability tools and analysis evaluation model comparison.

Relax, EPRD, Sherlock 등의 신뢰성 분석 도구들은 소자의 구성 요소 및 환경인자 정보 등 또는 경험적 기반의 데이터 수집 등으로 IC에 대한 고장률을 제공하고 있지만, 소자의 내부 특성(HW IP)이나 우주 방사선 영향 등은 반영되어 않는 문제점을 가지고 있다[3],[4].

2-2 방사선 고장률

우주 방사선(radiation)의 중성자가 IC 회로의 단일 이벤트 업셋(SEU; single event upset)의 주요 원인이 될 수 있다는 것이 기존 연구로 확인되고 있다. 방사선 입자 (radiation flux)는 은하계 우주 방사선과 지구 대기와 충돌하여 생성된다. 우주 방사선(radiation) 환경에 노출되는 반도체 제품은 알파 입자 (alpha particle)와 방사선 입자의 총 누적 피폭 선량 (total ionizing dose)과 같은 영향에 의해, 소프트 에러 (soft error)가 발생한다. 이러한 soft error는 시스템의 신호 또는 데이터에 에러를 주게 되어 시스템 고장을 일으킨다.

방사선 고장률을 측정하는 가장 직접적이고 전통적인 방법으로 hardware fault injection approach가 있다[5]-[8]. Hardware fault injection approach는 입자 가속기를 이용하여 실제 타겟 보드에 대해 입자를 방사시켜 보드의 소프트 에러를 평가하는 방법이다. Hardware fault injection approach는 입자 종류에 따라 크게 이온과 레이저로 구분된다. 이온 기반의 결함 주입 방식은 레이저 방식보다 더 세밀한 입자를 방사함으로써 정밀한 방사선 고장률 분석이 가능하다. 그러나 이온을 생성하는 특수 시설의 비용이 문제가 된다. 레이저 결함주입 방법은 이온 방식 대비 비교적 낮은 시설 비용이 요구되나, 입자 크기로 인해 이온 방식 대비 정밀도가 떨어진다. 이러한 Hardware fault injection approach는 공통적으로 시간이 빠르고, 복잡성이 낮으며, 시스템 관점에서 정확한 방사선 고장률 평가를 수행할 수 있다는 장점을 가진다. 그러나, 평가 방법을 수행하는데 비용이 많이 들고, 시험 결과의 재구현이 불가하며, 결함 전과 분석과 같은 세부 분석이 어렵다는 문제가 있다.

표 1. 방사선 고장률 분석 기법에 따른 연구 동향

Table 1. Research trends based on radiation failure rate analysis techniques.

Method	Paper	Description
Hardware Fault Injection Approach	[5]	○ Laser attacks thorough the side of the IC.
		○ More energy consuming than traditional laser test.
Hardware Fault Injection Approach	[6]	○ Approach is to solve the problem of laser beam size.
		○ A group of the gates are bombarded with the laser beam.
Ion	[7]	○ Proton beam testing with 2.4 MeV ~ 57.6 MeV for microcontrollers
		○ Test Equipment (AP8: NASA's radiation belt model)
Ion	[8]	○ Proton beam testing with 6 MeV ~ 37 MeV for FPGA.
		○ Tools were developed for beam monitoring and manipulating.
Static	[9,10]	○ Transient pulse is modelled by a Binary Decision Diagram.
	[11-13]	○ Analysis about Fault propagation & critical path by symbolic approach.
	[14,15]	○ Analytical approach for logical masking effect.
Software Fault Injection Approach	[16]	○ Probability propagation concepts
		○ Analytical approach based on the Boolean satisfaction.
		○ Circuit is computed using the Boolean satisfaction rules.
		○ Effective chare collection parameter model.
Dynamic	[17]	○ SPICE circuit simulations for SEE that deposits charge in one of the sensitive volumes.
		○ Charge collection: simplified analytical model; differentiates between tracks that cross drain and those that do not (SRIM).
		○ Circuit response: pre-characterized Qcrit and LETcrit for tracks crossing drain.
Dynamic	[18]	○ Charge collection: simplified analytical model; differentiates between tracks that cross drain(funnel) and those that do not (simple random walk model) (SEMM+TRIM).
		○ Circuit response: pre-characterized Qcrit in SPICE simulations.
Dynamic	[19]	○ Charge collection: all charge generated in sensitive volume
Dynamic	[19]	○ Circuit response: pre-characterized Qcrit

이러한 문제를 완화하기 위해, software fault injection approach가 다양하게 연구되고 있다[9]-[19]. Software fault injection approach는 simulation 기반 결함 주입 플랫폼을 이용하여 회로의 방사선 고장률을 분석한다. Software fault injection approach는 크게 1) static approach와 2) dynamic approach로 구분된다.

1) static approach는 특정 데이터 구조 기반의 기호적 접근 (symbolic approach)과 대수학 또는 확률 기반의 분석적 접근 (analytical approach)으로 방사선 고장률을 분석한다. 2) dynamic approach는 회로 내에 결함을 주입 후 시뮬레이션을 수행하여 방사선 고장률을 분석한다. 이러한 software fault injection approach는 비용이 적게 들고, 결함 주입 비율과 주입 위치를 모두 계산할 수 있으므로 보다 정확한 감도 분석을 제공할 수 있다. 그러나, 분석 회로의 복잡도가 높을수록 분석 시간 및 복잡도가 급격하게 높아지는 문제가 있다.

표 2. 환경 카테고리에 따른 전자 장비 운용 및 비운용 환경 온도표 (MIL-STD-810H)

Table 2. Environmental temperature table for operating and non-operating electronic equipment by environmental category (MIL-STD-810H).

State	Season (Daily Cycle)	Temperature			Hours (1yrs)	Life		Profile(Hours)				Count (24hours)
		Daily (M)	Daily Low	Daily High		Design (10yrs)	%	Min Temp	Ramp Up	Max Temp	Ramp Down	
On Duty (30%)	Spring/Fall (A3)	6	28	39	1296	12960	15	6	6	6	6	540
	Summer (B2)	3	26	35	648	6480	7.5	6	6	6	6	270
	Winter (C1)	3	-32	-21	648	6480	7.5	6	6	6	6	270
	Sub Total	12	-	-	2592	25920	30	-				1080
Off Duty (70%)	Spring/Fall (A3)	6	28	58	3024	30240	35	6	6	6	6	1260
	Summer (B2)	3	30	63	1512	15120	17.5	6	6	6	6	630
	Winter (C1)	3	-33	-25	1512	15120	17.5	6	6	6	6	630
	Sub Total	12	-	-	6048	60480	70	-				2520
Total					8640	86400	100	-				3600

2-3 통합 고장률

반도체 회로의 방사선에 대한 고장 분석이 중요해졌다. 반도체 공정 기술이 발전함에 따라 방사선에 의한 고장이 증가하고 있다[20]-[22]. 기존의 고장의 원인으로 주로 사용된 aging, 열화와 같은 내부적인 요인과 더불어 중성자 입자와 등에 의한 외부적인 요인의 분석이 중요해졌다. 본 연구에서는 이러한 문제를 완화하기 위해, 내부적인 요인과 외부적인 요인을 고려한 통합 고장률을 제시한다. 통합 고장률은 물리 고장(PoF) 분석으로 나온 aging 고장률과 통계적 결합주입 시험으로 나온 방사선 고장률의 합으로 정의한다.

III. Aging 고장률 분석

3-1 Sherlock software

고장 물리(PoF)란 고장 메커니즘 (failure mechanism)을 이용하여 시스템의 내/외부 요인 분석을 통해, 제품의 수명을 예측하는 기술이다 [23],[24]. 시스템 내부요인은 IC 공정, 소자 재료, 운용 전력, 운용 온도 등으로 구성되며, 시스템 외부 요인은 시스템의 주변 시험 환경정보(온도, 진동 등)로 구성된다.

고장 물리를 이용한 제품 수명을 예측하기 위해, FR solution사의 Sherlock 소프트웨어를 사용하였다. Sherlock 소프트웨어는 벤치마크 회로의 반도체 aging 분석 (semiconductor wearout analysis) 기능으로 제품의 수명을 예측할 수 있다. Semiconductor wearout analysis를 수행하기 위해서는 반도체 재료, 특성 크기, 전기적 특성, 동작 조건 정보 등이 필요하다.

Sherlock 소프트웨어는 JEP-122F에서 제시하고 있는 4가지 고장모델(핫 캐리어 영향, 음의 바이어스 온도 불안전성, 시간 종속적 유전체 파괴, 일렉트로 마이그레이션)을 기반으로 물리 고장 분석을 수행한다[24].

핫 캐리어 영향 (HCE; hot carrier effect)은 핫 캐리어 (hot carrier)에 의해 문턱 전압 (threshold voltage)가 증가(전류 감소)하는 현상이다. 핫 캐리어 영향은 트랜지스터 사용시간이 늘어나거나 트랜지스터 크기가 작을수록 발생확률이 높아진다.

음의 바이어스 온도 불안전성 (negative bias temperature instability)은 소자가 고온에서 동작할 때 게이트의 음전압에 의하여 소자의 특성이 불안정해지는 현상이다. 바이어스 온도 불안전성 신뢰성 항목은 NMOS에 대한 양의 바이어스 온도 불안전성 (PBTI; positive bias temperature instability,)와 PMOS의 음의 바이어스 온도 불안전성 (NBTI; negative bias temperature instability)로 구분된다. 여기서 음의 바이어스 온도 불안전성이 양의 바이어스 온도 불안전성보다 열화가 크기 때문에, 음의 바이어스 온도 불안전성을 신뢰성 분석으로 평가한다.

시간 종속적 유전체 파괴 (time dependent dielectric breakdown)는 낮은 전압에서 장시간 운용에 따른 산화막 열화로 파괴되는 현상이다. 시간 종속적 유전체 파괴는 발생 시간대에 따라 원인이 다르다. 초기 고장기의 경우, 핀홀 (pin hole) 등에 의한 산화막 파괴에 의해 발생된다. 우발 고장기의 경우, 산화막 형성 시 전극과 산화막 중의 보이드(void) 등의 약한 분위 (weak spot)에 의한 산화막 파괴에 의해 발생된다. Aging 고장기의 경우, 재료의 특성에 좌우되는 산화막 파괴에 의해 발생된다.

일렉트로 마이그레이션 (EM; electro-migration)은 전자와 금속 속의 흩어져 있는 원자핵들 사이의 운동량 전달로 인해 금속

원자들이 이동하는 현상이다. 이로 인해 원래 있어야 하는 금속 원자 및 이온들이 이탈해지면서 비워진 공간을 보이드(void)라고 하며, 몰린 곳을 둔덕(hillock)이라고 한다. 보이드에 의해 전류가 전도되지 않아 단선(open) 발생하거나, 둔덕에 의해 배선과 배선이 연결되어 단락(short) 발생한다.

3-2 시험 프로세스

Sherlock 소프트웨어를 이용하여 IC의 aging 고장률을 예측하기 위해서는 내/외부 정보들이 필요하다. 내부 정보로는 IC 소자의 물리 정보, IC 전기적 특성 정보, IC 온도 특성 정보 등이 있다. 외부 정보는 외부 운용 환경 정보(온도 프로파일)가 필요하다.

본 연구에서는 선정된 벤치마크 회로에 대한 aging 고장률을 계산하기 위하여 다음의 4가지 분석 절차를 수행하였다.

1단계인 벤치마크 회로 식별은 Sherlock 소프트웨어를 사용하기 위해, 벤치마크 모델에 대한 상업용 IC를 식별하는 단계이다. 선정된 벤치마크 회로들은 코드 및 pin, gate 등의 단편적인 정보로만 구성되어 있어 Sherlock 소프트웨어에 바로 활용할 수 없다. Sherlock 소프트웨어에 필요한 정보를 획득하기 위해, 벤치마크 회로와 유사한 기능의 상업용 IC를 식별하였고 이에 대한 데이터시트를 확보하였다. 확보된 데이터시트에는 해당 소자에 대한 물리 정보(크기, 소재, 물질 정보)와 전기적 특성, 온도 특성 등이 포함되어 있어 이를 이용하여 Sherlock 소프트웨어에 필요한 정보를 얻을 수 있다.

2단계인 부품 모델링은 확보한 IC의 정보를 Sherlock 소프트웨어에 입력하여 부품을 설계하는 작업이다. 부품 모델링은 이전 단계에서 수행한 벤치마크 회로에 대한 데이터시트를 활용하여 수행한다. 부품 모델링의 필요한 정보로는 IC의 패키지, 리드에 대한 정보, IC 구성 재료, 전기적 특성, 온도 특성, 시험 가속 계수 등이 있다.

3단계인 온도 프로파일 정의는 IC의 수명 예측을 위한 주변 환경 프로파일을 정의하는 단계이다. Sherlock 소프트웨어의 Aging 분석(wearout analysis)은 IC의 주변 환경에 대한 온도를 외적 요인(stress)으로 사용한다. 본 연구에서는 MIL-STD-810H part1, annex C를 이용하여 대한민국의 외부 환경 조건을 정의하였다. 대한민국은 4계절이 뚜렷하게 차이가 나기 때문에, 계절별 온도 프로파일을 각각 정의해야 하는 작업이 필요하다. MIL-STD-810H에서는 3가지 환경 카테고리 (hot, normal, cold)에 따른 전자 장비의 운용 및 비운용 환경 온도를 제시하고 있다.

4단계인 시뮬레이션(simulation)은 앞서 구성한 부품 모델링과 온도 프로파일을 이용하여 소자의 aging 분석(wearout analysis)을 수행하는 단계이다. IC의 필드 데이터가 없으므로, 기존 가지고 있는 IC에 대한 외적 정보와 정의한 환경 조건을 이용하여 분석하는 옵션을 선택하여 수행하였다.

IV. 방사선 고장률 분석

4-1 Verilog Fault Injection tool

하드웨어 설계모델의 vulnerability factors를 분석하기 위한 목적으로, VFI (Verilog Fault Injector) 환경을 이용하였다[25]. VFI 환경은 VPI (Verilog procedure interface)을 기반으로 개발된 결함주입 시험 도구이다. VFI는 IEEE 1364-2001에 정의된 인터페이스 함수로서, 사용자 설계모델과 시뮬레이터를 연결할 수 있다. VPI를 사용하여, 시뮬레이션 진행 중인 모델의 내부 상태(signal, port, reg)를 조회 및 변경할 수 있다. 또한 이중의 시뮬레이터 또는 외부 장비와의 연결도 가능하다. 특히 대부분의 Verilog 시뮬레이터에서 VPI 함수를 지원하므로, VFI 환경의 이식성을 보장하는 장점이 있다.

VFI 시험환경을 이용하여 결함을 주입하고 이에 따른 4가지의 고장을 분류한다. VFI 시험환경은 transient stuck-at-0, transient stuck-at-1과 같은 결함 값을 주입한다. 결함주입 값과 주입 시간 및 위치에 따라, 결함 값이 결함주입 위치의 논리 값과 일치할 수 있다. 결함이 마스킹 되면, 결함주입 시뮬레이션은 golden run과 동일하게 동작한다. 결함주입 시뮬레이션의 결과판정은 다음의 4가지로 분류된다[26].

- 1) benign fault: 주입된 결함이 시스템에 어떠한 영향도 주지 못한 상태이다. 결함이 인가되었을 때 변한 값이 정상 값과 동일한 경우이다.
- 2) SDC-non effect(또는 masking fault): 시스템에 일시적으로 결함이 발견되지만, 곧 사라지는 결함이다. SDC-non effect는 clock time window, logical, architectural, S/W 등의 요인에 의해서 발생할 수 있다. 결함이 시스템에 잔존해 있는 시간(fault latency time)은 마스킹 발생 요인에 따라 다르다. 실시간 시스템에서는 fault latency time에 따라 시스템의 신뢰성에 영향을 줄 수 있다.

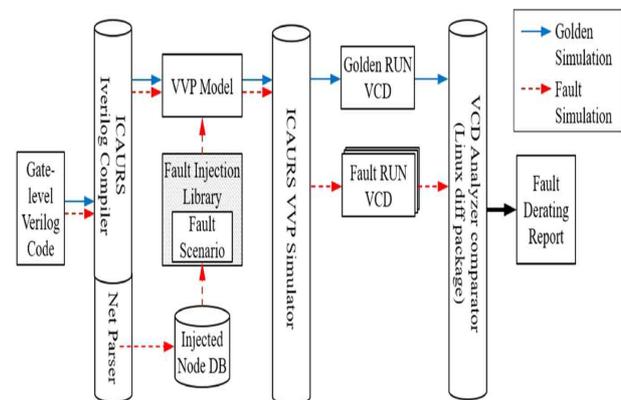


그림 2. Verilog Fault Injector 아키텍처[25]

Fig. 2. Verilog Fault Injector architecture.

3) SDC (silent data corruption) : 시스템에 결함 발생 여부를 검출하지 못한 상태에서 시스템이 고장이 발생한 상태이다. SDC는 시스템이 검출하지 못하는 상태에서 발생하는 고장상태이기 때문에 위험도가 매우 높다. 시스템이 결함 발생 여부를 검출하기 위해서는 fault detection unit이 내장되어 있어야 한다. fault detection unit이 내장되어 있지 않은 시스템의 고장은 모두 SDC로 분류한다. Fault detection unit이 내장된 시스템에서의 SDC는 결함 검출성능을 평가하는 척도로 활용할 수 있다.

4) DUE (detected unrecovered error) : Fault detection unit에서 결함을 검출하였지만, 복구하지 못하고 잘못된 수행결과를 산출하는 경우이다. 비록 시스템에서 발생한 결함을 recovery하지는 못했지만, 고장에 대한 예측이 가능하다. 따라서 예측된 고장에 대한 예방조치를 취하여 위험도를 감소시킬 수 있다.

분류한 4가지 고장 분류의 결과를 이용하여 architectural vulnerability factor를 확보할 수 있다.

4-2 시험 프로세스

VFI 환경에서 결함주입 기능을 수행하는 user system task는 \$ICARUS_FI이다. \$ICARUS_FI는 target simulation model의 수정 없이 1) 결함주입 위치, 2) 결함주입 시간, 3) 결함주입 값, 4) 결함 지연시간과 같은 결함주입 시나리오를 관리하고, 결함주입 및 해제 작업을 수행한다. 그림 3은 VFI 결함주입 절차를 9 단계로 설명하고 있다.

Step1: \$ICARUS_FI 호출되면 fault injection scenario 정보를 초기화한다. Fault injection scenario 정보는 결함주입 여부, fault location, fault injection time, fault latency 등 결함주입에 필요한 모든 정보를 담고 있다. 특히 fault injection scenario 정보는 외부 파일로 정의되어, scenario 변경에 따른 시뮬레이션 모델 변경, 컴파일 등의 추가 작업이 필요하지 않다. Fault injection scenario 정보 중 예외적으로 fault location의 정보는 미정인 상태로 남아 있다. Fault location 정보는 시뮬레이터가 할당할 결함주입 node의 핸들 값을 필요하다.

Step2: Target model node 탐색으로 이전 과정에서 미정으로 남아 있던 fault location 정보를 할당한다. Target model node 탐색은 top down 방식을 사용하여 top module을 기점으로 모델 전체의 결함주입 가능한 node의 이름과 핸들을 조회한다. 이 과정 중 fault injection scenario에 정의된 fault location 정보에 해당하는 node의 핸들 값을 획득한다.

Step3: 결함주입 시간을 callback 함수를 사용하여 설정한다. VPI는 특정 조건에 callback 함수를 호출할 수 있는 vpi_register_cb 함수를 지원한다. vpi_register_cb 함수를 사용하여, 시뮬레이션 시간이 결함주입 시간에 도달했을 때, callback 함수가 호출되도록 한다.

Step4: Fault injection scenario, fault location handle 획득, fault injection time callback 등록이 완료되면, 시뮬레이션을 재개한다. 시뮬레이터는 callback 함수가 호출되기 전까지 시뮬레이션 연산을 처리한다.

Step5: Callback 함수가 호출되면 결함주입 위치에 결함 값을 주입한다. 결함주입 절차는 조회→변형→갱신의 절차로 진행된다. 조회는 결함주입 node의 값을 확인하는 작업이다. 결함주입 node의 핸들 값과 vpi_get_value 함수를 사용하면 해당 node의 값을 획득할 수 있다. 변형은 조회한 값에 결함 값을 적용하는 작업이다. Fault injection scenario에서 정의한 결함 값과 크기에 맞추어 fault mask 값을 생성하고, AND 또는 OR 연산을 하여 결함을 주입한다. 갱신은 변형된 값을 결함주입 node에 할당하는 작업이다. 결함주입 node의 핸들 값과 vpi_put_value 함수를 사용하면 해당 node의 값을 갱신할 수 있다. vpi_put_value 함수로 결함 값을 할당하면, 해제 전까지 결함 값이 유지된다.

Step6: 결함주입 해제 시간 역시 callback 함수를 사용하여 설정한다. 결함 해제 시간은 결함 지연시간에 결정된다.

Step7: 결함을 주입하기 위해 잠시 멈추어져 있던 시뮬레이션을 다시 시작한다. 시뮬레이터는 결함 값이 주입된 상태에서 시뮬레이션 연산을 수행한다.

Step8: Callback 함수가 호출되면 결함주입 node의 결함 값을 해제한다.

Step9: 결함 값이 해제된 이후에 시뮬레이션 종료까지 남아 있는 시뮬레이션 연산을 수행한다.

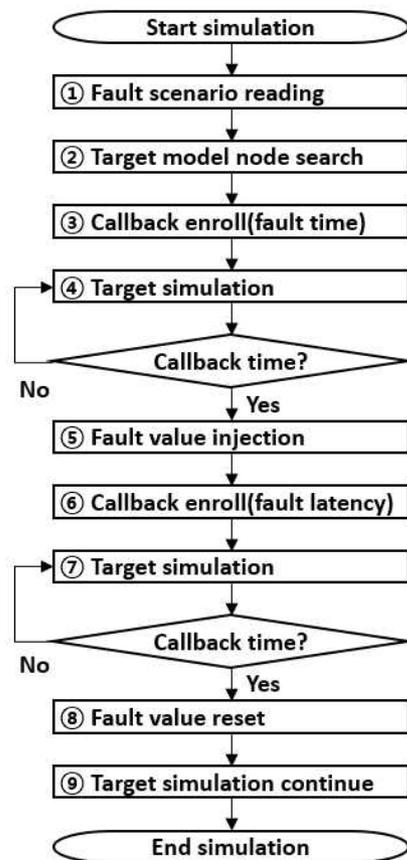


그림 3. Verilog Fault Injecton 기반 결함주입 절차 플로우 차트
 Fig. 3. Fault injection procedure flow chart using Verilog Fault Injector.

V. 사례 연구: ISCAS85

5-1 ISCAS85

VFI 환경에서 결함주입 기능을 수행하는 user system task는 조합 회로인 ISCAS85 벤치마크 회로는 미시간 대학에서 연구용 목적으로 개발한 조합 논리 회로로 netlist, Verilog hierarchical structural model, hierachical behavioral model 등으로 구성되어 있다[27]. 표 3은 ISCAS85 벤치마크 회로에 대한 입출력 및 게이트에 대한 정보를 정리하였다.

5-2 통합 고장률 분석

통합 고장률을 분석하기 위해서는 aging 고장률과 방사선 고장률을 구해야 한다. 우선, 조합 회로 벤치마크인 ISCAS85의 aging 고장률을 분석하기 위해, 물리 고장 분석을 수행하였다. 이를 위해, Sherlock 소프트웨어를 이용하여 aging 고장 분석 기능을 이용한 aging 고장률 확보를 위해 4단 계의 절차를 진행하였다.

ISCAS85 회로의 방사선 고장률을 분석하기 위해, SFI (statistical fault injection)을 수행하였다. SFI 시험 대상 모델은 Verilog 모델로 설계하였으며, 본 시험에서는 신뢰구간 95%, 허용오차 1%를 기준의 시험 횟수를 선정하였다.

ISCAS85 벤치마크 회로의 결함주입 시험 결과는 표 4와 같다. 회로의 기능적 특성이 VF에 직접 영향을 준다는 것을 통계적 결함 주입 시험 결과로 확인할 수 있었다.

최종적으로 ISCAS85 벤치마크 회로의 통합 고장률은 Aging 고장률과 방사선 고장률의 합으로, 계산한 결과는 표 5로 정리하였다.

5-3 통합 고장률 고찰

계산된 통합 고장률의 정확도를 검증하기 위해, 필드에서 신뢰성 분석에 사용되는 Relex와 EPRD 고장률 데이터와 비교 분석을 수행하였다. ISCAS85 벤치마크 회로의 통합 고장률에 대해 기존의 고장률과 그래프는 아래와 같다. 각 소자별 고장률을 비교하면 EPRD가 최대이고 Relex 고장률이 최소인 것을 알 수 있다. 그 이유는 다음과 같다.

1) 통합 고장률은 EPRD 고장률보다 낮다. EPRD 고장률은 최대 경계값 (upper boundary)이다. EPRD 고장률은 고장률 계산식에 기초한 규격이 아닌 실제 전기/전자 부품의 운용정보에 기초한 고장 데이터를 포함한 고장률이다. 이러한 EPRD는 실제 측정된 고장률을 제시하고 있어, 운용시간 대비 고장이 측정되지 않은 부품에 대해 최대 고장률로 제공한다. 즉, EPRD는 해당 부품에 대한 최대 고장률을 제시할 수 있게 되며, 본 연구에서 획득한 통합 고장률이 EPRD 고장률보다 낮은 것으로 해당 고장률이 유효함을 확인할 수 있다.

표 3. ISCAS85 벤치마크 회로

Table 3. ISCAS85 benchmark circuit.

Benchmark	Input	Output	Gate	Description
C432	36	7	160	27-channel interrupt controller
C499	41	32	202	32-bit SEC (XOR)
C880	60	26	383	8-bit ALU
C1355	41	32	546	32-bit SEC (NAND)
C1908	33	25	880	16-bit SEC/DED

표 4. ISCAS85 벤치마크 회로의 vulnerable factor

Table 4. Vulnerable factor of ISCAS85 benchmark circuit.

Benchmark	# of Test	Non-Active Fault	Latent Fault	Logical Masking Fault	Active Fault	VF
C432	1,348	926	0	103	319	23.66%
C499	1,617	400	96	591	530	38.71%
C880	2,589	1273	95	531	690	30.32%
C1355	3,154	1847	94	591	622	22.70%
C1908	4,149	2303	54	716	1076	27.23%

표 5. ISCAS85 벤치마크 통합 고장률

Table 5. ISCAS85 benchmark integrated failure rate.

Benchmark	Aging FR (%/hour)	Radiation FR (%/hour)	Integrated FR (%/hour)
C432	1.93E-07	1.00E-08	2.03E-07
C499	1.17E-07	1.64E-08	1.33E-07
C880	1.11E-06	1.29E-08	1.12E-06
C1355	1.62E-06	9.62E-09	1.63E-06
C1908	4.90E-07	1.15E-08	5.02E-07

2) 통합 고장률은 Relex 고장률보다 높다. Relex 고장률은 최소 경계값 (lower boundary)이다. Relex 고장률은 MIL-HDBK-217 기반으로 전자 부품에 대한 고장률을 계산한다. Relex 고장률은 EPRD와 달리, 고장률 계산식에 기초하여 고장률을 제공하고 있으므로, 운용환경 및 제조/공정 환경 인자를 반영하게 되면 해당 고장률을 계산할 수 있다. 하지만, MIL-HDBK-217는 내부 HW IP의 특성 및 우주 방사선 등에 대한 환경정보를 반영하고 있지 않기 때문에, 고장률이 상대적으로 낮아 MTTF가 높게 계상되어 정비가 문제가 되고 있다 [28]. 본 연구에서 수행한 통합 고장률은 물리 고장률과 방사선 고장률의 합으로 구성되어 있으므로, relex 고장률보다 높게 나온다.

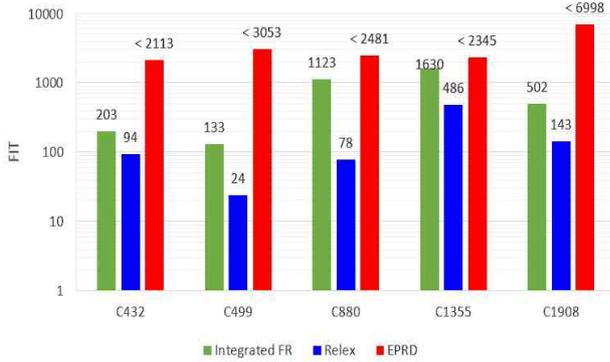


그림 4. 통합 고장률, relex, EPRD 비교 그래프
 Fig. 4. Integrated failure rate, relex, EPRD graph.

VI. 결 론

본 연구는 개발 초기 단계에서부터 방사선 고장률을 고려한 신뢰성 분석을 수행할 수 있는 방안에 대해 제시한다. 이를 위해, 통합 고장률이라는 개념을 제시하고 이를 구하기 위한 방안에 대해 설명한다. Aging 고장률은 물리 고장 분석 도구인 Sherlock 도구를 이용하였으며, 방사선 고장률은 Verilog Fault Injection 도구를 이용하였다. 사례 연구로 조합회로 테스트 벤치 회로인 ISCAS85에 대해 통합 고장률을 계산하였으며, 기존 신뢰성 분석과 비교하였다.

HW IP만을 이용하여 신뢰성 예측하기 위해, 물리 고장률과 방사선 고장률을 계산하였다. 해당 고장률들은 FPGA 합성 이전의 HW IP 및 FPGA의 외부 환경정보만을 이용하여 계산할 수 있다. 이러한 방법은 DO-254와 같은 하드웨어 인증에 필수적인 지표인 고장률을 설계 단계에서 계산할 수 있어, 하드웨어 인증에 필요한 고장률 지표를 빠르게 확보할 수 있다.

Acknowledgments

본 논문은 한국연구재단(과학기술부)기초연구사업(기본연구) 사업(과제번호:2021R1F1A10610911212882086980102) 및 한국연구재단(과학기술부)국제과학기술기반조성사업(과제번호:2022K1A3A1A200149391112882086980101)의 연구비 지원에 의하여 이루어진 연구로서, 관계부처에 감사드립니다.

References

[1] RTCA, Inc., Design assurance guidance for airborne electronic hardware, RTCA, Inc., Washington, D.C., 2000.
 [2] T. Heijmen, "Analytical semi-empirical model for SER sensitivity estimation of deep-submicron CMOS circuits," in *11th IEEE International On-Line Testing Symposium*, French Riviera:

France, pp. 3-8, 2005.

[3] L. Bechtold et al., Integrated reliability-roadmap, framework, and implementation, U.S. Department of Transportation Federal Aviation Administration, Washington, D.C., Technical Report DOT/FAA/TC-16/32, 2016.
 [4] M. White and J. B. Bernstein, *Microelectronics Reliability: Physics-of-Failure Based Modeling and Life Evaluation*, Jet Propulsion Lab, Pasadena: CA, 2008.
 [5] J. Rodriguez et al., "LLFI: Lateral laser fault injection attack," in *2019 Workshop on Fault Diagnosis and Tolerance in Cryptography (FDTC)*, Atlanta: GA, pp. 41-47, 2019.
 [6] C. Godlewski, V. Pouget, D. Lewis and M. Lisart, "Electrical modeling of the effect of beam profile for pulsed laser fault injection," *Microelectronics Reliability*, Vol. 49, No 9-11, pp. 1143-1147, Sep. 2009.
 [7] S. E. Damkjar, I. R. Mann, and D. G. Elliott, "Proton beam testing of SEU sensitivity of M430FR5989SRGCREP, EFM32GG11B820F2048, AT32UC3C0512C, and m2s010 microcontrollers in low-earth orbit," in *2020 IEEE Radiation Effects Data Workshop (in conjunction with 2020 NSREC)*, Santa Fe: NM, pp. 1-5, 2020.
 [8] T. Vanát, J. Pospil, F. Kriek, J. Ferencei, and H. Kubátová, "A system for radiation testing and physical fault injection into the FPGAs and other electronics," in *2015 Euromicro Conference on Digital System Design*, Madeira: Portugal, pp. 205-210, 2015.
 [9] B. Zhang and M. Orshansky, "Symbolic simulation of the propagation and filtering of transient faulty pulses," in *Workshop on System Effects of Logic Soft Errors*, Urbana Champion: IL, pp. 458-469, April. 2005.
 [10] B. Zhang, W.S. Wang and M. Orshansky, "Faser: Fast analysis of soft error susceptibility for cell-based designs," in *7th International Symposium on Quality Electronic Design (ISQED'06)*, San Jose: CA, pp. 368-379, 2006.
 [11] G. Asadi and M. B. Tahoori, "An accurate SER estimation method based on propagation probability," in *Proceedings of the IEEE/ACM International Conference on Design, Automation and Test in Europe*, Munich: Germany, pp. 306-307, 2005.
 [12] G. Asadi and M. B. Tahoori, "An analytical approach for soft error rate estimation in digital circuits," in *2005 IEEE International Symposium on Circuits and Systems (ISCAS)*, Kobe: Japan, pp. 2991-2994, 2005.
 [13] L. Chen, M. Ebrahimi and M. B. Tahoori, "CEP: Correlated error propagation for hierarchical soft error analysis," *Journal of Electronic Testing*, Vol. 29, No. 2, pp. 143-158, Apr. 2013.
 [14] S. Krishnaswamy, G. F. Viamontes, I. L. Markov and J. P. Hayes, "Accurate reliability evaluation and enhancement via probabilistic transfer matrices," in *Proceedings of the IEEE/ACM International Conference on Design, Automation*

- and Test in Europe, Munich: Germany, Vol. 1, pp. 282-287, 2005.
- [15] S. Z. Shazli and M. B. Tahoori, "Using boolean satisfiability for computing soft error rates in early design stages," *Microelectronics Reliability*, Vol. 50, No. 1, pp. 149-159, Jan. 2010.
- [16] K. M. Warren et al., "Integrating circuit level simulation and Monte-Carlo radiation transport code for single event upset analysis in SEU hardened circuitry," *IEEE Transactions on Nuclear Science*, Vol. 55, No. 6, pp. 2886-2894, Dec. 2008.
- [17] E. Ibe, Y. Yahagi and H. Yamaguchi, "Monte-Carlo simulation for the effects of composite materials on single event effects of sub-100 nm semi-conductor devices," in *2004 symposium on nuclear data*, Ibaraki: Japan, pp. 100-105, Nov. 2005.
- [18] P. C. Murley and G. R. Srinivasan, "Soft-error Monte Carlo modeling program, SEMM," *IBM Journal of Research and Development*, Vol. 40, No. 1, pp. 109-118, Jan. 1996.
- [19] Y. Tosaka, S. Satoha and H. Oka, "An accurate and comprehensive soft error simulator NISES II," in *Simulation of Semiconductor Processes and Devices 2004*, Munich: Germany, pp. 219-222, Sep. 2004.
- [20] H. H. K. Tang and K. P. Rodbell, "Single-event upsets in microelectronics: Fundamental physics and Nos," *MRS Bulletin*, Vol. 28, No. 2, pp. 111-116, Jan. 2011.
- [21] R. Baumann, "Impact of single-event upsets in deep-submicron silicon technology," *MRS Bulletin*, Vol. 28, No. 2, pp. 117-120, Jan. 2011.
- [22] T. J. O'gorman et al., "Field testing for cosmic ray soft errors in semiconductor memories," *IBM Journal of Research and Development*, Vol. 40, No. 1, pp. 41-50, Jan. 1996.
- [23] J. H. Cha et al. "A Study on Design for Reliability for the PBA of Warship based on Reliability Physics Analysis," *Journal of the Korea Academia-Industrial Cooperation Society*, Vol. 20, No. 12 pp. 535-545, 2019.
- [24] EIA/JEDEC Publication. Failure Mechanisms and Models for Silicon Semiconductor Devices [Internet]. Available: <https://www.jedec.org/standards-documents/docs/jep-122e>.
- [25] D. W. LEE and J. W. NA, "Study of the monte-carlo fault injection simulator to measure a fault derating," *IET Computers & Digital Techniques*, Vol. 13, No. 3, pp. 218-223, 2019.
- [26] J. W. NA and D. W. LEE, "Simulated fault injection using simulator modification technique," *ETRI Journal*, Vol. 33, No. 1, pp. 50-59, 2011.
- [27] M. C. Hansen, H. Yalcin and J. P. Hayes, "Unveiling the ISCAS-85 benchmarks: A case study in reverse engineering," *IEEE Design & Test of Computers*, Vol. 16, No. 3, pp. 72-80, 1999.
- [28] S. J. Kim et al., "Research on ways to improve reliability prediction models," *Journal of the Korean Society of Industrial -Academic Technology*, Vol. 22, No. 10, pp. 447-456, 2021.



이 동 민 (Dong-Min Lee)

2018년 2월: 한국항공대학교 정보통신공학 (공학사)
 2020년 2월: 한국항공대학교 일반대학원 항공전자정보공학 (공학석사)
 2021년 ~ 현재: 한국항공대학교 일반대학원 스마트항공모빌리티학과 박사과정
 ※관심분야: 감항인증, 신뢰성 분석, 디지털트윈



김 창 현 (Chang-hyeon Kim)

2023년 8월: 한국항공대학교 전자및항공전자공학 (공학사)
 2023년 9월 ~ 현재: 한국항공대학교 일반대학원 항공전자정보공학과 석사과정
 ※관심분야: 고신뢰성 임베디드 시스템, 디지털트윈, 모델 기반 설계



박 경 민 (Kyung-min Park)

2021년 8월: 한국항공대학교 전자및항공전자공학 (공학사)
 2021년 9월 ~ 현재: 한국항공대학교 일반대학원 항공전자정보공학 석박사과정
 ※관심분야: 임베디드 시스템, 소프트웨어 안전 인증, 신뢰성 분석



나 종 화 (Jong-Whoa Na)

1985년 2월: 서강대학교 (공학사)
 1988년 5월: Wayne State University (공학석사)
 1994년 12월: University of Arizona (공학박사)
 1998년 9월 ~2005년 8월: 한세대학교 컴퓨터공학전공 부교수
 2005년 9월 ~ 현재: 한국항공대학교 항공전자정보공학부 교수
 ※관심분야: 고신뢰성 임베디드 시스템, 신뢰성 분석, 무인자율시스템, 항공 임베디드