

Vertical Variation Doping 구조를 도입한 1.2 kV 4H-SiC MOSFET 최적화

김예진, 박승현, 이태희, 최지수, 박세림, 이건희, 오종민, 신원호, 구상모 

광운대학교 전자재료공학과

Optimization of 1.2 kV 4H-SiC MOSFETs with Vertical Variation Doping Structure

Ye-Jin Kim, Seung-Hyun Park, Tae-Hee Lee, Ji-Soo Choi, Se-Rim Park,

Geon-Hee Lee, Jong-Min Oh, Weon Ho Shin, and Sang-Mo Koo 

Department of Electric Materials Engineering, Kwangwoon University, Seoul 01897, Korea

(Received February 15, 2024; Accepted March 4, 2024)

Abstract: High-energy bandgap material silicon carbide (SiC) is gaining attention as a next-generation power semiconductor material, and in particular, SiC-based MOSFETs are developed as representative power semiconductors to increase the breakdown voltage (BV) of conventional planar structures. However, as the size of SJ (Super Junction) MOSFET devices decreases and the depth of pillars increases, it becomes challenging to uniformly form the doping concentration of pillars. Therefore, a structure with different doping concentrations segmented within the pillar is being researched. Using Silvaco TCAD simulation, a SJ VVD (vertical variation doping profile) MOSFET with three different doping concentrations in the pillar was studied. Simulations were conducted for the width of the pillar and the doping concentration of N-epi, revealing that as the width of the pillar increases, the depletion region widens, leading to an increase in on-specific resistance ($R_{on,sp}$) and breakdown voltage (BV). Additionally, as the doping concentration of N-epi increases, the number of carriers increases, and the depletion region narrows, resulting in a decrease in $R_{on,sp}$ and BV. The optimized SJ VVD MOSFET exhibits a very high figure of merit (BFOM) of 13,400 KW/cm², indicating excellent performance characteristics and suggesting its potential as a next-generation high-performance power device suitable for practical applications.

Keywords: SiC, Super junction, Vertical variation doping profile, MOSFETs, TCAD

제4차 산업혁명 시대에 접어들며 전기 자동차, 인공 지능 및 신재생 에너지와 같은 산업들이 급속하게 성장되며 전력 반도체의 중요성이 강조되고 있다. 기존의 실리콘 (silicon, Si) 기반 반도체는 고온에서 성능 저하, 빈도 변동 및 냉각 효율 저하와 같은 문제가 존재한다 [1,2]. 고에

너지갭(wide band gap) 소재인 탄화규소(silicon carbide, SiC)는 넓은 밴드갭(~3.23 eV)과 높은 임계전압(~3 MV/cm), 높은 열전도도(~4.56 W/cm²°C)의 우수한 성능을 갖기 때문에 고온에서 정상적으로 동작할 수 있다는 장점이 있다 [3-5]. 오늘날 이를 이용하여 고효율 MOSFET (metal-oxide-semiconductor field effect transistor), BJT (bipolar junction transistor), IGBT (insulated gate bipolar transistor) 등의 devices 제작에 사용된다 [6,7]. 특히 MOSFET은 고전압과 대전류 환경에서 사용되기 위해서 높은 항복전압(breakdown

✉ Sang-Mo Koo; smkoo@kw.ac.kr

Copyright ©2024 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

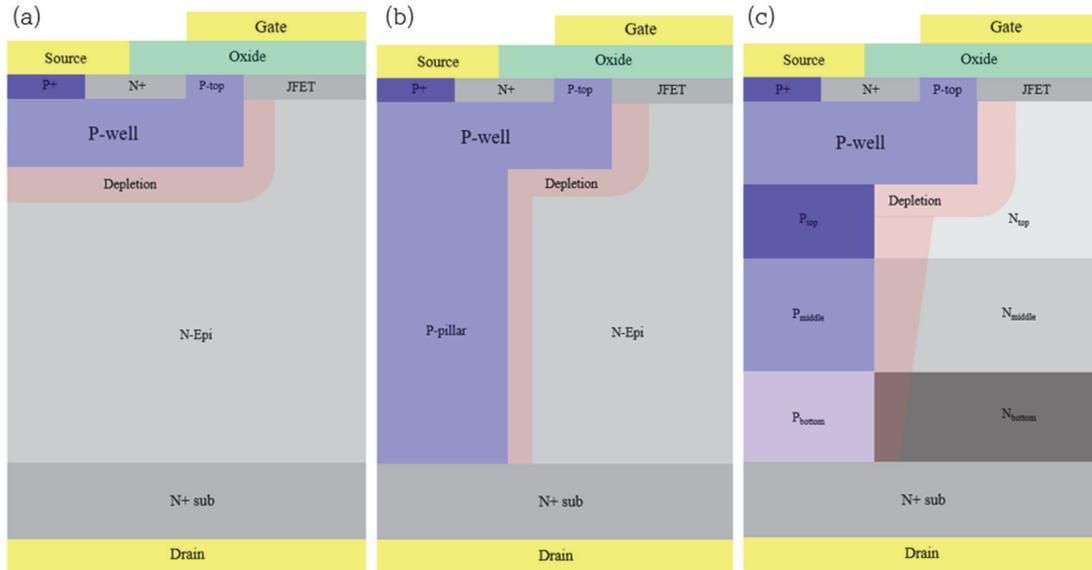


Fig. 1. Structure of (a) DMOSFET, (b) SJ MOSFET, and (c) SJ VVD MOSFET.

voltage, BV)이 필요하며, 이를 달성하기 위해 에피(epi) 영역의 두께를 증가시켜야 한다. 하지만 epi 영역의 두께가 증가하면 온저항(on-specific resistance, $R_{on,sp}$)이 증가하는 문제가 발생한다. 따라서 $R_{on,sp}$ 를 낮추기 위해 epi 영역의 도핑 농도를 증가시켜야 하는데 이는 BV를 감소시키는 트레이드-오프(trade-off) 관계를 보여준다 [8,9].

DMOSFET의 이러한 한계를 극복하기 위해 epi 영역에 pillar를 추가한 초접합(super junction, SJ) MOSFET 구조가 사용되고 있다. SJ MOSFET은 P-base 아래에 pillar 영역을 추가하여 charge balance를 통해 동일한 BV를 가지는 DMOSFET에 비해 낮은 $R_{on,sp}$ 를 가진다 [10]. 하지만 SJ MOSFET에서 pillar로 인해 형성되는 charge balance는 pillar의 도핑 농도의 미세한 변화에도 큰 영향을 받는데 실제 공정 시, 소자의 크기가 작고 pillar가 깊을수록 pillar의 농도를 균일하게 형성하기 어렵다. 이러한 문제는 pillar의 도핑 농도를 구간별로 세분화하는 vertical variation doping profile (VVD) 구조 도입을 통하여 해결할 수 있다 [9,11]. 따라서 본 연구에서는 TCAD 시뮬레이션을 사용하여 SJ VVD MOSFET pillar의 너비와 N-epi의 도핑 농도에 대한 최적화를 진행했으며, 기본적인 DMOSFET과 SJ MOSFET과의 비교를 위해 각 소자의 $R_{on,sp}$, BV, Baliga's figure of merits (BFOM)을 비교 분석하였다.

본 연구는 TCAD 시뮬레이션을 활용하여 SJ VVD MOSFET의 구조적 파라미터 변경을 통해 전기적 특성 연구를 하고자 한다.

그림 1은 TCAD 시뮬레이션을 이용하여 설계한 (a) DMOSFET, (b) SJ MOSFET, (c) SJ VVD MOSFET의 구조를 보여준다. 그림 1(c)에서 p-pillar와 N-epi를 농도에 따라 구분했을 때 위쪽부터 top, middle, bottom으로 지칭했으며 p-pillar는 위쪽에서 아래쪽으로 갈수록 농도가 낮아지며 N-epi는 위쪽에서 아래쪽으로 갈수록 농도가 높아지도록 설정했다. 이는 depletion 영역을 고려한 것으로 drain으로 갈수록 depletion 영역을 감소시켜 저항을 감소시키기 위함이다 [12]. 기존의 SJ MOSFET의 depletion 영역과 비교했을 때 SJ VVD MOSFET의 N-epi의 저항이 크며 특히 N-epi 저농도 영역(N_{top})의 저항이 크다. SJ MOSFET 대비 단점을 개선하고 높은 BFOM을 가지는 SJ VVD MOSFET을 위해 pillar의 너비(W_p) 1.15~1.45 μm 의 변화와 N_{top} 의 도핑 농도를 $3.5 \times 10^{15} \sim 7.5 \times 10^{15} \text{ cm}^{-3}$ 로 시뮬레이션을 진행하였다. 최적화된 SJ VVD MOSFET 소자의 성능을 평가하기 위해 DMOSFET, SJ MOSFET과 SJ VVD MOSFET의 반도체 성능지수 BFOM을 비교했다.

그림 2와 3은 W_p 를 1.05 μm 에서 1.45 μm 까지 0.10 μm 씩 증가시킨 SJ VVD MOSFET의 V_D-I_D curve를 보여준다. SJ VVD MOSFET에서 W_p 가 증가할수록 $R_{on,sp}$ 와 BV가 모두 증가함을 보이며, W_p 가 1.45 μm 로 가장 길 때, $R_{on,sp}$ 는 0.284 $\text{m}\Omega\text{cm}^2$, BV는 1,610 V로 가장 크다. 이는 W_p 가 증가할수록 전류가 흐를 수 있는 N-epi의 넓이가 감소하고, P-pillar와 N-epi 영역에 의해 발생하는 depletion 영역이 넓어짐에 따라 소자의 전계는 증가하기 때문이다 [12].

그림 4를 통해 W_p 에 따른 BV 변화와 $R_{on,sp}$ 의 변화를 확인할 수 있으며, 결과적으로 $V_D=10$ V일 때 W_p 가 증가할수록 $R_{on,sp}$ 는 $0.297 \text{ m}\Omega\text{cm}^2$ 에서 $0.322 \text{ m}\Omega\text{cm}^2$ 로 증가하고, BV의 경우 1,510 V에서 1,610 V까지 증가했다 [13]. 최적화된 W_p 를 확인하기 위해 BFOM을 도출했으며 W_p 가 1.35

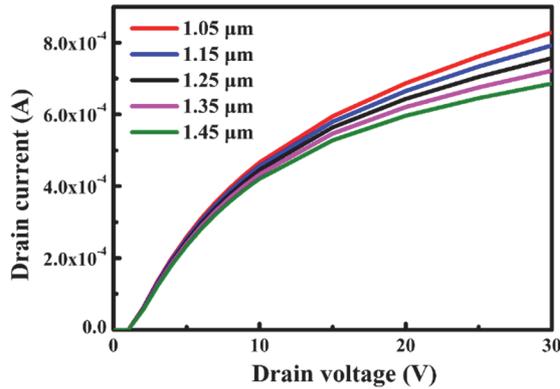


Fig. 2. V_D - I_D curves for SJ VVD MOSFET with different W_p .

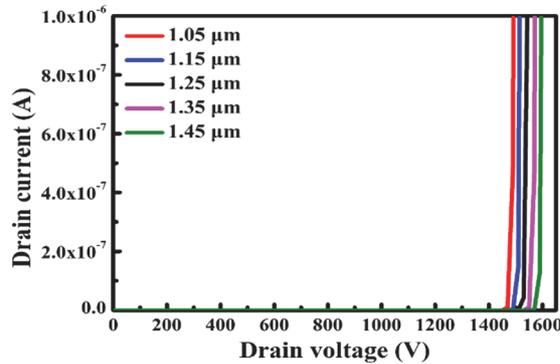


Fig. 3. Reverse V_D - I_D characteristics of SJ VVD MOSFET with different W_p .

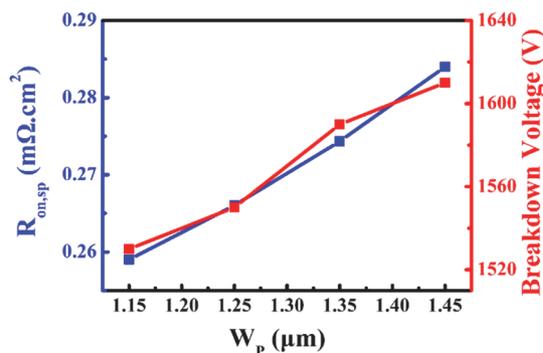


Fig. 4. Electrical properties of SJ VVD MOSFET with different W_p .

μm 일 때 BFOM이 $7,490 \text{ KW}/\text{cm}^2$ 으로 가장 높은 값을 가졌다.

그림 5와 6은 W_p 가 1.35 μm 일 때로 N_{top} 의 기존 농도는 $2.7 \times 10^{15} \text{ cm}^{-3}$ 이었으며 이를 $3.0 \times 10^{15} \text{ cm}^{-3}$ 에서 $6.0 \times 10^{15} \text{ cm}^{-3}$ 까지 $1.0 \times 10^{15} \text{ cm}^{-3}$ 씩 증가시킨 SJ VVD MOSFET 구조의 V_D - I_D curve 보여준다. N_{top} 도핑 농도의 증가로 해당 영역의 캐리어 수가 증가하게 되고, 이에 따라 전류가 더 잘 흐를 수 있게 된다 [14,15]. 하지만 BV의 경우, N_{top} 의 도핑 농도가 증가함에 따라 N-epi 영역에 형성되는 depletion 영역의 넓이가 감소하면서 소자의 전계가 감소한다 [12]. 결론적으로 $V_D=10$ V일 때, $R_{on,sp}$ 는 $0.274 \text{ m}\Omega\text{cm}^2$ 에서 $0.130 \text{ m}\Omega\text{cm}^2$ 로 감소하고, BV는 1,590 V에서 1,290 V까지 감소한다. 그림 7에서 N_{top} 농도에 따른 $R_{on,sp}$ 와 BV를 확인할 수 있으며, 도핑 농도가 6.0×10^{15}

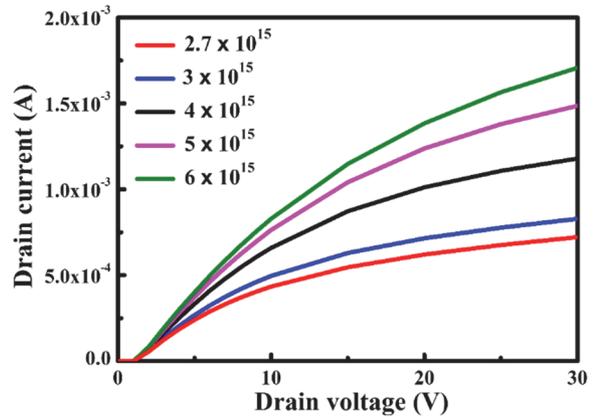


Fig. 5. V_D - I_D curves for SJ VVD MOSFET with different N_{top} doping concentration.

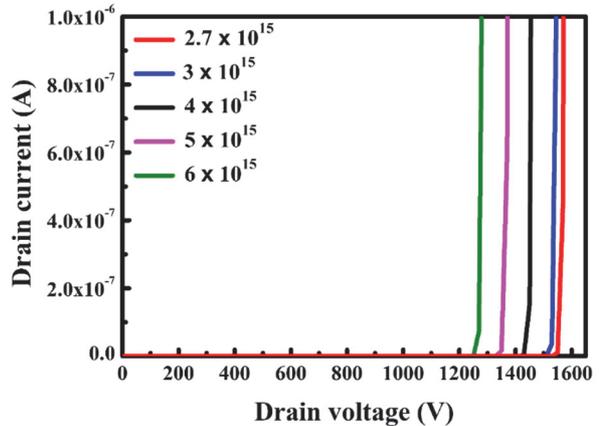


Fig. 6. Reverse I_D - V_D characteristics of SJ VVD MOSFET with different N_{top} doping concentration.

cm⁻³로 가장 높을 때, R_{on,sp}는 0.130 mΩcm², BV는 1290 V로 가장 작다. 도출된 R_{on,sp}와 BV를 바탕으로 N_{top}에 대해 최적화하기 위해 BFOM 값을 도출했으며, N_{top}의 도핑 농도가 5.0 × 10¹⁵ cm⁻³일 때, 13,400 KW/cm²으로 최댓값을 달성하였다.

본 연구는 수직형 구조의 SiC DMOSFET, SJ MOSFET을 개선한 SJ VVD MOSFET의 W_p와 N_{top}의 도핑 농도를 최적화했다. W_p를 증가시켜 epi의 depletion 영역을 넓혀 BV를 개선했으며, 이로 인해 증가한 R_{on,sp}를 N_{top}의 도핑 농도를 증가시켜 개선하였다.

결론적으로 그림 8과 같이 R_{on,sp}와 BV 개선을 통해 도출된 SJ VVD MOSFET의 BFOM 값은 13,400 KW/cm²로 기존의 기본 MOSFET, SJ MOSFET 대비, 약 6,990, 5,350 KW/cm² 증가했다. 이를 토대로 W_p와 N_{top} 도핑 농도가 최적화된 SJ VVD MOSFET은 차세대 고성능 파워 디바이스의 잠재력을 가지며 실제 응용에 적합할 것으로 사료된다.

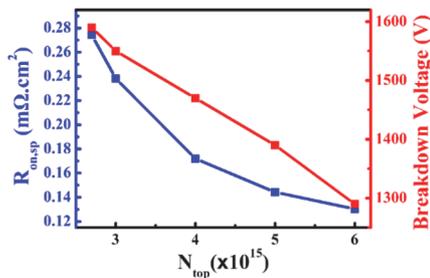


Fig. 7. Electrical properties of SJ VVD MOSFET with different N_{top} doping concentrations.

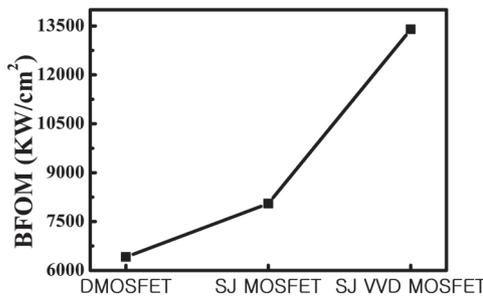


Fig. 8. BFOM of DMSOFET, SJ MOSFET and SJ VVD MOSFET.

감사의 글

This work was supported by the Korea Institute for Advancement of Technology (KIAT) (P0012451) grant funded by the MOTIE, Korea, the National Research Foundation (NRF) (RS-2023-00266246) grant funded by the MSIT of Korea, and the Kwangwoon University in 2024.

REFERENCES

- [1] X. She, A. Q. Huang, Ó. Lucía, and B. Ozpineci, *EEE Trans. Ind. Electron.*, **64**, 8193 (2017). doi: <https://doi.org/10.1109/TIE.2017.2652401>
- [2] F. Roccaforte, P. Fiorenza, G. Greco, R. L. Nigro, F. Giannazzo, F. Iucolano, and M. Saggio, *Microelectron. Eng.*, **187**, 66 (2018). doi: <https://doi.org/10.1016/j.mee.2017.11.021>
- [3] J. B. Casady and R. W. Johnson, *Solid-State Electron.*, **39**, 1409 (1996). doi: [https://doi.org/10.1016/0038-1101\(96\)00045-7](https://doi.org/10.1016/0038-1101(96)00045-7)
- [4] M. Kim, J. H. Seo, U. Singiseti, and Z. Ma, *J. Mater. Chem. C*, **5**, 8338 (2017). doi: <https://doi.org/10.1039/C7TC02221B>
- [5] A. Sharma, S. J. Lee, Y. J. Jang, and J. P. Jung, *J. Microelectron. Packag. Soc.*, **21**, 71 (2014). doi: <https://doi.org/10.6117/kmeps.2014.21.2.071>
- [6] S. Liu, M. Huang, M. Wang, M. Zhang, and J. Wei, *Microelectron. J.*, **137**, 105823 (2023). doi: <https://doi.org/10.1016/j.mejo.2023.105823>
- [7] Z. Li and T. P. Chow, *IEEE Trans. Electron Devices*, **60**, 3230 (2013). doi: <https://doi.org/10.1109/TED.2013.2266544>
- [8] X. Luo, Q. Tan, J. Wei, K. Zhou, G. Deng, Z. Li, and B. Zhang, *IEEE Trans. Electron Devices*, **63**, 2614 (2016). doi: <https://doi.org/10.1109/TED.2016.2555327>
- [9] P. Vudumula and S. Kotamraju, *IEEE Trans. Electron Devices*, **66**, 1402 (2019). doi: <https://doi.org/10.1109/TED.2019.2894650>
- [10] Z. Cao, B. Duan, T. Shi, S. Yuan, and Y. Yang, *IEEE Electron Device Lett.*, **38**, 794 (2017). doi: <https://doi.org/10.1109/LED.2017.2694842>
- [11] H. Huang, Y. Wang, C. H. Yu, Z. H. Tang, X. J. Li, J. Q. Yang, and F. Cao, *IEEE J. Electron Devices Soc.*, **9**, 1084 (2021). doi: <https://doi.org/10.1109/JEDS.2021.3125706>
- [12] A. Haggag and K. Hess, *IEEE Trans. Electron Devices*, **47**, 1624 (2000). doi: <https://doi.org/10.1109/16.853040>
- [13] Z. Lin, H. Huang, and X. Chen, *IEEE Trans. Electron Devices*, **62**, 228 (2014).

ORCID

Sang-Mo Koo

<https://orcid.org/0000-0002-9827-9219>

- doi: <https://doi.org/10.1109/TED.2014.2372819>
- [14] K. M. Liu, F. I. Peng, K. P. Peng, H. C. Lin, and T. Y. Huang, *Semicond. Sci. Technol.*, **29**, 055001 (2014).
doi: <https://doi.org/10.1088/0268-1242/29/5/055001>
- [15] R. Sharma, A. Patnaik, and P. Sharma, *Microelectron. J.*, **135**, 105755 (2023).
doi: <https://doi.org/10.1016/j.mejo.2023.105755>