

# 3D NAND Flash Memory에서 Tapering된 O/N/O 및 O/N/F 구조의 Threshold Voltage 변화 분석

## The Analysis of Threshold Voltage Shift for Tapered O/N/O and O/N/F Structures in 3D NAND Flash Memory

이 지 환\*, 이 재 우\*, 강 명 곤\*\*

Jihwan Lee\*, Jaewoo Lee\*, Myounggon Kang\*\*

### Abstract

This paper analyzed the  $V_{th}$  (Threshold Voltage) variations in 3D NAND Flash memory with tapered O/N/O (Oxide/Nitride/Oxide) structure and O/N/F (Oxide/Nitride/Ferroelectric) structure, where the blocking oxide is replaced by ferroelectric material. With a tapering angle of  $0^\circ$ , the O/N/F structure exhibits lower resistance compared to the O/N/O structure, resulting in reduced  $V_{th}$  variations in both the upper and lower regions of the WL (Word Line). Tapered 3D NAND Flash memory shows a decrease in channel area and an increase in channel resistance as it moves from the upper to the lower WL. Consequently, as the tapering angle increases, the  $V_{th}$  decreases in the upper WL and increases in the lower WL. The tapered O/N/F structure, influenced by  $V_{fe}$  proportional to the channel radius, leads to a greater reduction in  $V_{th}$  in the upper WL compared to the O/N/O structure. Additionally, the lower WL in the O/N/F structure experiences a greater increase in  $V_{th}$  compared to the O/N/O structure, resulting in larger  $V_{th}$  variations with increasing tapering angles.

### 요 약

본 논문은 3D NAND Flash memory에서 tapering된 O/N/O(Oxide/Nitride/Oxide) 구조와 blocking oxide를 ferroelectric material로 대체한 O/N/F(Oxide/Nitride/Ferroelectric) 구조의  $V_{th}$ (Threshold Voltage) 변화량을 분석했다. Tapering 각도가  $0^\circ$ 일 때 O/N/F 구조는 O/N/O 구조보다 저항이 작고 WL(Word-Line) 상부와 WL 하부의  $V_{th}$  변화량이 감소한다. Tapering된 3D NAND Flash memory는 WL 상부에서 WL 하부로 내려갈수록 channel 면적이 감소하며 channel 저항이 증가한다. 따라서 tapering 각도가 증가할수록 WL 상부의  $V_{th}$ 가 감소하고 WL 하부의  $V_{th}$ 는 증가한다. Tapering된 O/N/F 구조는 channel 반지름 길이와 비례하는  $V_{fe}$ 로 인해 WL 상부의  $V_{th}$ 는 O/N/O 구조보다 더 감소한다. 또한 O/N/F 구조의 WL 하부는 O/N/O 구조보다  $V_{th}$ 가 증가하기 때문에 tapering 각도에 따른  $V_{th}$  변화량이 O/N/O 구조보다 더 증가한다.

*Key words : 3D NAND Flash memory; ferroelectric; taper; threshold voltage; channel resistance;*

\* Dept. of Electronics Engineering, Korea National University of Transportation

★ Corresponding author

E-mail : mgkang@ut.ac.kr, Tel : +83-043-849-1738

※ Acknowledgment

The research was supported by a grant from the 2023 program for visiting professors overseas in Korea National University of Transportation.

Manuscript received Feb. 28, 2024; revised Mar. 7, 2024; accepted Mar. 20, 2024.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## I. 서론

3D NAND Flash memory는 공정 과정에서 식각 속도가 다른 현상으로 인해 tapering 구조가 형성되며 데이터 저장을 늘리기 위해서  $V_{th}$ 를 세분화하여 구분 방법을 도입하고 있다[1-5]. 3D NAND Flash Memory의 적층이 증가하고 tapering 각도가 증가하면 tapering 각도에 따른  $V_{th}$  변화량이 증가하고 신뢰성이 감소한다. 따라서 tapering 구조에 따른  $V_{th}$  변화량 분석이 중요하다[6-8]. 그리고 O/N/O(Oxide/Nitride/Oxide) 구조와 blocking oxide를 ferroelectric material로 대체한 O/N/F(Oxide/Nitride/Ferroelectric) 구조를 비교하는 연구가 진행되고 있다[9-11]. 제안된 O/N/F 구조는 ferroelectric material의 높은 유전율과 ferroelectric 층의 polarization으로 인해 높은 current 특성을 가지며 저전압 동작이 가능하다[12-14]. Tapering 구조는 상부에서 하부로 갈수록 channel의 면적이 감소하여 channel 저항이 증가하며 같은 program을 해도 WL (Word-Line) 상부와 WL 하부의  $V_{th}$  차이가 발생한다. 본 논문에서는 3D TCAD(Technology Computer Aided Design) simulation을 수행하여 tapering된 O/NO 구조와 O/N/F 구조의  $V_{th}$  변화량을 비교 분석했다.

## II. 본론

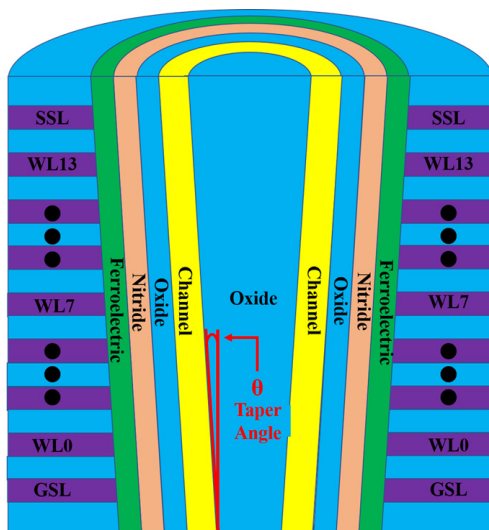


Fig. 1. Cross section of the O/N/F structure designed in the TCAD simulation.

그림 1. TCAD simulation으로 설계한 O/N/F 구조의 단면도

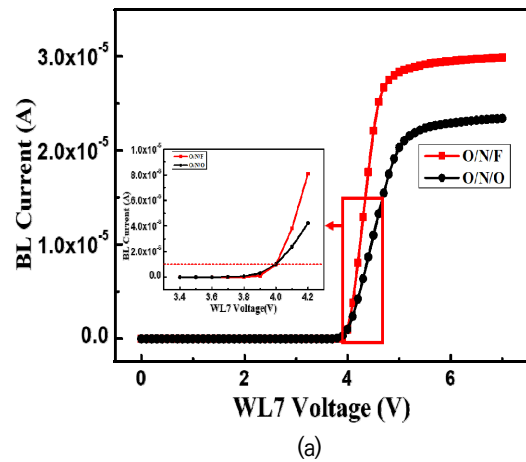
그림 1은 TCAD simulation으로 설계한 O/N/F 구조의 단면도이다. O/N/O 구조와 O/N/F 구조 모두

tapering 구조로 설계했으며 WL 16단 3D NAND Flash Memory이다. O/N/F 구조는 O/N/O 구조에서 blocking oxide를 ferroelectric material로 대체한 구조이다.

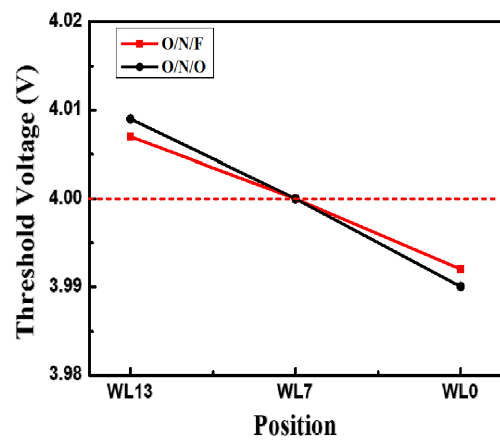
Table 1. Parameter values of the designed device.

표 1. 설계한 소자의 파라미터 값

Parameters	Value
Gate Length	30nm
Gate Spacing	30nm
O/N/O Thickness Combination	4nm/8nm/8nm
O/N/F Thickness Combination	4nm/8nm/8nm
Channel Thickness	5nm
$V_{BL}$	0.5V
$V_{pass}$	7V
$V_{th}$ (WL7)	4V



(a)



(b)

Fig. 2. (a)  $I-V_g$  graph of WL7 when the tapering angle is  $0^\circ$ . (b)  $V_{th}$  difference between upper and lower regions when the tapering angle is  $0^\circ$ .

그림 2. (a) Tapering 각도가  $0^\circ$ 일 때 WL7을 read한  $I-V_g$  그래프 (b) Tapering 각도가  $0^\circ$ 일 때 상부와 하부  $V_{th}$  차이

표 1은 설계한 소자의 parameter를 나타내고 있으며 O/N/O 구조와 O/N/F 구조를 동일하게 설계했다. O/N/F 구조에서 ferroelectric material의 polarization parameter는  $P_r$ (Remanent Polarization)이  $15 \mu\text{C}/\text{cm}^2$ ,  $P_s$ (Saturation Polarization)가  $30 \mu\text{C}/\text{cm}^2$ ,  $E_c$ (Coercive Field)는  $2 \text{ MV}/\text{cm}$ 이다. O/N/O 구조와 O/N/F 구조는 current가  $1 \mu\text{A}$ 일 때 WL 전압을  $V_{th}$ 로 설정했다. WL7의  $V_{th}$ 를  $4 \text{ V}$ 로 설정하고 WL7의 nitride charge를 WL13과 WL0에 동일하게 설정하고  $V_{th}$ 를 측정했다.

그림 2(a)는 tapering 각도가  $0^\circ$ 일 때 WL7을 read한  $I-V_g$  그래프이다. O/N/O 구조와 O/N/F 구조 모두 WL7의  $V_{th}$ 를  $4 \text{ V}$ 로 설정했을 때 O/N/F 구조의 saturation current가 O/N/O 구조의 saturation current보다  $6.5 \mu\text{A}$  더 높다. O/N/F 구조는 ferroelectric material의 polarization 특성으로 인해 channel에 인가되는 전압이 O/N/O 구조보다 높아 saturation current가 더 높다[15]. 그림 2(b)는 tapering 각도가  $0^\circ$ 일 때 O/N/O 구조와 O/N/F 구조의 상부와 하부  $V_{th}$  차이를 나타낸다. O/N/F 구조에서 WL 상부와 WL 하부의  $V_{th}$  차이가 O/N/O 구조보다  $0.004 \text{ V}$  더 작다. 다음은 기본 모델인 FET의 current 공식과 전압 관계식이다[16].

$$dI_{DS} = (\partial I_{DS} / \partial V_{GS})|_{V_{DS}} dV_{GS} + (\partial I_{DS} / \partial V_{DS})|_{V_{GS}} dV_{DS} \quad (1)$$

$$= g_{mi} dV_{GS} + g_{di} dV_{DS} \quad (2)$$

$$R_{SD} = R_S + R_D \quad (3)$$

$$V_{DS} = V_{DS} - R_{SD} I_{DS} \quad (4)$$

$$V_{GS} = V_{GS} - R_S I_{DS} \quad (5)$$

여기서  $R_s$ 는 source 방향의 저항을 의미하며 selected WL을 기준으로 하단 cell들의 저항을 의미한다. 위 식에서  $R_s$ 가 증가하면 전류가 감소한다. 따라서 WL13은 하단 cell의 수가 WL7보다 증가하기 때문에  $R_s$ 가 증가하고 WL13의  $V_{th}$ 가 증가한다. WL0는 하단 cell의 수가 WL7보다 감소하여  $R_s$ 가 감소하고  $V_{th}$ 가 감소한다. O/N/F 구조는 O/N/O 구조보다 current가 높기 때문에 저항이 작고 cell 개수에 따른  $R_s$  변화량이 O/NO 구조보다 감소하여  $V_{th}$  변화량이 감소한다.

그림 3(a)은 tapering 각도에 따른 WL13의  $I-V_g$  그래프이다. WL13은 tapering 각도가 증가할수록 current가 증가한다. Tapering 각도가  $0.1^\circ$ 일 때 WL 전압이  $4\text{V}$ 에서 O/N/F 구조의 current가 O/N/O의 current보다  $0.5 \mu\text{A}$  더 높다. 그림 3(b)은 tapering 각도에 따른 WL0의  $I-V_g$  그래프이다. WL0는 tapering 각도가 증가할수록 current가 감소한다. Tapering 각도가  $0.1^\circ$ 일

때 WL 전압이  $4 \text{ V}$ 에서 O/N/F의 current가 O/N/O의 current보다  $0.3 \mu\text{A}$  더 낮다. Tapering 구조는 WL13에서 WL0로 갈수록 channel의 면적이 감소하고 electron이 이동할 수 있는 면적이 감소하기 때문에 channel 저항이 증가하고  $V_{th}$ 가 증가한다. Tapering된 3D NAND Flash memory의  $V_{th}$ 는 다음과 같은 관계식으로 계산된다[17].

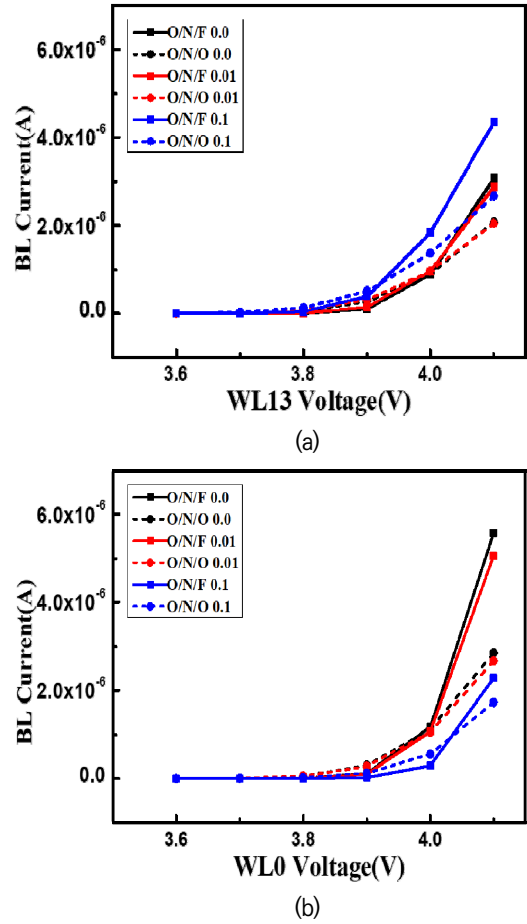


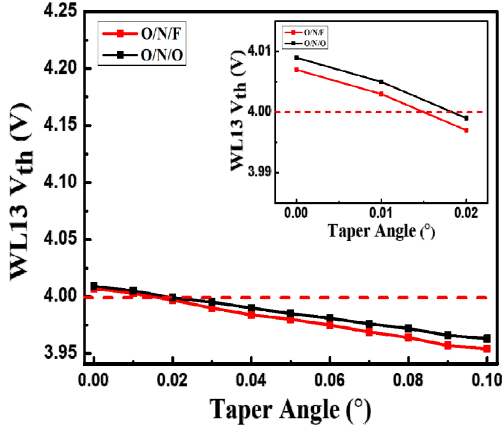
Fig. 3. (a)  $I-V_g$  graph of WL13 according to the taper angle (b)  $I-V_g$  graph of WL0 according to the taper angle.

그림 3. (a) Tapering 각도에 따른 WL13의  $I-V_g$  그래프 (b) Tapering 각도에 따른 WL0의  $I-V_g$  그래프

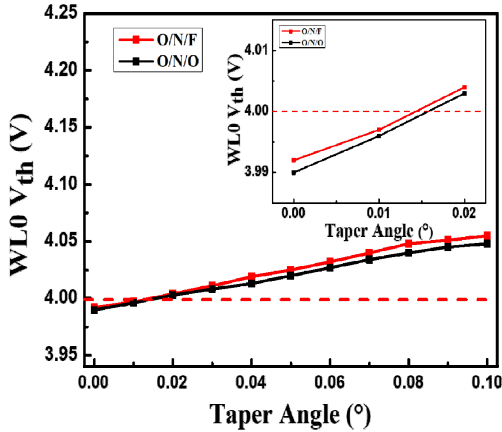
$$V_{TH} = V_{FB} - qN_d R^2 \frac{2\epsilon_{si} \ln(1 + \frac{t_{eff}}{R}) + \epsilon_{eff}}{4\epsilon_{si} \epsilon_{eff}} \quad (5)$$

여기서  $R$ 은 channel의 반지름 길이를 의미하며 tapering 각도가 증가할수록 WL13의 channel 반지름이 증가하고 channel 저항이 감소하여  $V_{th}$ 가 감소한다. Tapering 각도가 증가할수록 WL0의 channel 반지름은 감소하고 channel 저항이 증가하여  $V_{th}$ 가 증가한다. 따라서

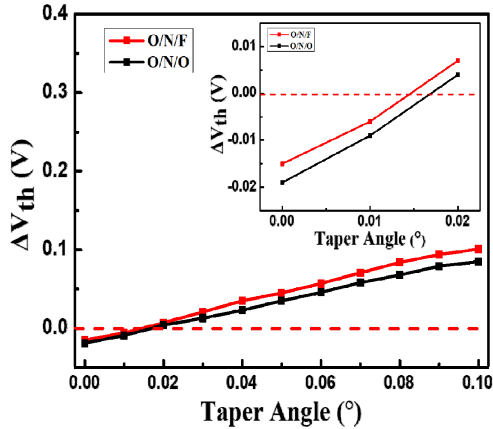
tapering 각도가 증가할수록 WL13과 WL0의  $V_{th}$  차이는 증가한다.



(a)



(b)



(c)

Fig. 4. (a)  $V_{th}$  measurement graph of WL13 according to the tapering angle. (b)  $V_{th}$  measurement graph of WL0 according to the tapering angle. (c) Graph depicting the variation in  $V_{th}$  according to the tapering angle.

그림 4. (a) Tapering 각도에 따른 WL13의  $V_{th}$  측정 그래프  
(b) Tapering 각도에 따른 WL0의  $V_{th}$  측정 그래프  
(c) Tapering 각도에 따른  $V_{th}$  변화량 그래프

그림 4(a)는 tapering 각도에 따른 WL13의  $V_{th}$ 를 측정한 그래프이다. WL13의  $V_{th}$ 는 tapering 각도가 증가할수록  $V_{th}$ 가 감소한다. 그림 4(b)는 tapering 각도에 따른 WL0의  $V_{th}$ 를 측정한 그래프이다. WL0의  $V_{th}$ 는 tapering 각도가 증가할수록  $V_{th}$ 가 증가한다. 그림 4(c)는 tapering 각도에 따른 WL13과 WL0의  $V_{th}$  차이를 나타낸  $V_{th}$  변화량 그래프이다. WL13과 WL0의  $V_{th}$  차이는 tapering 각도가 증가할수록 O/N/F 구조의  $V_{th}$  변화량이 O/N/O 구조보다 증가한다. 또한 tapering 각도 0.02°부터 tapering 각도에 따른  $V_{th}$  변화량이 저항에 따른  $V_{th}$  변화량보다 증가한다. 그림 3과 그림 4에서 tapering 각도가 증가할수록 WL13은 current가 증가하여  $V_{th}$ 가 감소하고 WL0은 current가 감소하며  $V_{th}$ 가 증가한다. Tapering 각도가 증가할수록 WL13의  $V_{th}$  변화량과 WL0의  $V_{th}$  변화량을 비교했을 때 O/N/F 구조는 WL0의  $V_{th}$  변화량이 0.009 V 크고 O/N/O 구조는 WL0의  $V_{th}$  변화량이 0.011 V 크다. 다음은 GAA (Gate-All-Around) 구조의 Fe-FET에서 ferroelectric 층의 전압과 전류 관계식이다[18-19].

$$V_{fe} = a_0 Q + b_0 Q^3 \quad (6)$$

$$a_0 = 2aR \cdot \ln(1 + t_{fe}/(R + t_{ox})) \quad (7)$$

$$b_0 = 2bR^3 \cdot (1/(R + t_{ox})^2 - 1/(R + t_{fe} + t_{ox})^2) \quad (8)$$

$$I_{ds} = \mu \frac{2\pi R}{L} \int_{V_s}^{V_d} Q(V) dV = \mu \frac{2\pi R}{L} \int_{\alpha_s}^{\alpha_d} Q(\alpha) \frac{dV}{d\alpha} d\alpha \quad (9)$$

여기서 R은 channel 반지름을 의미하며  $V_{fe}$ 는 ferroelectric 층의 전압을 의미한다. 식 7과 식 8에서  $a_0$ 와  $b_0$ 는 channel 반지름에 비례하며  $V_{fe}$ 와 current도 channel 반지름과 비례한다. O/N/F 구조와 Fe-FET의 구조 차이는 tunneling oxide와 nitride의 존재 여부이며 O/N/F 구조의  $V_{fe}$ 는 ferroelectric 층의 전압을 의미하기 때문에 식 6을 적용할 수 있다. O/N/F 구조는 O/N/O구조보다 channel에 전달되는 전압에  $V_{fe}$ 이 추가되기 때문에 O/N/F 구조의 전압과 current는 channel 반지름에 따른 변화량이 O/N/O 구조보다 크다. Tapering 된 O/N/F 구조의 WL13은 channel 반지름이 증가하여  $V_{fe}$ 와 current를 증가시켜  $V_{th}$ 를 감소시킨다. Tapering 된 O/N/F 구조의 WL0은 channel 반지름이 감소하고  $V_{fe}$ 와 current를 감소하여  $V_{th}$ 가 증가한다. 따라서 channel의 반지름에 비례하는  $V_{fe}$ 로 인해 tapering된 O/N/F 구조는 WL 상부와 WL 하부의  $V_{th}$  차이가 증가한다.

### III. 결론

Tapering 각도가 0°일 때 O/N/F 구조가 O/N/O 구조보다 저항이 작아 WL 상부와 WL 하부의  $V_{th}$  변화량이 적다. Tapering 구조는 WL 상부에서 WL 하부로 갈수록 channel의 면적이 감소하여 channel 저항이 증가한다. WL13는 channel 저항이 감소하여  $V_{th}$ 가 감소하고 WL0은 channel 저항이 증가하여  $V_{th}$ 가 증가한다. Tapering 각도가 증가할수록  $V_{th}$  변화량도 증가하며 O/N/F 구조는 channel 반지름에 비례하는 ferroelectric 층의  $V_e$ 로 인해 tapering 각도에 따른 WL 상부와 WL 하부의  $V_{th}$  변화량이 O/N/O 구조보다 증가한다.

### References

- [1] J. G. Lee, W. J. Jung, J. H. Park, K. -H. Yoo and T. W. Kim, "Effect of the Blocking Oxide Layer with Asymmetric Taper Angles in 3-D NAND Flash Memories," *IEEE J. Electron Devices Soc*, vol.9, pp.774-777, 2021.  
DOI: 10.1109/JEDS.2021.3104843.
- [2] Jaewoo Lee, Jongwon Lee, and Myounggon Kang. "The Analysis of Lateral Charge Migration at 3D-NAND Flash Memory by Tapering and Ferroelectric Polarization," *Journal of IKEEE* vol. 25, no.4, 2021.  
DOI: 10.7471/IKEEE.2021.25.4.770.
- [3] P. Kumari, U. Surendranathan, M. Wasiolek, K. Hattar, N. P. Bhat and B. Ray, "Radiation-Induced Error Mitigation by Read-Retry Technique for MLC 3-D NAND Flash Memory," *IEEE Trans Nucl Sci*, vol.68, no.5, pp.1032-1039, 2021.  
DOI: 10.1109/TNS.2021.3052909.
- [4] X. Yu et al. "LIAD: A Method for Extending the Effective Time of 3-D TLC NAND Flash Hard Decision," *IEEE T COMPUT AID D*, vol.42, no.5, pp.1705-1717, 2023.  
DOI: 10.1109/TCAD.2022.3191548.
- [5] Y. Kong, M. Zhang, X. Zhan, R. Cao and J. Chen, "Retention Correlated Read Disturb Errors in 3-D Charge Trap NAND Flash Memory: Observations, Analysis, and Solutions," *IEEE T COMPUT AID D*, vol.39, no.11, pp.4042-4051, 2020.  
DOI: 10.1109/TCAD.2020.3025514.
- [6] Dong Chan Lee, Jang Kyu Lee, and Hyungcheol Shin. "Machine learning model for predicting threshold voltage by taper angle variation and word line position in 3D NAND flash memory," *IEICE Electron. Expr.* vol.17, no.22 2020.  
DOI: 10.1587/elex.17.20200345
- [7] K. Ko, J. K. Lee, H. Shin, "Variability-Aware Machine Learning Strategy for 3-D NAND Flash Memories," *IEEE Trans Electron Devices*, vol.67, no.4, pp.1575-1580, 2020.  
DOI: 10.1109/TED.2020.2971784.
- [8] M. Raquibuzzaman, A. Milenkovic, B. Ray, "Intrablock Wear Leveling to Counter Layer-to-Layer Endurance Variation of 3-D NAND Flash Memory," *IEEE Trans Electron Devices*, vol.70, no.1, pp.70-75, 2023.  
DOI: 10.1109/TED.2022.3224420.
- [9] Beomsu Kim, Myounggon Kang, "Optimal bias condition of dummy WL for sub-block GIDL erase operation in 3D NAND flash memory," *Electronics*. vol.11, no.17, pp.2738, 2022.  
DOI: 10.3390/electronics11172738
- [10] D. Son, J. Park, H. Shin, "Investigation and compact modeling of hot-carrier injection for read disturbance in 3-D NAND flash memory," *IEEE Trans Electron Devices*, vol.67, no.7, pp. 2778-2784, 2020. DOI: 10.1109/TED.2020.2993772.
- [11] S Choi, JK Jeong, Myounggon Kang, Y-h Song, "A novel structure to improve the erase speed in 3D NAND flash memory to which a cell-on-peri (COP) structure and a ferroelectric memory device are applied," *Electronics*. vol.11, no.13, pp.2038, 2022.  
DOI: 10.3390/electronics11132038
- [12] J. -M. Sim, Myounggon Kang, Y. -H. Song, "A novel program operation scheme with negative bias in 3-D NAND flash memory," *IEEE Trans Electron Devices*, vol.68, no.12, pp.6112-6117, 2021. DOI: 10.1109/TED.2021.3121648.
- [13] I Ham, Y Jeong, SJ Baik, Myounggon Kang, "Ferroelectric polarization aided low voltage operation of 3D NAND flash memories," *Electronics*.

vol.10, no.1, pp.38, 2021.

DOI: 10.3390/electronics10010038

[14] D. Kang et al. "Analysis of the current path for a vertical NAND flash cell with program/erase states," *Semiconductor. Sci. Technol.* 31 2016, 035011. DOI: 10.1088/0268-1242/31/3/035011

[15] Jihwan Lee, Jaewoo Lee, and Myounggon Kang. "Improvement of Current Path by Using Ferroelectric Material in 3D NAND Flash Memory," *Journal of IKEEE* vol.27, no.4, 2023.

DOI: 10.7471/ikeee.2023.27.4.399

[16] S. Y. Chou and D. A. Antoniadis, "Relationship between measured and intrinsic transconductances of FET's," *IEEE Trans Electron Devices*, vol.34, no.2, pp.448-450, 1987.

DOI: 10.1109/T-ED.1987.22942.

[17] U. M. Bhatt, S. K. Manhas, A. Kumar, M. Pakala and E. Yieh, "Mitigating the Impact of Channel Tapering in Vertical Channel 3-D NAND," *IEEE Trans Electron Devices*, vol.67, no.3, pp.929-936, 2020. DOI: 10.1109/TED.2020.2967869.

[18] Kim Y, Seon Y, Kim S, Kim J, Bae S, Yang I, Yoo C, Ham J, Hong J, Jeon J, "Analytical Current-Voltage Modeling and Analysis of the MFIS Gate-All-Around Transistor Featuring Negative-Capacitance," *Electronics*. 2021.

DOI: 10.3390/electronics10101177

[19] A. D. Gaidhane, G. Pahwa, A. Verma and Y. S. Chauhan, "Compact Modeling of Drain Current, Charges, and Capacitances in Long-Channel Gate-All-Around Negative Capacitance MFIS Transistor," *IEEE Trans Electron Devices*, vol.65, no.5, pp. 2024-2032, 2018.

DOI: 10.1109/TED.2018.2813059.

## BIOGRAPHY

### Jihwan Lee (Member)



2023 : BS degree in Electrical Engineering, Korea National University of Transportation.

2023~ : Master's student, Korea National University of Transportation.

### Jaewoo Lee (Member)



2022 : BS degree in Electrical Engineering, Korea National University of Transportation.

2022~2024 : MS degree in Electrical Engineering, Korea National University of Transportation.

### Myounggon Kang (Member)



2012 : PhD degree in Electrical Engineering, Seoul National University.

2005~2015 : Senior Engineer, Flash Design Team, Samsung Electronics

2015~ : Professor, Korea National University of Transportation.