

고정밀 비교기의 분석적 설계 및 검증

(Analytical Design and Verification of a High-Precision Comparator)

최석준¹, 조정국¹, 전재훈^{1,*}
(Sukjun Choi¹, Jungkook Jo¹, and Jaehoon Jun^{1,*})

요약

본 논문은 고정밀 비교기의 설계 및 검증을 위한 방법론을 분석적 접근을 통해 제시한다. 비교기의 성능 요구사항을 충족하기 위해, 이론적 수식을 바탕으로 도출된 파라미터 값을 기반으로 트랜지스터의 초기 설계를 수행하고, 과도 (transient) 몬테 카를로 (Monte Carlo) 시뮬레이션을 통해 오프셋 등의 성능 지표를 분석적으로 검증한다. 이후 파라미터 간의 트레이드-오프 관계를 고려하여 트랜지스터 크기를 최적화함으로써 최종적으로 성능 요구사항을 만족하는 비교기를 설계할 수 있다. 해당 방법론에서는 과도 몬테 카를로 시뮬레이션을 통해 소자 크기와 임계 전압 부정합 및 입력 오프셋 전압 간의 상관관계를 분석적 결과로 확인하고, 비교기 성능의 신뢰도를 검증하여 설계의 타당성을 입증하였다. 본 연구는 비교기 설계 시의 분석적 설계기법을 제시하며, 성능 및 신뢰도를 평가하는데 기여할 것으로 기대된다.

ABSTRACT

This paper presents a methodology for the design and verification of a high-precision comparator using an analytical approach. The primary objective is to meet the performance of comparator by performing an initial design based on parameters derived from theoretical equations, and then analytically verifying performance metrics such as offset through transient Monte Carlo simulations. The transistor size can be then optimized by considering the trade-offs between parameters to design a comparator that ultimately meets the performance requirements. In this methodology, the correlation between device size, threshold voltage mismatch, and input offset voltage is validated through transient Monte Carlo simulations, confirming analytical results. This analysis also verifies the reliability of comparator performance, demonstrating the validity of the design. This study presents an analytical design technique for comparator design and is expected to contribute to the evaluation of performance and reliability.

KEY WORDS

High-Precision Comparator; Strong-Arm Latch; Input Referred Offset; Monte Carlo Simulation; PVT Variation;

I. 서론

비교기 (Comparator)는 아날로그 신호를 디지털 신호로 변환하거나 두 신호의 크기를 비교하는 중요한 회로 요소로, ADC (Analog to Digital Converter), 오실레이터,

센서 인터페이스, 증폭기, 전압 레귤레이터와 같은 집적회로에서 필수적인 역할을 수행한다.

특히, 정밀 센서 시스템은 미세한 전압 차이를 증폭하고, 신호 무결성을 유지하기 위해 높은 정확도와 선형성을 요구하므로, 이러한 시스템에 사용되는 비교기의 성능은 매우 중요하다. 고정밀 응용에서의 비교기는 두 개의 미세한 입력 신호 간의 차이를 빠르고 정확하게 판단하는 데 핵심적인 역할을 한다.

¹ Inha University *Corresponding author: Jaehoon Jun, jaehoon.jun@inha.ac.kr
(Received Nov.1, 2024, Revised Dec. 3, 2024, Accepted Dec.10, 2024)

비교기의 정확도는 증폭된 신호의 품질과 직결되므로, 비교기의 오프셋, 속도, 전력 소모 등과 같은 성능 지표는 정밀 측정 시스템의 성능에도 직접적인 영향을 미친다. 특히 비교기의 입력 기준 오프셋 전압은 미세한 신호 차이를 정확하게 측정하는데 핵심적인 역할을 하므로, 이를 최소화하면서도 전력 소모, 동작 속도 그리고 면적 효율성 등과 같은 트레이드오프 요소 간의 최적 균형을 맞추는 것이 비교기 설계의 주요 과제이다. 이를 달성하기 위해 최적화된 구조와 트랜지스터 크기를 기반으로 회로의 대칭성을 강화함으로써 기생 성분과 프로세스 불일치를 최소화하는 설계 기법을 적용해야 한다. 따라서 본 논문에서는 고정밀 비교기 설계 과정에서 이러한 요구를 충족시키기 위한 분석적 설계 과정과 효율적인 최적화 방법론을 제시한다.

II. 본 론

1. 비교기 코어

비교기의 설계는 우선적으로 비교기의 코어 구조를 결정하는 것에서 시작되며, 이는 해당 비교기의 응용 분야에 따른 요구 사항을 충족하도록 최적화되어야 한다. 비교기의 성능을 좌우하는 주요 요소는 입력 오프셋, 동작시간, 전력 효율성 등이며, 이를 충족하기 위한 다양한 구조가 연구되고 있다. 특히, CMOS 공정을 기반으로 한 동적 래치 비교기는 속도와 전력 측면에서 매우 유리한 특성을 제공하여 고속 아날로그-디지털 변환기 (ADC), 계측 증폭기 (IA), 메모리 센싱 회로, 데이터 수신기 등 여러 고성능 응용 분야에서 널리 사용되고 있다 [1]. 본 논문에서 제안된 비교기도 고속 및 저전력 특성을 갖춘 동적 래치 비교기로 설계하였으며, 그림 1에 나타난 스트롱암 래치 (StrongArm latch)를 비교기의 코어 아키텍처로 활용하였다. 스트롱암 래치 비교기는 빠른 속도와 낮은 전력 소모를 동시에 달성할 수 있는 구조로, 특히 고속 및 저전력 ADC에서 우수한 성능을 발휘한다. 이 구조는 입력 신호가 동적 래치로 바로 전달되며, 이를 통해 높은 입력 감도와 낮은 오프셋 특성을 가지게 된다. 또한, 클럭 신호에 의해 제어되는 동작 특성으로 인해 오동작 확률이 줄어들고, 전체 시스템의 효율성을 크게 향상시킬 수 있다 [1].

2. 비교기 설계를 위한 고려사항

비교기의 기본 구조를 결정한 후에는, 비교기의 성능 요구사항을 충족하는 동시에

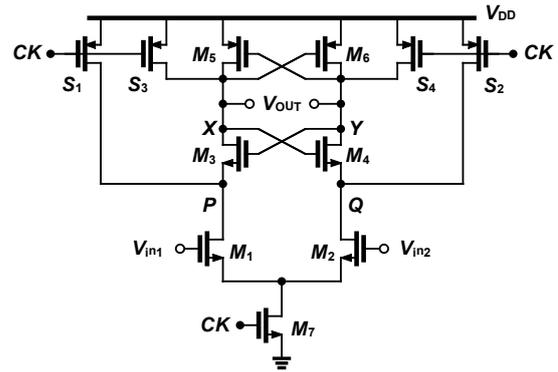


그림 1. 비교기 코어의 회로도

제한된 면적 내에서 최적화하도록 소자의 크기를 설계하고 조정하는 과정이 필요하다. 이 과정에서 고려해야 하는 주요 성능 파라미터는 입력 오프셋 (input offset), 동작속도, 전력 소모, 준안정성 (Meta-stability), 노이즈 등이 있다 [2].

비교기 입력 오프셋이란 비교기의 두 입력 단자 사이에 발생하는 미세한 전압 차이를 의미한다. 이상적인 비교기의 오프셋 전압은 0이지만, 실제 비교기에서는 사용된 소자의 임계 전압 (V_{TH}), 전류 계수 ($B = \mu C_{ox} W/L$), 내부 기생 커패시턴스 및 외부 부하 커패시턴스의 부정합으로 인해 입력 오프셋이 발생한다. 이러한 오프셋 전압은 비교기가 두 입력 신호를 정확하게 비교할 수 있는 능력을 결정하는 주요 요소이다. 따라서 입력 오프셋은 비교기의 정확도를 결정하는 주요 파라미터로, 오프셋 전압이 클 경우 잘못된 출력 결과를 초래할 수 있다. 따라서 고정밀 회로 응용에서는 오프셋을 최소화하는 것이 매우 중요하다.

동작속도는 비교기의 반응성을 결정하는 중요한 요소로, 높은 동작속도를 달성하기 위해서는 트랜지스터의 중형비 (W/L)를 최적화하고, 드레인 전류 (I_D)를 증가시켜 충분한 구동 능력을 제공하는 것이 필수적이다. 하지만, 트랜지스터의 크기를 증가시키면 동작 속도는 빨라지는 반면, 전력 소모가 증가할 수 있으므로, 이러한 트레이드오프 (trade-off)를 신중하게 고려하여 설계를 진행해야 한다.

노이즈 성능은 저전력 및 고정밀 응용에서 특히 더욱 중요하게 고려되며, 비교기의 입력 단계에서 노이즈를 줄이는 것이 중요하다. 또한, 준안정성은 비교기의 결정 시간이 충분하지 않을 경우 발생할 수 있으며, 클럭 신호에 의해 제어되는 비교기 설계 시 신중하게 고려해야 할 요소이다.

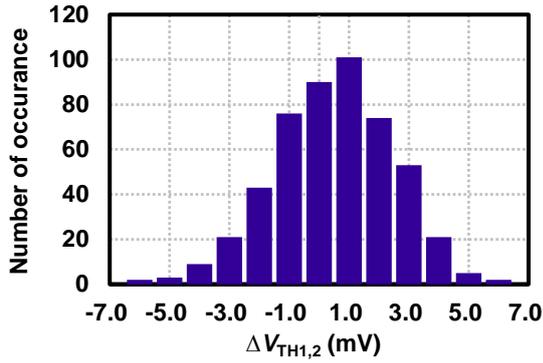


그림 2. $W/L = 2 \mu\text{m}/1 \mu\text{m}$ 에 대한 입력 쌍 트랜지스터 소자의 $\Delta V_{TH1,2}$ 분포 히스토그램

따라서 비교기 설계는 이러한 매개변수 중 일부에 대한 목표 값을 선택하고, 그에 따른 트랜지스터의 크기를 결정하는 것에서 시작된다. 본 논문에서 설계한 비교기는 저전력, 고정밀 특성을 갖는 비교기로, 10 mV 미만의 입력 오프셋, 20 kHz의 클럭 주파수, 그리고 10 nW 미만의 전력 소모를 목표로 비교기를 설계하였다.

3. 트랜지스터 크기 선택 및 최적화

고정밀 비교기 설계 시 우선사항은 여러 성능 파라미터 중 가장 중요한 입력 오프셋 요구 사항을 충족하는 트랜지스터 크기를 결정하는 것이다. 따라서, 요구된 입력 오프셋 전압 수준을 만족시키기 위한 트랜지스터의 적절한 크기를 설계 초기 단계에서 결정한 후, 다른 성능 파라미터와의 균형을 맞추고, 제한된 칩 면적 내에서 설계 효율성을 극대화하기 위해 트랜지스터의 크기를 최적화하는 과정은 비교기의 전반적인 성능을 보장하기 위한 핵심적인 요소가 된다.

(1) 입력 오프셋을 충족하는 소자 크기 선택

입력 오프셋은 주로 신호 경로 상의 트랜지스터들의 부정합 (mismatch)에 의해 발생한다. 본 논문의 비교기 구조에서는 그림 1의 신호 경로에 있는 트랜지스터 쌍 M_1 과 M_2 , M_3 와 M_4 , M_5 와 M_6 간의 부정합이 인풋 오프셋에 기여할 수 있으며, 그 중에서도 입력 쌍 M_1 과 M_2 의 임계 전압 (V_{TH}) 부정합이 오프셋에 지배적인 영향을 미친다 [1]. 임계 전압 부정합은 다음의 식으로 표현될 수 있다.

$$\Delta V_{TH1,2} = A_{VTH} / \sqrt{(W \cdot L)_{1,2}} \quad (1)$$

여기서 A_{VTH} 는 상수이며, $(W \cdot L)_{1,2}$ 는 입력단 트랜지스터 M_1 과 M_2 의 채널 폭과 길이의 곱이다 [3]. 본 논문에서는 비교기

설계에 사용된 28-nm CMOS 공정의 A_{VTH} 값을 역추적하기 위해, 몬테 카를로 시뮬레이션을 수행하여 통계적으로 $\Delta V_{TH1,2}$ 값을 구하였다.

몬테 카를로 시뮬레이션은 공정 변동성 및 소자의 불확실성으로 인해 발생할 수 있는 결과의 통계적 특성을 파악하는데 유용한 다중 확률 시뮬레이션 기법이다. 비교기 설계 과정에서도 공정 변동성 및 소자의 불확실성에 기인하는 파라미터인 임계 전압 부정합 (ΔV_{TH})과 입력 오프셋 값을 측정하고, 그 특성을 분석하기 위해 몬테 카를로 시뮬레이션을 사용할 수 있다.

먼저, 입력단 트랜지스터 M_1 과 M_2 사이의 임계 전압 부정합 ($\Delta V_{TH1,2}$)을 통계적으로 분석하기 위해 입력단 트랜지스터 쌍으로 사용된 MOSFET 소자의 500개 샘플에 대한 몬테 카를로 시뮬레이션을 수행하였다. 그림 2는 $(W/L)_{1,2} = 2 \mu\text{m}/1 \mu\text{m}$ 크기의 MOSFET 소자의 임계 전압 불일치에 대한 몬테 카를로 시뮬레이션 결과이며, 도출된 임계 전압 불일치 ($\Delta V_{TH1,2}$)의 분포를 히스토그램으로 나타낸 것이다. 시뮬레이션 결과, 2.0 mV 수준의 1σ 표준편차 임계 전압 부정합을 갖는 것을 확인할 수 있었다. 동일한 몬테 카를로 시뮬레이션을 소자의 채널 폭과 길이 (W/L)를 변경하며 반복 수행함으로써, 식 (1)에 따른 A_{VTH} 값을 통계적으로 도출하고, 임계 전압 부정합 ($\Delta V_{TH1,2}$)과 소자 크기 간의 상관관계를 분석할 수 있다.

그림 3은 그 결과를 도식적으로 나타낸 것으로, 소자의 크기가 증가함에 따라 임계 전압 부정합은 점차 감소하는 경향을 보이며, 선형 근사를 통해 A_{VTH} 는 $1.9 \text{ mV} \cdot \mu\text{m}$ 수준으로 확인되었다. 이는 기존 문헌 [3]에서 제시된 이론의 식 (1)을 만족하며, 소자의 크기가 작아질수록 부정합이 증가하는 스케일링 효과의 한계를 보여준다. 이러한 경향은 소자의 크기가 커질수록 공정 변동성에 대한 민감도가 낮아져, 임계 전압의 부정합이 감소함을 시사한다. 또한, 특정 $(W/L)_{1,2}$ 값 이상에서는 소자의 크기를 증가시켰음에도 불구하고, 임계 전압 부정합이 더 이상 유의미하게 감소하지 않는 포화 영역이 존재함을 확인할 수 있다. 이는 소자의 치수를 무작정 증가시키는 것이 성능 향상에 기여하지 않음을 의미하며, 결국 $\Delta V_{TH1,2}$ 와 소자의 크기 및 전력소모 간 균형을 고려한 적절한 최적화가 필요함을 보여준다.

이처럼 몬테 카를로 시뮬레이션을 사용한 소자의 부정합 특성 분석은 고정밀 비교기 설계 시, 입력 오프셋 최소화를

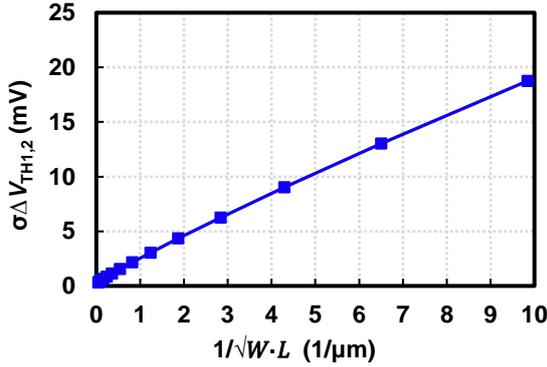


그림 3. Standard deviation of $\Delta V_{TH1,2}$ versus $1/\sqrt{(W \cdot L)}_{1,2}$

위한 소자 크기 선정 과정에서 유용하게 활용될 수 있다.

(2) 파라미터 간의 트레이드 오프 관계

비교기 설계에서 소자의 크기를 최적화하는 과정은 다양한 성능 요구 사항 간의 트레이드-오프를 면밀히 분석하여 합리적인 최종 소자 크기를 결정하는 것이다. 입력 오프셋, 속도, 전력 소모, 그리고 면적과 같은 주요 파라미터는 서로 상충 관계에 있으며, 이를 최적화하기 위해서는 각 파라미터의 영향력을 이해해야 한다.

가. 입력 오프셋과 트레이드 오프

입력 오프셋 성능을 보장하기 위해 트랜지스터의 크기를 결정하는 과정에서 트레이드오프 관계로 인해 다른 지표의 성능 비합리적인 수준으로 떨어지지 않는지 확인하며 설계를 진행해야 한다. 앞서 살펴보았듯, 입력 오프셋을 줄이기 위해서는 소자의 크기를 늘려야 한다. 따라서, 입력 오프셋과 다른 파라미터 간의 트레이드오프는 소자의 면적 ($W \cdot L$)과 다른 파라미터 간의 트레이드오프 관계로 이해할 수 있다. 즉, 입력 오프셋을 줄일 수록 비교기의 정확도는 향상되지만, 이는 면적과 전력 소모의 증가를 초래하여 회로의 효율성을 떨어뜨릴 수 있다. 따라서 설계자는 요구되어지는 최대 입력 오프셋을 만족하는 범위 내에서 전력 효율성과 면적 효율성을 고려해 최적의 소자 크기를 설정해야 한다.

나. 속도와 트레이드 오프

비교기의 속도는 트랜지스터의 드레인 전류 (I_D)와 밀접한 관련이 있다. 본문에서 설계한 비교기 구조의 지연 시간 t_{delay} 는 그림 1의 PMOS M_5 , M_6 이 켜질 때까지 부하 커패시턴스 C_L 의 용량성 방전 시간 t_0 와 두 개의 교차 결합된 인버터의 래칭 지연시간 t_{latch} 로 구성된다. 만약 V_{in2} 가

V_{in1} 보다 크면, 다음과 같은 식으로 표현할 수 있다 [3].

$$t_{delay} = t_0 + t_{latch} \approx \frac{2 \cdot C_L \cdot |V_{THP}|}{I_{tail}} + \frac{C_L}{g_{m,eff}} \cdot \ln \left(\frac{V_{DD}}{4 \cdot |V_{THP}| \cdot \Delta V_{in} \sqrt{\beta_{1,2}}} \right) \quad (2)$$

여기서 I_{tail} 는 M_7 의 드레인 전류이며, $g_{m,eff}$ 는 back-to-back 인버터 (M_3 , M_5 와 M_4 , M_6)의 유효 트랜스컨덕턴스이고, $\beta_{1,2}$ 는 입력 트랜지스터의 전류계수이다. 따라서, tail current source M_7 의 높은 드레인 전류는 빠른 응답 속도를 제공할 수 있지만, 드레인 전류를 증가시키기 위해서는 M_7 의 채널 폭 (W)을 늘려야 하므로, 결국 비교기의 동작속도는 면적 및 전력 소모와 트레이드오프 관계를 갖는다.

다. 전력 소모와 트레이드 오프

동적 비교기는 정적 비교기와 달리 정적 전력을 소모하지 않으며, 시스템 클럭의 활성 엣지에서만 비교 결과를 결정한다. 이로 인해 동적 래치 비교기의 전력 소모는 클럭 속도에 의존한다. 제안된 비교기의 총 전력 소모 (P_{tot})는 신호 경로의 전력 소모 (P_{sig})와 클럭 경로의 전력 소모 (P_{CK})의 합이며, 아래의 수식으로 표현된다 [2].

$$P_{sig} = 2 \cdot C_P \cdot V_{DD} \cdot f_{CK} + C_X \cdot V_{DD} \cdot f_{CK} \quad (3)$$

$$P_{CK} = 2 \cdot C_{CK} \cdot V_{DD} \cdot f_{CK} \quad (4)$$

$$P_{tot} = P_{sig} + P_{CK} \quad (5)$$

여기서, C_P 와 C_X 는 각각 노드 P와 X의 커패시턴스 (capacitance)이며, C_{CK} 는 M_7 및 4개의 PMOS 스위치들 (S_1 - S_4)의 게이트 커패시턴스의 합이다. V_{DD} 와 f_{CK} 는 비교기가 사용될 회로의 사양에 따라 이미 정해진 값이므로, 전력 소모를 줄이기 위해서는 커패시턴스 C_P , C_X 그리고 C_{CK} 를 감소시켜야 한다. 이러한 커패시턴스는 트랜지스터의 면적 ($W \cdot L$)과 비례하기 때문에, 비교기의 전력 소모를 감소시키기 위해서는 트랜지스터의 크기를 줄여야 한다. 그러나 트랜지스터 크기를 제한하면 속도 및 입력 오프셋 성능에 영향을 미치기 때문에, 이는 면적 및 전력 소모와의 트레이드오프 관계를 형성한다.

결국, 입력 오프셋 전압을 줄이고, 속도를 증가시키려면 트랜지스터 크기를 증가시켜야 하지만, 이는 비교기의 전력 소모와 면적을 필연적으로 증가시킨다. 이러한 점에서, 트랜지스터 크기의 최적화 과정에서는 각 성능 지표 간의 균형을

맞추는 것이 중요하며, 최종적으로는 요구 사항을 충족하는 동시에 전력과 면적 효율성을 고려한 최적의 설계를 달성해야 한다. 따라서, 성능 요구 사항과 물리적 제약을 종합적으로 고려하여 설계 결정을 내리는 것이 필요하다.

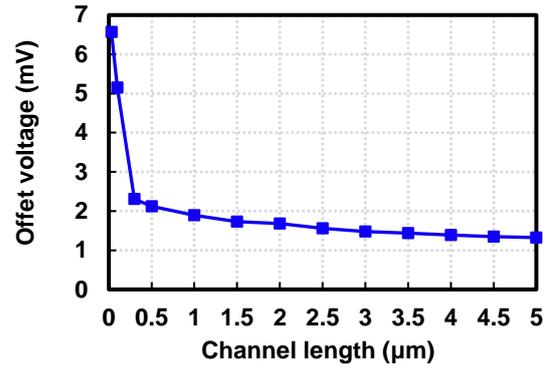
III. 분석결과 및 최종 설계

1. 몬테 카를로 분석을 통한 소자 크기 결정

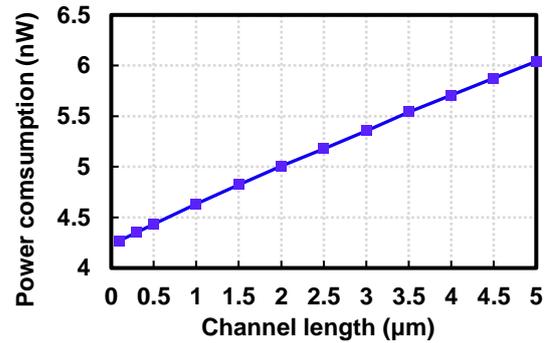
본 논문에서는 트랜지스터 크기 변화에 따른 비교기의 입력 오프셋 및 전력 소모 변화를 확인하고 분석적으로 검증하기 위해, 트랜지스터의 크기를 변경시켜가며 비교기의 입력 오프셋과 전력소모를 측정하는 몬테 카를로 시뮬레이션을 수행하였다. 사용된 MOSFET 소자에 대하여 채널 길이를 30 nm 에서 5 μm 까지 12 개의 구간으로 나누어 변화시키고, 각 채널 길이와 그에 비례하는 채널 폭에서의 비교기의 입력 오프셋과 전력 소모에 대한 500 개 샘플의 몬테 카를로 시뮬레이션을 수행하였으며, 이를 통해 소자 크기 변화에 따른 입력 오프셋 및 전력 소모의 변화 특성을 정량적으로 분석하였다. 이 때, $\Delta V_{TH1,2} \leq 2 \text{ mV}$ 를 목표로, 전력소모 및 동작속도를 고려하고, $A_{VTH} = 1.9 \text{ mV} \cdot \mu\text{m}$ 를 사용하여 식 (1)을 계산한 결과를 바탕으로, 중형비는 $W/L = 8$ 로 설정하였다. 이와 같은 몬테 카를로 시뮬레이션 결과를 바탕으로, 트랜지스터 크기와 입력 오프셋 및 전력 소모 상관관계를 고려하여 트랜지스터의 크기를 최적화할 수 있다.

그림 4(a)에 제시된 바와 같이, 트랜지스터 크기 변화에 따른 비교기 입력 오프셋 변화를 분석한 결과, 트랜지스터의 크기가 증가함에 따라 입력 오프셋 전압이 감소하는 추이를 보였다. 특히, $L \leq 0.3 \mu\text{m}$ 구간에서는 입력 오프셋 전압이 급격히 감소하지만, $L \geq 0.3 \mu\text{m}$ 구간에서는 오프셋 전압 감소 효과가 점차 완화되는 포화 현상이 관찰되었다. 이는 작은 트랜지스터 크기에서 기인하는 공정 변동성 및 불균형이 비교기의 입력 오프셋 전압에 큰 영향을 미치기 때문이다. 따라서, 입력 오프셋 전압을 효과적으로 최소화하기 위해서는 채널 길이가 최소 0.3 μm 이상이어야 한다. 그러나 그 이상으로 채널 길이를 더 늘리는 것은 면적 및 전력소모 효율성과의 트레이드오프를 고려했을 때 비효율적일 수 있다.

그림 4(b)는 트랜지스터의 크기 변화에 따른 비교기의 전력 소모 특성을 나타낸



(a)



(b)

그림. 4 비교기의 몬테 카를로 시뮬레이션 결과 (a) 채널 길이 변화에 따른 평균 입력 오프셋 변화 (b) 채널 길이 변화에 따른 전력 소모 변화

그래프이다. 전체 구간에서 트랜지스터의 크기가 증가할수록 전력 소모가 선형적으로 증가하는 양상을 보인다. 이는 채널 길이와 폭이 증가함에 따라 트랜지스터의 구동 전류가 증가하여 전력 소모 역시 증가하기 때문이다. 따라서, 트랜지스터의 채널 길이를 지나치게 크게 설계하는 것은 전력 소모 및 면적 측면에서 비효율적일 수 있으므로, 입력 오프셋 전압은 최소화하고, 전력 소모와 면적을 제한하여 효율성을 고려한 최적의 설계를 도출해야 한다.

이러한 몬테 카를로 시뮬레이션 결과를 바탕으로 입력 오프셋 성능만을 고려할 경우, 3 μm 이상의 채널 길이를 선택하는 것이 적합할 수 있다. 그러나, 비교기 설계에서는 입력 오프셋 전압 뿐만 아니라, 면적, 전력 효율성, 동작 속도와 같은 다른 성능 요소도 종합적으로 고려해야 한다. 이러한 종합적인 설계 관점에서, 입력 오프셋 성능을 충족시키면서도 비교기의 면적과 전력 소모를 최소화하기 위해 입력단 트랜지스터 채널 길이를 0.5 μm 로 설정하는 것이 가장 합리적이라는 결론에 도달하였다. 따라서, 스트롱암 래치 코어 비교기의 입력 트랜지스터 쌍의 크기는 입력 오프셋 전압

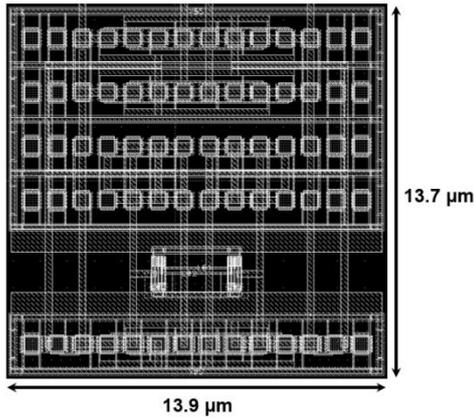


그림 5. Layout of the proposed comparator with symmetric design

최소화와 전력 소모 효율성 간의 균형을 최적화하고, 비교기의 면적과 속도를 종합적으로 고려한 결과, 최종적으로 채널 길이 $L = 0.5 \mu\text{m}$, 채널 폭 $W = 4 \mu\text{m}$ 로 결정되었다. 이러한 설계 파라미터는 몬테 카를로 시뮬레이션 결과와 분석적 접근을 기반으로, 주어진 요구 사항을 만족하도록 소자의 크기를 최적화하여 도출한 값이다.

2. 최종 소자 크기를 반영한 비교기 레이아웃 (Layout) 설계 및 검증

비교기의 구조와 각 소자의 크기를 결정한 이후에는 이를 토대로 최종적인 레이아웃을 설계하고, 레이아웃 후 (post-layout) 시뮬레이션을 수행하여 기생 성분 (parasitic components)과 공정 변동 (process variation)이 포함된 조건에서의 성능을 확인하였다. 본 논문에서는 레이아웃 단계에서 기생 요소로 인한 불균형을 최소화하고 입력 오프셋 전압을 줄이기 위해, 대칭 배치 (symmetric placement) 및 공통 중심 구조 (common-centroid structure) 기법을 적용하여 그림 5 와 같이 레이아웃 설계를 수행하였다. 즉, 입력 트랜지스터 쌍이 공통 중심을 기준으로 방사형 대칭을 이루도록 배치함으로써, 공정 변동에 따른 영향을 상쇄하고, 기생 요소의 균형을 유지하여 입력 오프셋 전압을 최소화하였다 [10].

완성된 레이아웃 구조에 대한 post-layout 시뮬레이션 결과, 비교기의 평균전력 소모는 4.547 nW 로 측정되었으며, 입력 오프셋 전압의 1σ 표준편차는 2.88 mV 로 나타났다. 이러한 결과값을 레이아웃 이전 (pre-layout) 시뮬레이션 결과와 비교한 결과, 전력 소모와 입력 오프셋 전압이 각각 2.6% 및 35.8% 증가한 것을 확인할 수 있었다. 이러한 증가는 동적 전력 소모 증가,

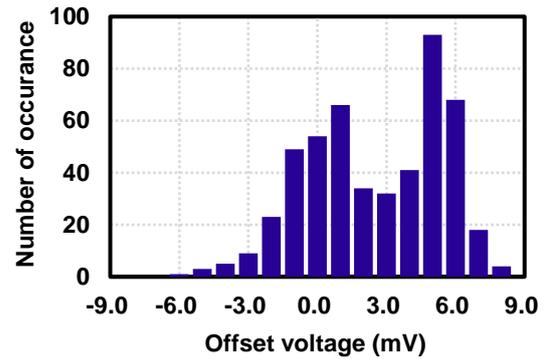


그림 6. Post-layout simulation 결과 입력 오프셋 분포 히스토그램

기생 저항으로 의한 전압 강하, 그리고 기생 커플링에 따른 인접 신호 간 간섭으로 인해 임계 전압 (V_{TH}) 불균형이 심화된 결과로 해석된다 [11]. 또한, 트랜지스터 모델의 비선형성 증가로 인해 회로의 동작점이 미세하게 변화함으로써 입력 오프셋 전압의 증가를 초래한 것으로 분석된다.

그럼에도 불구하고, 변화한 결과값이 여전히 설계 목표 범위 내에 있음을 확인하였으며, 최종적으로 post-layout 단계에서도 설계 목표를 성공적으로 달성했음을 입증하였다. 이러한 post-layout 시뮬레이션 결과는 설계의 신뢰성을 검증함과 동시에 비교기의 최종 성능을 효과적으로 입증한다.

IV. 결론

본 논문에서는 고정밀 비교기의 설계 및 검증 과정을 체계적으로 분석하고, 비교기의 주요 파라미터와 성능 지표 간의 트레이드오프 관계를 고려한 최적화 방법론을 제시하였다. 입력 오프셋의 중요성을 강조하며, 이를 최소화하기 위한 분석적 설계 기법을 제안하고, 몬테 카를로 시뮬레이션을 통해 소자 크기와 임계 전압 부정합 및 입력 오프셋 전압 간의 상관관계를 정량적으로 분석하여 비교기 성능의 신뢰성을 높일 수 있는 방법론을 도출하였다. 레이아웃 단계에서는 대칭 배치와 공통 중심 구조 기법을 적용하여 공정 변동성과 기생 성분으로 인한 입력 오프셋 전압의 영향을 최소화하였다. 최종적으로, 시뮬레이션 결과를 통해 성능에 영향을 미치는 변수에 대한 이론적 예측을 검증하고, 반복적인 최적화를 통해 입력 오프셋 전압 최소화, 전력 소모 절감, 그리고 면적 효율성 간의 균형을 성공적으로 달성하였다. 본 연구는 고정밀 비교기에 대한 분석적 설계법과 성능 및 신뢰도의 검증 방법론을 제시하였다.

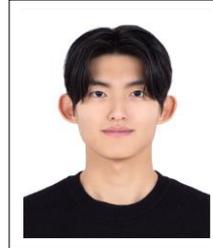
감사의 글

This work was supported in part by National R&D Program through the National Research Foundation of Korea (NRF) grant funded by Ministry of Science and ICT (RS-2024-00406790). This work was supported in part by the National R&D Program through the Korea Evaluation Institute of Industrial Technology (KEIT) under Grant RS-2024-00458468 (Ministry of Trade, Industry and Energy). The EDA tool was supported by the IC Design Education Center (IDEC), Korea.

참고 문헌

- [1] B. Razavi, "The StrongARM Latch [A Circuit for All Seasons]," *IEEE Solid-State Circuits Magazine*, vol. 7, no. 2, pp. 12-17, Jun. 2015.
- [2] B. Razavi, "The Design of a Comparator [The analog mind]," *IEEE Solid-State Circuits Magazine*, vol. 12, no. 4, pp. 8-14, Nov. 2020.
- [3] S. Babayan-Mashhadi and R. Lotfi, "Analysis and Design of a Low-Voltage Low-Power Double-Tail Comparator," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 22, no. 2, pp. 343-352, Feb. 2014.
- [4] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, "Matching Properties of MOS transistors," *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433-1440, Oct. 1989.
- [5] A. Graupner, "A Methodology for the Offset-Simulation of Comparators," *The Designer Guide Community*, vol. 1, pp. 1-7, Dec. 2006.
- [6] H. Jeon et al., "Offset Voltage Analysis of Dynamic Latched Comparator," *2011 IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS)*, pp. 1-4, Sept. 2011.
- [7] H. Li, "Modeling of Threshold Voltage Distribution in NAND Flash Memory: A Monte Carlo Method," in *IEEE Transactions on Electron Devices*, vol. 63, no. 9, pp. 3527-3532, Sept. 2016.
- [8] M. Nasrollahpour, R. Sreekumar and S. Hamedihagh, "Low Power Comparator with Offset Cancellation Technique for Flash ADC," *2017 14th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD)*, pp. 1-4, Jul. 2017.
- [9] P. Nuzzo, F. De Bernardinis, P. Terreni, and G. Van der Plas, "Noise Analysis of Regenerative Comparators for Reconfigurable ADC Architectures," *IEEE Transactions on Circuits Systems, I, Reg. Papers*, vol. 55, no. 6, pp. 1441-1454, Jul. 2008.
- [10] Q. Ma, L. Xiao, Y. -C. Tam and E. F. Y. Young, "Simultaneous Handling of Symmetry, Common Centroid, and General Placement Constraints," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 30, no. 1, pp. 85-95, Jan. 2011.
- [11] L. Wei, F. Boeuf, T. Skotnicki and H.-S. P. Wong, "Parasitic Capacitances: Analytical Models and Impact on Circuit-Level Performance," *IEEE Transactions on Electron Devices*, vol. 58, no. 5, pp. 1361-1370, May. 2011.

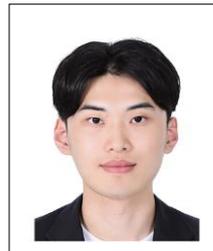
최 석 준 (Sukjun Choi)



2020년 3월~현재 : 인하대학교 전기공학과 학사과정

<관심분야> 혼성신호 집적회로 설계, 초소형 이미지

조 정 국 (Jungkook Jo)



2024년 2월 : 인하대학교 전기공학과 졸업
2024년 3월~현재 : 인하대학교 전기컴퓨터공학과 석사과정

<관심분야> 센서 리드아웃 시스템 설계, 저전압 계측 증폭기 설계

전 재 훈 (Jaehoon Jun), 평생회원



2013년 2월 : 서울대학교 전기컴퓨터공학부 졸업
2019년 8월 : 서울대학교 전기컴퓨터공학부 박사 졸업
2019년 9월~2023년 2월 : 삼성전자 System LSI 사업부 책임연구원

2023년 3월~현재 : 인하대학교 전기공학과 조교수

<관심분야> 아날로그 및 혼성신호 집적회로 설계, 센서 리드아웃 시스템, 전력관리 집적회로, 뉴로모픽 집적회로