

On-Silicon Micro Display Backplane 설계의 기술적 과제

김용덕, 최병덕
(한양대학교)

1. 서론

최근 Apple사의 비전 프로가 공개됨에 따라, 더디게 발전되고 있던 메타버스 (metaverse)에 대한 주목도가 다시 커지고 있다. 메타버스는 가상을 의미하는 메타와 세계를 의미하는 유니버스의 합성어로, 현실을 초월한 가상 세계를 통해 다양한 상호 작용이 가능한 디지털 세계를 의미한다.

온-실리콘 마이크로 디스플레이는 증강현실 (AR), 가상현실 (VR) 등을 기반으로 하는 메타버스 시스템의 핵심 부품으로서, 일반 직시형 디스플레이와는 매우 다른 특성이 요구된다. 우선, 높은 몰입도를 구현하기 위하여 그림 1과 같이 공간에 대한 field of view (FOV) 성능이 매우 중요하다.^[1] 사람 눈의 수평방향 FOV는 양안 약 120도, 수직방향의 FOV도 약 120도이다. 또한 사람의 눈은 기본적으로 60 pixel per degree (PPD)의 분해능을 가지기 때문에, FOV 전체를 커버하기 위해 필요한 pixel 개수는 최소 7.2k×7.2k에 이른다. 또한, 마이크로 디스플레이는 광학계를 통해서 눈에 빛이 전달되는 방법을 사용하기 때문에 광원에서 생성된 빛의 일부만이 사람 눈에 다다르고, 특히 AR 기기의 경우 야외 시인성이 매우 중요하기 때문에 최소 3,000 cd/m² 이상의 높은 휘도가 요구된다.^[2]

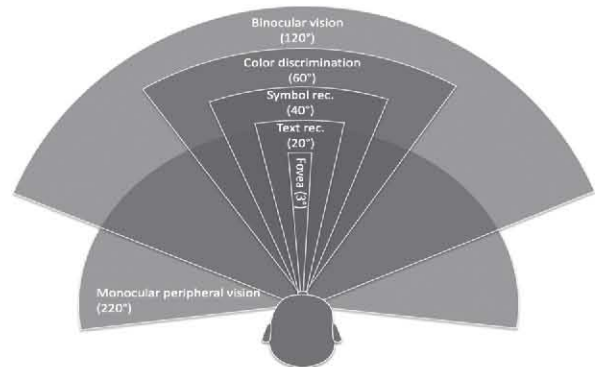


그림 1. Field of view^[1]

마이크로 디스플레이는 그 명칭에서 나타남바와 같이 약 1 inch 전후의 화면 크기를 가지므로, 유리/플라스틱 기판에 제작되는 TFT를 사용하지 않고, 실리콘 기판 위에 제작되는 디스플레이 패널을 사용한다. 대표적인 마이크로 디스플레이로 liquid crystal on silicon (LCoS)와 organic light emitted diode on silicon (OLEDoS)가 있으며, μ LED 기반의 마이크로 디스플레이도 활발히 연구가 진행되고 있다. LCoS는 광원에서 나오는 빛을 반사하는 반사형 디스플레이로, 화소 구조가 상대적으로 간단하지만, contrast ratio가 낮고, response time이 느리다는 단점이 있다. 또한 별도의 광원이 필요하여 가볍고 얇은 시스템 구현이 어렵기 때문에, 주로 얼굴에 거치 형태로 구현되는 AR/VR 기기의 활용에 불리하

다. 이에 반해 OLEDoS는 높은 휘도 구현이 가능하고, response time이 짧고, dark 표현이 유리하여 contrast ratio가 높은 장점을 가진다. 이러한 이유로, AR/VR용 마이크로 디스플레이로 OLEDoS에 대한 활발한 연구가 이루어지고 있다.^[3]

본 기고문에서는 향후 마이크로 디스플레이로 널리 사용된 것으로 기대되는 OLEDoS의 구현에 필요한 화소 회로의 특징과 기술적 과제에 대하여 설명하고, 이에 대한 해결책으로 모색되고 있는 방법에 대하여 논의하고자 한다.

2. TFT OLED 화소 회로

OLEDoS 화소 회로의 설명에 앞서, 그 출발점이 되는 종래의 TFT OLED 화소 회로에 대하여 간단히 살펴보고자 한다. OLED 화소 회로는 그림 2와 같은 입력 data전압을 받아, OLED에 전류를 인가하는 전류 구동 방법을 사용하며, 인가된 전류 크기를 이용하여 휘도를 조절한다. 따라서 균일한 휘도를 얻기 위해서는 인가된 data 전압과 전류의 관계를 나타내는 식(1)에서 볼 수 있듯이 TFT의 threshold voltage (V_{TH})와 mobility 등의 균일성 확보가 매우 중요하다.

$$I_{OLED_SAT} = \frac{1}{2} \mu_{eff} C_{OX} \frac{W}{L} (V_{Data} - V_{TH})^2 \quad (1)$$

그러나 현실적으로 TFT의 소자 특성의 충분한 균일성 확보가 매우 어렵기 때문에, 소자 특성 편차를 보상할 수 있는 보상 기능을 내재한 화소 회로를 필요로 한다.

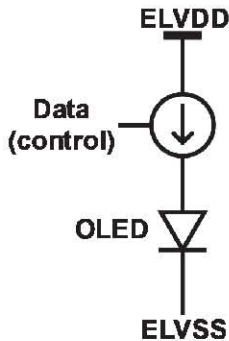


그림 2. OLED의 전류 구동 방법

보상 회로는 모바일 디스플레이에서 사용하는 내부 보상 회로와 대형 디스플레이에서 사용하는 외부 보상 회로로 나뉘어진다. 대표적인 내부 보상 회로에는 그림 3과 같은 스마트폰에 주로 사용되는 7T 1C 회로가 있다.^[4] 그러나, 이와 같은 화소 회로를 OLEDoS 화소 회로에 사용하기에는 transistor 수가 너무 많다. 대표적인 외부보상 회로인 3T1C 회로는 transistor 수가 적게 구현한다는 장점이 있지만, 외부 회로에 기능 추가로 인한 면적이 크게 증가하기 때문에 OLEDoS에 적용하기 쉽지 않다. 따라서 OLEDoS에 적용 가능한 보상 기법 및 보상 화소 회로의 연구 개발이 절실히 요구된다.

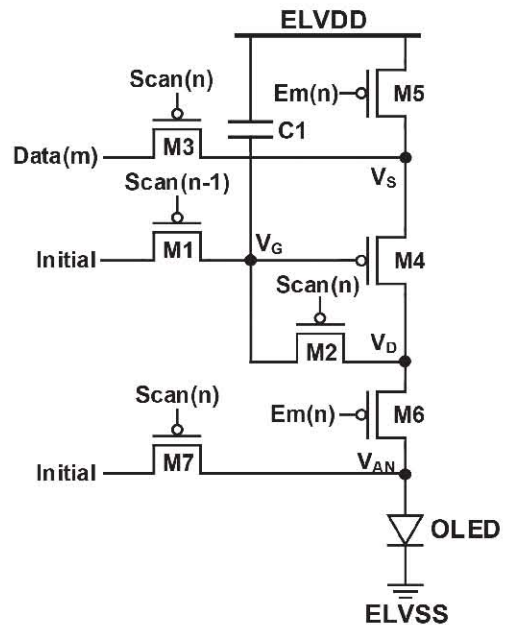


그림 3. 내부 보상 회로 예시 (7T 1C)

3. OLEDoS 화소 회로의 기술적 과제

TFT OLED와 달리 OLEDoS 화소 회로는 좁은 면적으로 인하여 transistor 수가 제한되는 문제 이외에도 많은 issue가 존재한다.

첫째, 특히 AR 기기에 사용되는 OLEDoS는 야외 시인성이 매우 중요하고, 광학계로 인한 광효율 감소에 대응하기 위하여 높은 최대 휘도가 요구된다. 그림 4와 같이, OLED를 단일 layer를 사용하는 single구

조는 turn-on 전압이 1~2 V로 낮은 대신 효율이 낮다. 반면에, 여러 층의 OLED를 사용하는 tandem 구조는 효율이 높다. 그러나, turn-on 전압이 5~6 V 수준이기 때문에 화소 회로 구현을 위해서 고전압 소자가 필요하다.

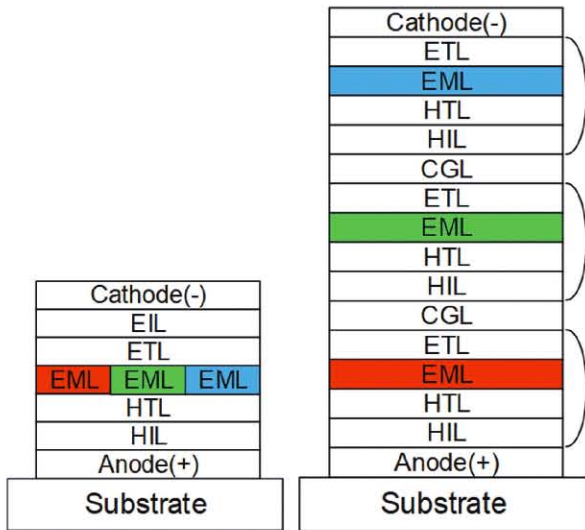


그림 4. (좌) Single OLED와 (우) Tandem OLED

고전압 소자의 경우, 저전압 소자 대비 면적이 크고, breakdown voltage가 증가하여 oxide 층의 두께가 증가하기 때문에 단위면적당 capacitance가 감소한다. 따라서 매우 좁은 면적의 OLEDoS 화소 회로에 구현 가능한 storage capacitor의 크기가 매우 제한된다. 이로 인해, 1 frame time 동안 인가된 data 전압을 일정하게 유지하기 어렵고, 그 결과 그림 5와 같이 voltage holding ratio (VHR)이 감소하여 OLED current가 1 frame time 동안 변화하게 된다. 또한, 좁은 면적에 고전압 소자를 사용하기 때문

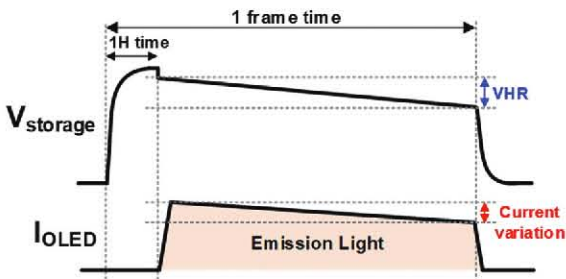


그림 5. Voltage holding ratio issue

에 최소 크기의 transistor를 사용하여 화소 회로를 구현하게 되면 소자 편차가 증가하는 문제가 발생한다. 따라서 VHR 문제와 소자 편차 문제를 해결할 수 있는 방법이 필요하다.

둘째, TFT OLED 화소에서는 LTPS 또는 oxide TFT를 사용하고, 효율이 낮은 single 구조 OLED를 사용하는데 반해, OLEDoS 화소에서는 mobility가 높은 silicon 소자와 효율이 높은 tandem 구조 OLED를 사용하기 때문에 그림 6과 같이 data 전압 범위가 좁아지게 된다. 좁은 data 전압 범위는 power 소모가 감소하는 장점이 있지만, data driver에서 인가되는 data 전압을 정교하게 조절해야 하는 문제가 발생한다. 따라서 data driver에서 구현이 가능한 data 전압 범위를 확보하는 것이 필요하다. 현재 OLED에 사용되는 data driver는 3~4 V 이상의 전압 범위를 10-bit으로 나누지만, OLEDoS는 1 V 이내에서 10-bit 전압 분할이 이루어져야 한다. 이는 이어서 설명할 OLEDoS의 전류 범위가 OLED에 비하여 2 order 이상 낮다는 점과도 관련된다.

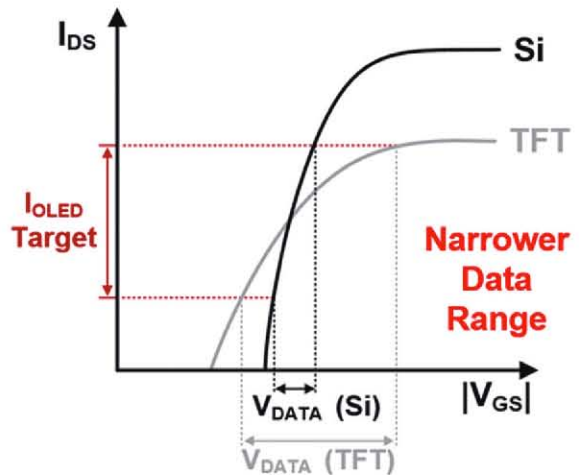


그림 6. OLEDoS 화소 회로의 동작 영역과 좁은 data range

셋째, OLEDoS 화소 회로의 전류는 일반적인 mobile OLED에 비하여 2 order 이하의 매우 낮은 전류를 사용한다. Tandem OLED의 효율이 3~4 cd/A, 휘도를 3,000 cd/m²으로 가정하고, 화소 면적이 4,000 PPI, 개구율을 50 %로 가정하면 최대 전류가 수 nA이다. 이때, 최소 전류는 수~수십 pA에

불과하며, 이는 실리콘 transistor의 누설 전류의 영향을 받는 수준으로 낮은 전류이다. 또한 이처럼 작은 전류는, transistor의 동작영역이 saturation이 아닌 sub-threshold 영역으로 들어가게 한다. 식 (2)와 같이 sub-threshold 영역에서의 V_{TH} 특성변화로 인해 전류는 지수적으로 변하기 때문에 그림 7과 같이, 약간의 특성 편차만 발생하더라도 화소의 전류 편차가 매우 크게 발생하게 된다. 따라서 TFT OLED 대비, 높은 구동전압 정밀도가 요구되고, 전류보상의 어려움은 커지게 된다.

$$I_{OLED_Sub} = I_0 \frac{W}{L} e^{(V_{Data} - V_{TH})/\eta V_T} \quad (2)$$

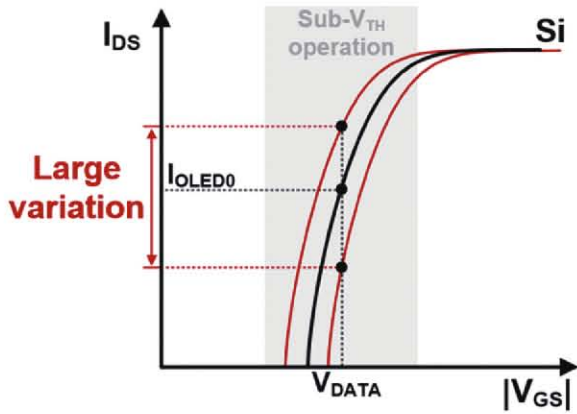


그림 7. OLEDs 화소 회로의 전류 편차

넷째, OLEDs 화소 회로에 data 전압을 인가하는 data driver의 설계난이도가 종래 OLED driver에 비하여 훨씬 높다. 앞서 설명한 바와 같이 data 전압 범위가 매우 좁을 뿐 아니라, data driver를 집적 가능한 폭이 매우 좁다. 4,000 PPI를 가정하고, 한 개의 화소를 3개의 RGB 서브화소로 구현하면 한 개 화소의 면적은 $2.1 \mu\text{m} \times 6.3 \mu\text{m}$ 이 된다. 따라서 1개의 서브 화소에 맞춰 data driver를 설계하면, 폭이 $2.1 \mu\text{m}$ 이 되고, 기존 TFT OLED에서 사용하는 data driver의 면적 $16 \mu\text{m} \times 483 \mu\text{m}$ ^[5-6]과 비교하면, 그 폭이 1/8밖에 되지 않는다.

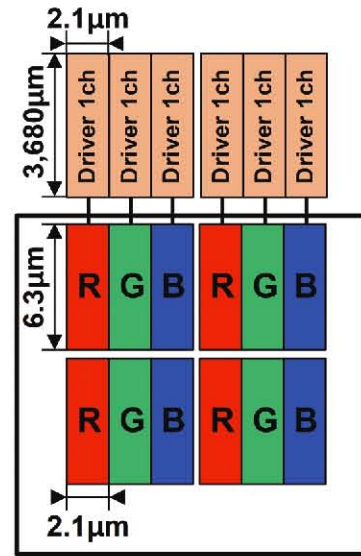


그림 8. OLEDs data driver의 폭과 높이

이러한 어려움을 완화시키기 위하여 복수개의 data line을 data driver 1개의 출력이 번갈아 가며 구동하는 demultiplexing 구동이 일반적으로 사용되지만, 여전히 면적 문제는 해결해야 할 과제이다. 또한, data driver를 화소와 같이 실리콘 기판에 집적하지 않고 별도의 IC로 만들어서 연결하는 방법도 고려되고 있으나, 좁은 pitch에 수많은 연결을 하는 것도 양산성 등을 고려할 때 쉽지 않은 문제이다.

본고에서는 제한된 지면으로 인하여 이상과 같이 4가지 기술적 과제를 소개하였으나, 이 외에도 전통적인 OLED와 달리 여러 해결해야 할 과제들이 있다.

4. OLEDs 화소 회로

앞선 3절에서 언급한 OLEDs 화소 회로의 기술적 과제를 해결하기 위하여 현재까지 제안된 기술들의 일부를 소개하고자 한다. 우선, 좁은 data 전압 범위를 해결하기 위하여, 대표적으로 3가지 방법이 제안되었다. 첫 번째로 그림 9와 같이 driving transistor (M2)의 source에 저항 (R_L) 또는 diode-connected transistor (M3)를 이용하는 source degeneration 방법이다. 그림 9(a)와 같이 R_L 을 사용하는 방법은 전류에 의한 IR drop을 이용하여 M2

에 인가되는 V_{GS} 전압을 낮춤으로써, 외부에서 인가되는 data 전압 범위를 넓히는 방법이다. 그러나, 화소 회로의 전류가 수 nA이기 때문에 수백k Ω 의 저항을 사용해야 하므로, 적용하기 어렵다. 이에 반하여, 그림 9(b)와 같이 M3를 이용하여 M2, M3 transistor를 직렬로 연결하면, data 전압 범위를 대략 2배 정도 넓힐 수 있도록 설계가 가능하다.

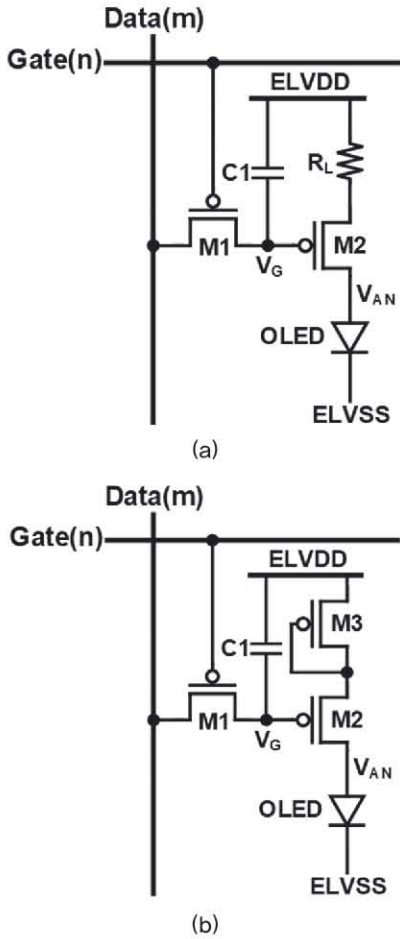


그림 9. Source degeneration 화소 회로 (a) resistor type (b) diode-connected type

두 번째 방법으로 그림 10과 같이 driving transistor (M2)의 gate가 아닌 body에 data를 인가하는 body driven 방법이 제안되었다.^[7] 이 때, silicon transistor는 TFT와 달리, body effect로 인해 V_{TH} 전압이 증가하게 된다. 통상 body effect coefficient가 0.1~0.2일 때, data 전압 범위는 대략 5~10배 증가한다. 그러나, body driven 방법은

화소 회로마다 body의 n-well이 서로 분리되어야 하므로, 고집적 화소 회로에는 적용하기 어렵다.

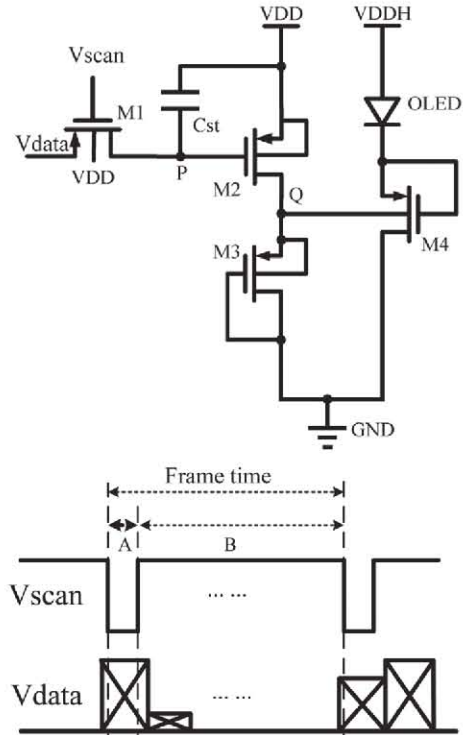


그림 10. Body driven 화소 회로^[7]

세 번째 방법은 그림 11과 같이 capacitive coupling을 이용하는 방법이다.^[8] Capacitive coupling은 storage capacitor(C_s)와 parasitic capacitor (C_p)를 이용하고, 화소 회로의 동작은 다음과 같이 설명할 수 있다. (1) reset phase에서는 scan 신호와 EM 신호가 high가 되면서 N2, N3, N4가 켜지고, driving transistor (N1)의 gate는 ELVDD, source는 V_{DATA} 가 되어 storage capacitance에 저장된다. (2) programming & V_{TH} sampling phase에서는 EM 신호가 low가 되면서 N4가 꺼지고, N1의 gate 전압이 $V_{DATA} + V_{TH}$ 까지 방전되면서, C_s 에 V_{TH} 가 sampling된다. (3) emission phase에서는 N2, N3가 꺼지고, N4가 켜지면서 N1에 의해 OLED에 전류가 전달된다. 이 때, anode 전압 변화가 발생하여 C_s 와 C_p 의 직렬 연결되어 gate 전압이 $V_{DATA} + V_{TH} + \alpha(V_{ANODE} - V_{DATA}) = (1 - \alpha) V_{DATA} + V_{TH} + \alpha V_{ANODE}$ 까지 coupling에 의해 올라가

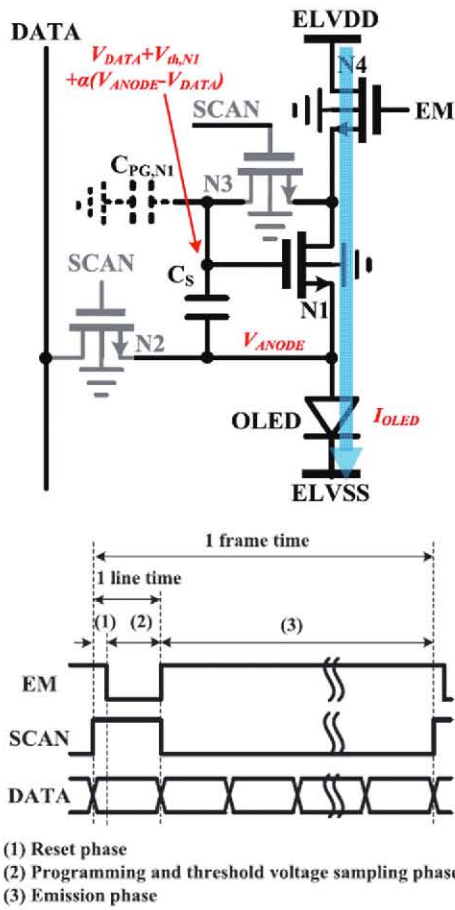


그림 11. Capacitive coupling 회로 회로^[8]

게 된다. 이 때, $\alpha = C_S / (C_P + C_S)$ 이기 때문에, V_{DATA} 범위가 증가한다. 그러나 V_{DATA} 범위가 C_P 와 C_S 의 비율에 의해 결정되고 C_P 는 parasitic capacitance이기 때문에 화소 간의 data 전압 범위 편차가 발생할 수 있다.

또한, 그림 11의 OLEDoS 화소 회로는 전류 균일성 확보를 위한 내부보상이 가능하다. N3를 이용한 diode-connection 구조로 C_S 에 V_{TH} 를 저장하고, 최종적으로 N1의 gate의 전압이 $(1-\alpha)V_{DATA} + \alpha V_{ANODE} + V_{TH}$ 이고 source 전압이 V_{ANODE} 가 되기 때문에 최종 전류는 식 (3)과 같이 정리된다.

$$I_{OLED} = I_0 \exp \left\{ \frac{(1-\alpha)(V_{DATA} - V_{ANODE})}{\eta V_T} \right\} \quad (3)$$

따라서 V_{TH} 가 소거되어 V_{TH} 가 변화 및 산포에 따른 전류 불균일에 대응이 가능하다.

앞 절에서 언급한 바와 같이, VHR 확보를 위한 storage capacitor 구현 역시 OLEDoS 기술적 과제 중 하나이다. Silicon 공정은, TFT 공정과 달리 여러 층의 metal layer를 사용하여 capacitor를 구현할 수 있다. 공정에 따라 12 layer까지 사용할 수도 있다. 만일, 그림 12와 같이 8 layer의 metal을 사용하는 경우, metal 7, metal 8 layer의 경우, thick metal layer이기 때문에 OLED와 연결되는 anode와 power line으로 사용하고, metal 1, 2 layer는 transistor와 가까이 배치되기 때문에 여러 제어 신호 (data, gate, EM 등)선으로 사용한다. 그리고, metal 3~6 layer를 이용하여 capacitor를 구현할 수 있다. 서로 다른 층의 metal layer로 구현하는 metal-insulator-metal (MIM)과 한 층의 metal layer로 구현하는 metal-oxide-metal (MOM) capacitor으로 구분할 수 있다. MIM capacitor는 공정마다 차이가 존재하지만, 기본적으로 수 $\mu\text{m} \times$ 수 μm 의 최소 design rule로 구현되기 때문에 3,000 PPI 이상의 화소 회로에 집적하기 매우 어렵다. 반면, MOM capacitor는 μm^2 당 0.2~0.3 fF 정도의 capacitance에 불과하여 10 fF 정도의 storage capacitor 구현도 쉽지 않다. 따라서, 1 frame time 동안의 OLED 전류 변화를 감안한 구동 기술 개발이 필요하다.

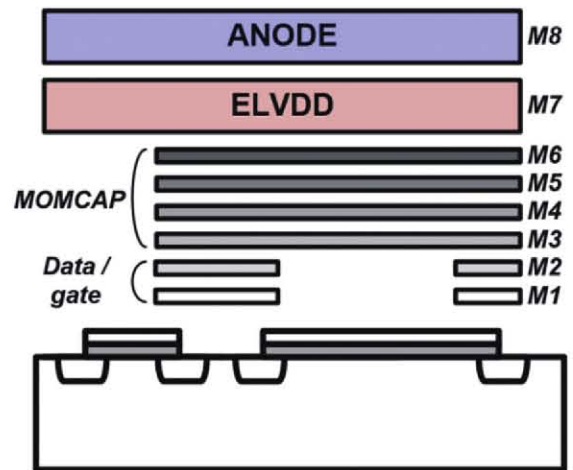


그림 12. Storage capacitor 확보 방법

5. 결론

본 고에서는 OLEDoS 화소 회로 설계 및 구현의 다양한 기술적 과제와 현재까지의 해결책을 소개하고 여전히 해결해야 할 문제들에 대하여 논의하였다. 많은 연구자들의 노력에도 불구하고, 아직까지 OLEDoS 화소 회로가 AR/VR 기기에서 필요로 하는 수준에 도달하기 위해서는 많은 연구 개발이 이루어져야 한다. 앞서 정리한 issue 이외에도 Si MOSFET의 oxide TFT대비 높은 off current issue, body effect 등에 고려도 필요하다. 또한, OLEDoS를 비롯한 온-실리콘 마이크로 디스플레이의 구현을 위해서는, 설계 만으로는 모든 문제를 해결하기 어렵기 때문에, 전용 반도체 공정의 개발도 반드시 이루어져야 할 것으로 보인다.

참고문헌

- [1] Optical Architectures for Augmented-, Virtual-, and Mixed-Reality Headsets (2019, Bernard C. Kress)
- [2] Kang, Chan-mo, et al. "High aspect ratio microdisplay and thin optical component for glass-like AR devices." *Journal of Information Display* 22,3 (2021): 163-171.
- [3] Jo, Jang, et al. "25-1: Invited Paper: OLED Microdisplays for AR/VR Applications: Technical Approaches Toward Realization of over 10,000 Nits Full-Color Panels." *SID Symposium Digest of Technical Papers*, Vol. 53, No. 1, 2022.
- [4] Choi, KwangHyun, et al. "P-50: Effects of Fabrication Process Variation on the Operation of OLED Pixel Circuit." *SID Symposium Digest of Technical Papers*, Vol. 49, No. 1, 2018.
- [5] Kim, Hyun-Sik, and Dong-Kyu Kim. "An active-matrix OLED driver CMOS IC with compensation of non-uniform routing-line resistances in ultra-thin panel bezel." *IEEE Journal of Solid-State Circuits* 53,2 (2017): 484-500.
- [6] Lim, Gyu-Wan, et al. "A 10b Source-Driver IC with LSB-Stacked LV-to-HV-Amplify DAC Achieving 2688 μ m 2/channel and 4.8 mV DVO for Mobile OLED Displays." *2022 IEEE International Solid-State Circuits Conference (ISSCC)*. Vol. 65. IEEE, 2022.
- [7] Li, Hong Ge, et al. "Novel 4T1C pixel circuit for high image quality OLEDoS microdisplays." *Journal*

of the Society for Information Display 27,9 (2019): 529-535.

- [8] Na, Jun-Seok, Seong-Kwan Hong, and Oh-Kyong Kwon. "A 4410-ppi resolution pixel circuit for high luminance uniformity of OLEDoS microdisplays." *IEEE Journal of the Electron Devices Society* 7 (2019): 1026-1032.

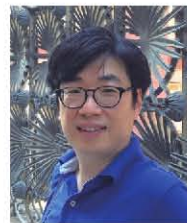
저자약력

김용덕



- 2009년 ~ 2015년 : 한양대학교 융합전자공학부 학사
- 2015년 ~ 2023년 : 한양대학교 융합전자공학과 석박사
- 2023년 ~ 현재 : 한양대학교 박사후 과정

최병덕



- 1994년 : 한양대학교 전자공학 학사
- 1996년 : 한양대학교 전자공학 석사
- 2002년 : 한양대학교 전자공학 박사
- 2001년 ~ 2005년 : LG 전자 System IC 사업부 선임연구원
- 2005년 ~ 현재 : 한양대학교 융합전자공학부 교수