

인 메모리 컴퓨팅을 위한 고속 감지 증폭기 설계

김나현* · 김정범**

Design of High-Speed Sense Amplifier for In-Memory Computing

Na-Hyun Kim* · Jeong-Beom Kim**

요약

감지 증폭기는 메모리 설계에 필수적인 주변 회로로서, 작은 차동 입력 신호를 감지하여 디지털 신호로 증폭하기 위해 사용된다. 본 논문에서는 인 메모리 컴퓨팅 회로에서 활용 가능한 고속 감지 증폭기를 제안하였다. 제안하는 회로는 추가적인 방전 경로를 제공하는 트랜지스터 Mtail을 통해 감지 지연 시간을 감소시키고, m-GDI(modified Gate Diffusion Input)를 적용하여 감지 증폭기의 회로 성능을 개선하였다. 기존 구조와 비교했을 때 감지 지연 시간은 16.82% 감소하였으며, PDP(Power Delay Product)는 17.23%, EDP(Energy Delay Product)은 31.1%가 감소하는 결과를 보였다. 제안하는 회로는 TSMC의 65nm CMOS 공정을 사용하여 구현하였으며 SPECTRE 시뮬레이션을 통해 본 연구의 타당성을 검증하였다.

ABSTRACT

A sense amplifier is an essential peripheral circuit for designing a memory and is used to sense a small differential input signal and amplify it into digital signal. In this paper, a high-speed sense amplifier applicable to in-memory computing circuits is proposed. The proposed circuit reduces sense delay time through transistor Mtail that provides an additional discharge path and improves the circuit performance of the sense amplifier by applying m-GDI (modified Gate Diffusion Input). Compared with previous structure, the sense delay time was reduced by 16.82%, the PDP (Power Delay Product) by 17.23%, the EDP (Energy Delay Product) by 31.1%. The proposed circuit was implemented using TSMC's 65nm CMOS process, while its feasibility was verified through SPECTRE simulation in this study.

키워드

Sense Amplifier, In-Memory Computing, Processing-In Memory(PIM), m-GDI, High-Speed Circuit

감지 증폭기, 인 메모리 컴퓨팅, 프로세싱 인 메모리(PIM), m-GDI, 고속 회로

1. 서론

현대의 컴퓨터 구조는 데이터의 연산을 수행하는 프로세서와 데이터의 저장을 담당하는 메모리가 물리적으로 분리되어 있는 폰 노이만(Von Neumann) 구

조를 기본으로 하고 있다. 반도체 산업은 폰 노이만 구조를 기반으로 메모리 반도체와 비메모리 반도체로 분화하여 각각 발전하였다. 최근 두 분야의 발전 속도 차이가 메모리 장벽(memory wall) 문제의 원인이 되어 전체 시스템의 속도를 저하시켰다. 인공지능과 같

* 강원대학교 BIT의료융합학과(hyun506@kangwon.ac.kr) · Received : Jul. 23, 2023, Revised : Sep. 01, 2023, Accepted : Oct. 17, 2023

** 교신저자 : 강원대학교 전자공학과

· Corresponding Author : Jeong-Beom Kim

· 접수일 : 2023. 07. 23

Dept. of Electronics Engineering, Kangwon National University

· 수정완료일 : 2023. 09. 01

Email : kimjb@kangwon.ac.kr

· 게재확정일 : 2023. 10. 17

은 데이터 집약적 어플리케이션이 증가하면서 대용량의 데이터를 빠르게 처리하는 시스템의 요구도 함께 증가하였다. 그러나 물리적으로 분리되어 있는 프로세서와 메모리 사이의 데이터 이동에 있어 데이터 처리의 한계가 발생하였다. 따라서 시스템의 병목 문제를 해결할 새로운 효율적인 컴퓨터 구조의 필요성이 커지는 상황이다. 이와 같은 문제를 개선하기 위해 메모리 내에서 데이터의 연산을 수행하여 데이터의 전송을 감소시키는 인 메모리 컴퓨팅(IMC, In-memory Computing) 또는 프로세싱 인 메모리(PIM, Processing-in Memory) 기술이 연구되어왔다[1]. 인 메모리 컴퓨팅 기술은 데이터의 저장과 연산을 동시에 처리함으로써 처리 속도와 효율성을 극대화할 수 있다.

본 논문에서는 효율적인 인 메모리 컴퓨팅 기술을 구현하기 위한 고속 감지 증폭기(Sense Amplifier)를 제안한다. 감지 증폭기는 메모리 설계에 필수적인 주변 회로로써, 작은 차동 입력 신호를 감지하여 연산 결과를 디지털 신호로 빠르게 증폭하기 위해 사용된다. 제안하는 감지 증폭기를 사용하여 감지 지연 시간을 감소시킴으로써 인 메모리 컴퓨팅 회로의 고속 동작을 확보하는 것을 목표로 하였다.

본 논문은 다음의 순서로 구성된다. II장에서는 연산의 대상이 되는 메모리 셀인 8+T SRAM 셀과 이를 기반으로 하는 인 메모리 컴퓨팅 회로에 대해 기술한다. III장은 제안하는 고속 감지 증폭기 설계에 대해 설명한 후, IV장에서 제안된 회로의 시뮬레이션 결과 비교 및 분석이 진행된다. 마지막으로 V장에서 연구의 결론을 맺는다.

II. 8+T SRAM 셀과 IMC 회로

SRAM(Static Random Access Memory)을 기반으로 하는 인 메모리 컴퓨팅 회로는 워드 라인(WL, Word Line)을 통해 제어되는 액세스 트랜지스터의 활성화를 통해 컴퓨팅 동작이 진행되며, 메모리 셀에 저장된 데이터 값에 따라 방전되는 비트 라인(BL, Bit Line)을 이용한다. 표준 6T SRAM의 경우 데이터의 읽기 및 쓰기 동작을 하기 위해서는 동일한 비트 라인을 공유하는데, 이는 메모리 셀에 저장된 값이

뒤바뀌는 읽기 방해(Read disturb) 문제를 초래한다. 이러한 문제를 해결하기 위해 읽기 및 쓰기 동작을 위한 비트 라인을 각각 분리하여 안정적인 컴퓨팅 동작을 할 수 있는 8+T SRAM이 고안되었다. 그림 1은 8+T SRAM 셀의 구조와 이를 기반으로 하는 인 메모리 컴퓨팅 회로를 나타내었다[1-7].

메모리 셀이 8+T SRAM인 경우, 감지 증폭기는 읽기 동작에서 발생하는 리드 비트라인(RBL)과 반전

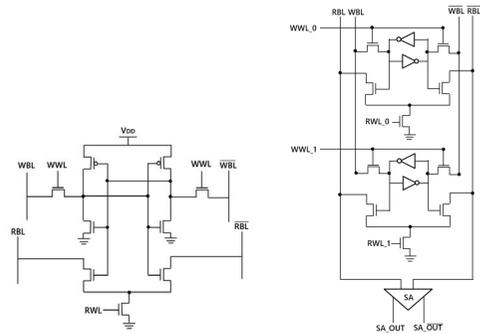


그림 1. 8+T SRAM 셀과 IMC 회로
Fig. 1 8+T SRAM cell and IMC circuit

비트라인(RBLB) 사이의 매우 작은 차이의 전압을 감지하여 빠르게 최대 논리 수준으로 증폭한다. 대용량의 SRAM 어레이에서는 메모리 열마다 감지 증폭기가 필요로 하게 되는데, 매크로 수준에서 감지 증폭기는 적지 않은 면적을 차지하게 된다. 이러한 문제를 해결하기 위해 적은 트랜지스터를 사용하여 8+T SRAM에서 수행되는 비트 단위 부울 논리 연산 결과를 빠르게 감지하는 고속 감지 증폭기 설계를 목표로 하였다.

래치형 감지 증폭기는 교차 결합된 인버터로 구성된 감지 증폭기로, 양의 피드백 특성을 통해 낮은 전력 소비와 고속 읽기 동작이 가능하다. 대표적으로 전압 래치형 감지 증폭기(VLSA, Voltage Latched Sense Amplifier)와 전류 래치형 감지 증폭기(CLSA, Current Latched Sense Amplifier)가 있다[8]. 본 논문에서는 전류 래치형 감지 증폭기 구조를 기본으로 하여 연구를 진행하였다.

2.1 전류 래치형 감지 증폭기 구조

그림 2는 nMOS 풋 스위치를 가지는 전류 래치형

감지 증폭기 구조이다[9]. 트랜지스터 M3, M4는 입력 차동 쌍을 나타내며 비트 라인과 반전 비트 라인의 전압을 입력으로 받는다. 트랜지스터 M5-M8은 교차 결합된 인버터 쌍이며, 트랜지스터 M1, M2는 메모리 셀에 저장된 데이터의 읽기 동작을 위해 OUT 및 OUT_B 노드를 VDD로 사전 충전하는 역할을 담당한다. nMOS 풋 스위치인 트랜지스터 Mtail은 SAE(: Sense Amplifier Enable) 신호를 통해 사전 충전되어 있는 OUT 또는 OUT_B 노드의 전압을 방전할 수 있도록 한다.

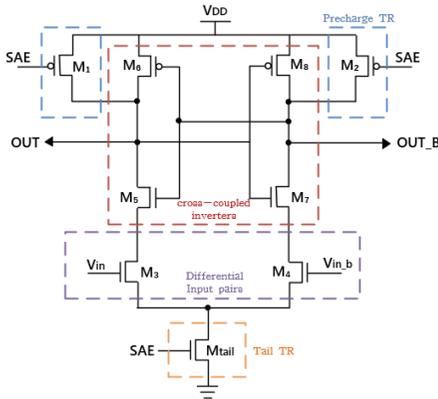


그림 2. nMOS 풋 스위치를 가지는 전류 래치형 감지 증폭기
Fig. 2 A current latched sense amplifier with an nMOS footswitch

전류 래치형 감지 증폭기의 동작은 다음과 같다. SAE 신호가 'Low'인 경우 Mtail은 비활성화되고 M1, M2가 활성화되어 감지 증폭기의 OUT 및 OUT_B 노드를 VDD로 사전 충전하게 된다. SAE 신호가 'High'인 경우 M1, M2의 사전 충전 동작을 멈추고 감지 증폭기의 읽기 및 컴퓨팅 동작을 시작한다. 활성화된 Mtail을 통해 OUT 및 OUT_B 노드의 전압이 방전되는데, M3, M4에 인가되는 전압에 따라 각 분기의 방전 속도는 다르다. Vin이 Vin_b보다 더 큰 전압이 인가된다면, OUT 분기에 흐르는 전류가 더 우세하여 OUT 노드의 전압을 빨리 방전시키고 M8을 활성화한다. OUT_B 노드는 M8을 통해 VDD로 충전된다. 따라서 OUT 노드는 '0'의 값을, OUT_B 노드는 '1'의 값을 가지게 된다.

2.2 보조 회로 기반 재구성 가능한 감지 증폭기

그림 3은 보조 회로 기반 재구성 가능한 감지 증폭기(RASA, Reconfigurable Assist Sense Amplifier)의 구조이며, 전류 래치형 감지 증폭기의 구조에서 트랜지스터 M9과 M10이 추가된 모습이다[10]. 보조 회로 기반 재구성 가능한 감지 증폭기는 M9과 M10을 이용하여 각 분기에 흐르는 전류의 양을 조절함으로써 원하는 연산의 결과를 출력한다. 이때 M9과 M10에 인가되는 게이트 전압은 2:1 트랜스미션 게이트(Transmission gate) MUX A와 B의 출력을 이용하여 제어하게 된다. 표 1은 MUX의 입력 AS_A(: assist signal A), AS_B(: assist signal B)에 따라 수행되는 4가지 연산 동작을 나타낸다. I_A와 I_B는 M9과 M10의 게이트 입력으로 공급되는 MUX A와 MUX B의 출력을 나타낸 것이다.

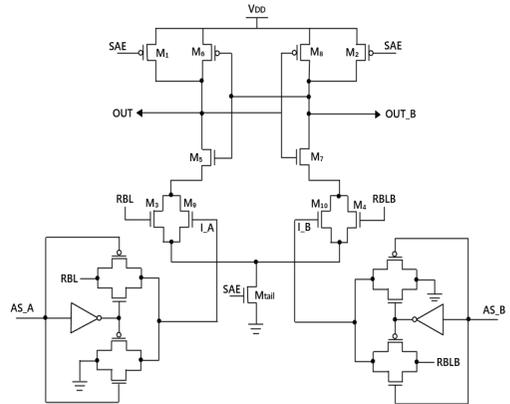


그림 3. 보조 회로 기반 재구성 가능한 감지 증폭기의 회로도
Fig. 3 Circuit diagram of Reconfigurable Assist Sense Amplifier

표 1. 기존 회로의 연산 동작
Table 1. Operation of previous sense amplifier

AS_A	AS_B	I_A	I_B	Operation
0	0	RBL	0	NOR/OR
1	1	0	RBLB	NAND/AND
0	1	RBL	RBLB	XNOR/XOR
1	0	0	0	Normal Read

III. 제안하는 감지 증폭기

그림 4는 제안하는 감지 증폭기의 구조이다. 제안하는 회로는 M9, M10에 별도의 트랜지스터 Mtail을 적용하여 더 빠른 방전 속도를 유도하여 감지 지연 시간을 감소시켰다. 또한 기존 회로에서 보조 회로로 사용하였던 2:1 트랜스미션 게이트 MUX 대신 m-GDI(: modified Gate Diffusion Input)를 사용하여 감지 증폭기의 트랜지스터 개수를 감소시키는 구조로 변경하였다.

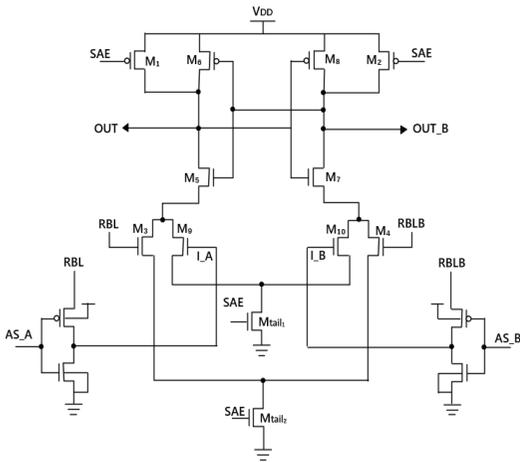


그림 4. 제안하는 감지 증폭기의 회로도
Fig. 4 Circuit diagram of proposed sense amplifier

3.1 제안하는 감지 증폭기의 구성

감지 증폭기의 OUT/OUT_B 노드는 SAE 신호가 'Low' 값을 가질 때 M1, M2에 의해 사전 충전된 전압 값을 유지하고, 'High' 값을 가질 때 Mtail에 의해 사전 충전된 전압이 방전된다. 기존 구조에서 OUT 노드의 전압은 활성화된 M3, M9를 거쳐 Mtail을 통해 방전이 진행된다. 이때 M3, M9의 소스는 한 노드에서 만나 Mtail의 드레인과 연결되어 있다. 동일한 방법으로 OUT_B 노드의 전압은 활성화된 M4, M10를 통해 방전이 진행되며, 이때의 각 트랜지스터의 소스는 한 노드에서 만나 Mtail의 드레인과 연결되어 있다. 제안하는 구조는 m-GDI의 출력을 입력으로 받는 OUT 노드의 M9과 OUT_B 노드의 M10에 별도의 Mtail을 적용하여 추가적인 방전 경로를 확보하였다. 이는 OUT/OUT_B 노드의 방전 경로가 증가하여 기

준 구조보다 빠른 방전 속도를 유도하여 연산 결과의 감지 지연 시간을 감소시킨다.

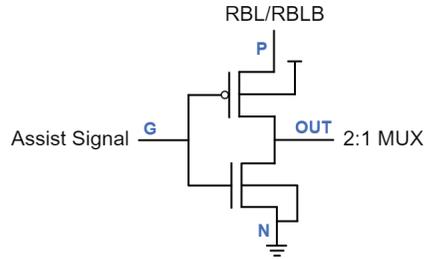


그림 5. m-GDI 기술을 적용한 2:1 MUX
Fig. 5 2:1 MUX with m-GDI technology

그림 5는 m-GDI 기술을 적용한 2:1 MUX이며, 제안하는 회로의 구성 회로로 사용되었다. m-GDI 기술은 2개의 트랜지스터만을 사용하여 다양하고 복잡한 논리 기능을 구현하며, CMOS와 트랜스미션 게이트와 비교하여 적은 수의 트랜지스터로 고속, 저전력 회로를 설계하는 데 적합하다. CMOS 인버터 셀의 구조와 유사하지만 m-GDI 회로는 nMOS와 pMOS의 공통 게이트 입력 G, pMOS의 소스에 대한 입력 P, 그리고 nMOS의 소스에 대한 입력 N을 가진다 [11-12]. m-GDI 기술은 3개의 입력 G, P, N을 이용하여 다양한 기능을 수행하며, 제안하는 회로는 m-GDI의 2:1 MUX의 기능을 활용한다. 입력 G는 MUX의 Select 신호에 해당하며, Select 신호가 'Low'일 경우 pMOS가 활성화되어 P의 신호를 전달한다. Select 신호가 'High'일 경우 nMOS가 활성화되어 N의 신호를 전달함으로써 2:1 MUX의 기능을 구현한다. 제안하는 회로는 m-GDI를 이용하여 Assist Signal 신호에 따라 '0'의 값 또는 RBL/RBLB 전압을 M9, M10에 전달하는 2:1 MUX를 사용하였다.

3.2 제안하는 감지 증폭기의 동작 원리

표 2는 m-GDI의 입력 AS_A, AS_B에 따라 수행되는 4가지 연산 동작을 나타낸다. LA와 LB는 M9과 M10의 게이트 입력으로 공급되는 m-GDI A와 m-GDI B의 출력을 나타낸 것이다. 제안하는 감지 증폭기는 M9, M10에 의해 생기는 전류의 차이를 이용하여 OUT, OUT_B 노드의 방전 속도를 다르게 함으로써 원하는 연산을 수행한다.

표 2. 제안하는 회로의 연산 동작
Table 2. Operation of proposed sense amplifier

AS_A	AS_B	I_A	I_B	Operation
0	0	RBL	RBLB	XOR/XNOR
0	1	RBL	0	NOR/OR
1	0	0	RBLB	NAND/AND
1	1	0	0	Normal Read

그림 6은 AS_A='0', AS_B='1'일 때 전류 흐름을 나타낸 것이다. M9은 m-GDI A에 의해 사전 충전된 RBL 전압을 입력받아 활성화되고, M10은 m-GDI B에 의해 '0'의 값을 입력받아 컷-오프(cut-off) 상태가 된다. 읽기 동작을 진행하였을 때 OUT 분기의 전류 흐름이 OUT_B 분기보다 우세하여 OUT 노드의 전압을 더 빠르게 방전하게 된다. 이를 이용하여 감지 증폭기는 NOR/OR 연산을 수행한다.

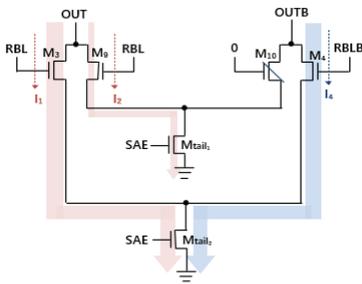


그림 6. NOR/OR 연산 동작
Fig. 6 Current flow of NOR/OR operation

그림 7은 AS_A='1', AS_B='0'일 때 전류 흐름을 나타낸 것이다. M9은 m-GDI A에 의해 '0'의 값을 입력받아 컷-오프 상태가 되고, M10은 m-GDI B에 의해 사전 충전된 RBLB 전압을 입력 받아 활성화된다. 읽기 동작을 진행하였을 때 OUT_B 분기의 전류 흐름이 OUT 분기보다 우세하여 OUT_B 노드의 전압을 더 빠르게 방전하게 된다. 이를 이용하여 감지 증폭기는 NAND/AND 연산을 수행한다.

XOR/XNOR 연산은 NOR 게이트와 인버터를 사용하여 구현이 가능하다. NOR 게이트는 RBL과 RBLB의 전압을 입력으로 받아 XOR 연산을 수행한다. XNOR 연산은 NOR 게이트의 출력에 인버터를 추가하여 값을 반전시킴으로써 구현할 수 있다.

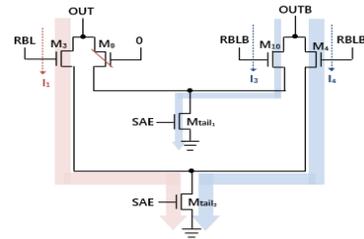


그림 7. NAND/AND 연산 동작의 전류 흐름
Fig. 7 Current flow of NAND/AND operation

IV. 시뮬레이션 결과 및 비교

본 논문에서 구성된 회로는 TSMC의 65nm CMOS 공정을 사용하였으며, SPECTRE로 시뮬레이션을 진행하였다. 시뮬레이션은 1.2V 공급 전압, 동작 온도 25°C, 출력단 부하 0.1pF 조건에서 진행하였으며, 상승 시간(rising time)과 하강 시간(falling time)은 100ps로 설정하였다.

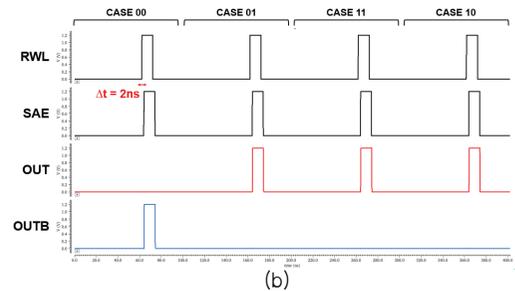
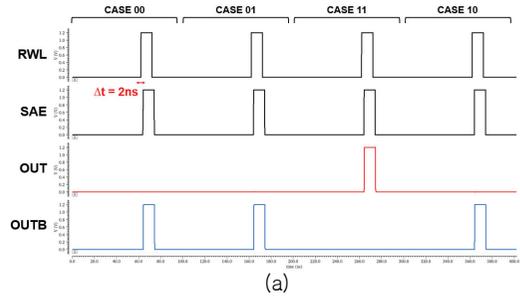


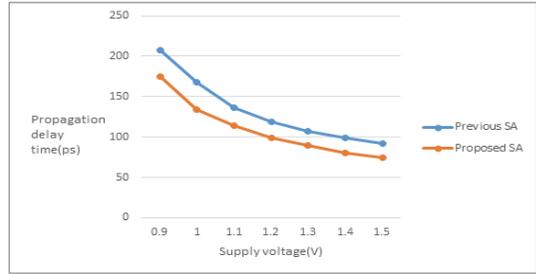
그림 8. (a) NAND/AND 연산의 시뮬레이션 결과
(b) NOR/OR 연산의 시뮬레이션 결과
Fig. 8 (a) Simulation result of NAND/AND operation
(b) Simulation result of NOR/OR operation

8+T SRAM 기반 2비트 IMC 회로를 대상으로 NAND/AND 및 NOR/OR 연산을 측정하였으며, 메모리 셀에 저장된 데이터의 모든 경우(00, 01, 10, 11)에 대해서 두 번 반복하여 연산을 수행하는 입력 패턴을 적용하였다. 그림 8은 각각의 연산에 대한 시뮬레이션 결과를 나타낸 것이다. 감지 증폭기가 RBL과 RBLB 사이의 작은 차이의 전압을 인지할 수 있도록 RWL 신호와 SAE 신호 사이에 2ns의 시간 차이를 두었다. 시뮬레이션을 진행하였을 때, 제안하는 회로는 감지 지연 시간 98.97ps, 평균 전력 소모 19.87 μ W, PDP 1.97fJ과 EDP 1.95E-25Js 결과 값을 얻을 수 있었으며, 표 3은 기존 회로와 제안하는 회로의 성능 비교표이다.

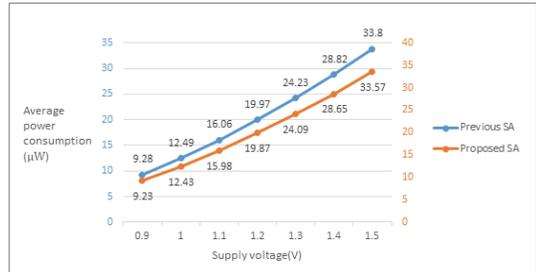
표 3. 감지 증폭기 성능 비교표
Table 3. Comparison table of sense amplifier

	Previous sense amp	Proposed sense amp
Propagation delay time [ps]	118.98	98.97
Average power consumption [μ W]	19.98	19.87
PDP[fJ]	2.38	1.97
EDP[E-25Js]	2.83	1.95
Transistors	27	20

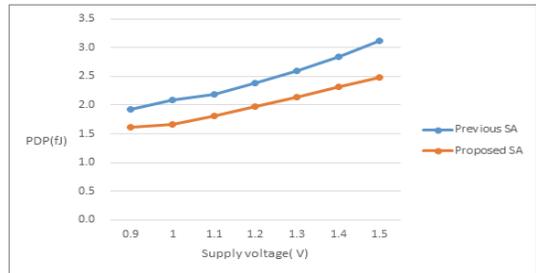
기존 구조와 제안하는 구조의 공급 전압, 동작 온도의 변화, 그리고 5개의 공정 코너(process corner)에 따른 감지 지연 시간, 평균 전력 소모, PDP, EDP의 비교를 진행하였다. 그림 9은 공급 전압 변화가 0.9V 부터 1.5V 범위에서 진행되었을 때의 결과를 나타낸다. 그림 10은 동작 온도가 0°C부터 75°C까지 변화할 때의 결과를 나타낸다. 그림 9, 10을 통해 제안하는 구조는 공급 전압, 동작 온도 변화에 대한 감지 지연 시간, PDP, EDP 측면에서의 우수함을 확인하였다. 또한 5개의 공정 코너 FF(Fast, Fast), FS(Fast, Slow), TT(Typical, Typical), SF(Slow, Fast), SS(Slow, Slow)로 시뮬레이션을 진행하였을 때, 다음의 공정 코너에서 감지 지연 시간, PDP, EDP의 우수함을 확인하였다.



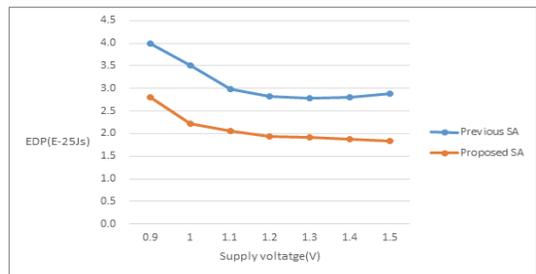
(a)



(b)



(c)



(d)

그림 9. 공급 전압에 의한 감지 증폭기 특성 변화 (a) 감지 지연 시간, (b) 평균 전력 소모, (c) PDP, (d) EDP

Fig. 9 Variation in characteristics of sense amplifiers by supply voltage (a) Sensing time, (b) Average power consumption, (c) PDP, (d) EDP

V. 결 론

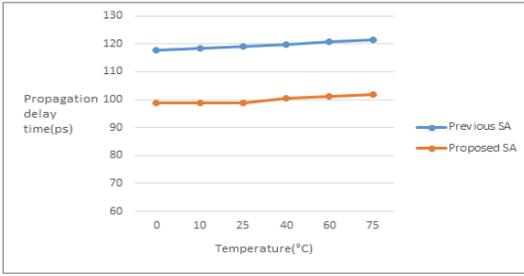
본 논문에서는 효율적인 인 메모리 컴퓨팅 기술을 구현하기 위하여 작은 면적의 고속 감지 증폭기를 제안하였다. 제안하는 회로는 추가적인 방진 경로를 제공하기 위한 트랜지스터 Mtail과 적은 트랜지스터로 MUX의 기능을 구현하는 m-GDI를 적용하였다. 본 논문에서 제안한 회로의 구조를 이용하여 컴퓨팅 동작을 진행하였을 때, 기존 회로에 비해 감지 지연 시간 16.82%, 트랜지스터는 7개가 감소하였다. 향후 연구는 제안하는 회로의 감지 지연 시간의 장점을 유지하면서 소비 전력을 감소시키는 것을 목표로 하는 연구가 필요하다.

감사의 글

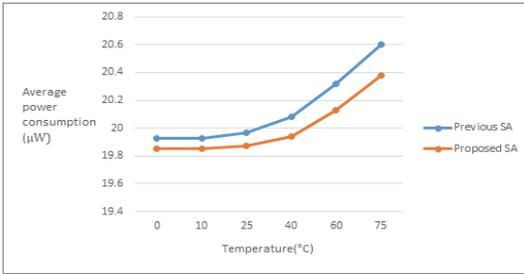
본 논문은 2023년도 정부(산업통상자원부)의 재원으로 한국산업기술진흥원의 지원을 받아 수행된 연구임(P0017011, 2023년 산업혁신인재성장지원사업)

References

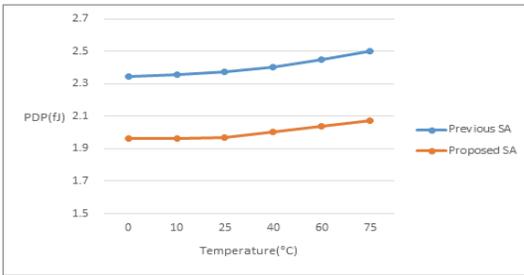
- [1] A. Agrawal, A. Jaiswal, C. Lee and K. Roy, "X-SRAM: Enabling In-Memory Boolean Computations in CMOS Static Random Access Memories," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 65, no. 12, Dec. 2018, pp. 4219-4232.
- [2] J. P. Kulkarni, A. Goel, P. Ndai and K. Roy, "A Read-Disturb-Free, Differential Sensing 1R/1W Port, 8T Bitcell Array," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 19, no. 9, Sept. 2011, pp. 1727-1730.
- [3] S. Song and Y. Kim, "Novel In-Memory Computing Adder Using 8+T SRAM." *Electronics*, vol. 11, no. 6, Mar 2022.
- [4] J. Chen, W. Zhao, Y. Wang, Y. Shu, W. Jiang and Y. Ha, "A Reliable 8T SRAM for High-Speed Searching and Logic-in-Memory Operations," *IEEE Transactions on Very Large*



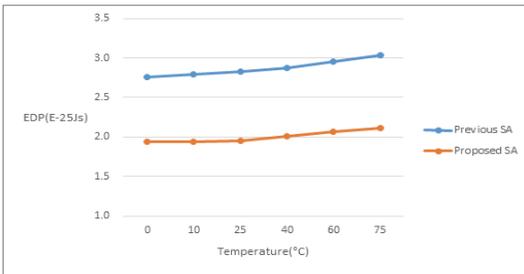
(a)



(b)



(c)



(d)

그림 10. 동작 온도에 의한 감지 증폭기 특성 변화 (a) 감지 지연 시간, (b) 평균 전력 소모, (c) PDP, (d) EDP

Fig. 10 Variation in characteristics of sense amplifiers by operation temperature (a) Sensing time, (b) Average power consumption, (c) PDP, (d) EDP

Scale Integration (VLSI) Systems, vol. 30, no. 6, June 2022, pp. 769-780.

[5] J. Song, Y. Wang, X. Tang, R. Wang and R. Huang, "A 16Kb Transpose 6T SRAM In-Memory-Computing Macro based on Robust Charge-Domain Computing," *2021 IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Busan, Korea, 2021, pp. 1-3.

[6] C. Yu, T. Yoo, K. T. C. Chai, T. Kim and B. Kim, "A 65-nm 8T SRAM Compute-in-Memory Macro With Column ADCs for Processing Neural Networks," *IEEE Journal of Solid-State Circuits*, vol. 57, no. 11, Nov. 2022, pp. 3466-3476.

[7] C. Hong and J. Kim, "Design of In-Memory Computing Adder Using Low-Power 8+T SRAM," *J. of the Korea Institute of Electronic Communication Sciences*, vol. 18, no. 2, Apr. 2023, pp. 291-298

[8] T. Na, S. Woo, J. Kim, H. Jeong and S. Jung, "Comparative Study of Various Latch-Type Sense Amplifiers," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 22, no. 2, Feb. 2014, pp. 425-429.

[9] R. D. Kadhao, S. R. Kala, K. Y. B. Nithin, M. H. Vasantha and D. Dwivedi, "A 2.5 GHz, 1-Kb SRAM with Auxiliary Circuit Assisted Sense Amplifier in 65-nm CMOS Process," *2023 36th International Conference on VLSI Design and 2023 22nd International Conference on Embedded Systems (VLSID)*, Hyderabad, India, 2023, pp. 1-6.

[10] K. Soundrapandiyar, S. K. Vishvakarma and B. S. Reniwal, "Enabling Energy-Efficient In-Memory Computing With Robust Assist-Based Reconfigurable Sense Amplifier in SRAM Array," *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 13, no. 1, pp. 445-455.

[11] A. Morgenshtein, A. Fish and I. A. Wagner, "Gate-diffusion input (GDI): a power-efficient method for digital combinatorial circuits," *2002 IEEE transactions on very large scale integration (VLSI) systems*, vol. 10, no. 5, Oct. 2022, pp.

566-581.

[12] U. Ramadass and P. Dhavachelvan, "Modified gate diffusion input technique: a new technique for enhancing performance in full adder circuits" *Procedia Technology*, vol. 6, 2012, pp. 74-81.

저자 소개



김나현(Na-Hyun Kim)

2023년 2월 : 강원대학교 전자공학과 졸업(공학사)

2023년 2월 ~ 현재 : 강원대학교 대학원 BIT의료융합학과 석사과정

※ 관심분야 : Processing-in memroy, SRAM 설계



김정범(Jeong-Beom Kim)

1985년 2월 : 인하대학교 전자공학과 졸업(공학사)

1987년 2월 : 인하대학교 대학원 전자공학과 졸업(공학석사)

1997년 2월 : 포항공과대학교 대학원 전자전기공학과 졸업(공학박사)

1987년 ~ 1992년 : 금성반도체 중앙연구소 선임연구원

1997년 ~ 1998년 : 현대전자 시스템IC 연구소 책임연구원

1999년 ~ 현재 : 강원대학교 전자공학과 교수

※ 관심분야 : VLSI 설계, 저 전력회로 설계