

## 강유전성 물질을 이용한 Multi-level FeRAM 구조 및 동작 분석

공석현 · 김준형 · 홍슬기<sup>†</sup>

서울과학기술대학교

### Multi-Level FeRAM Utilizing Stacked Ferroelectric Structure

Seok Heon Kong, June Hyeong Kim, and Seul Ki Hong<sup>†</sup>

Seoul National University of Science and Technology, 232 Gongneung-ro, Buk-gu, Seoul 01811

(Received September 11, 2023; Revised September 27, 2023; Accepted September 30, 2023)

**초 록:** 본 연구에서는 서로 다른 강유전성 물질을 활용하여 Multi-level FeRAM (Ferroelectrics random access memory) 소자에 대한 구조를 제시하였으며, 이를 검증하기 위해 Simulation을 통한 C-V 분석을 수행하였습니다. Multi-level 소자를 구현하기 위해 두 가지 서로 다른 물성을 가진 강유전체를 동일한 하부 전극 위에 나란히 증착하고, 이후 게이트 전극을 위에 올린 MFM (Multi-Ferroelectric Material) 구조를 제안하였습니다. 두 강유전체가 서로 다른 전압 조건에서 분극 현상 (Polarization)을 나타내는 것을 바탕으로, 두 개의 물질 중 한 개만 polarization 되었을 때와 두 개 모두 polarization 되었을 때의 상황을 C-V peak 분석을 통해 확인하여 Multi-level 동작을 구현할 수 있음을 확인하였습니다. 더불어, 제시한 구조를 반도체 제조 공정을 활용하여 구현하는 방법을 공정 simulation을 통해 검증하였습니다. 이러한 결과는 하나의 메모리 셀에서 여러 상태 값을 저장할 수 있음을 의미하며, 이는 메모리의 집적도를 크게 향상시킬 수 있는 새로운 구조체로서의 가능성을 의미합니다.

**Abstract:** In this study, we developed a Multi-level FeRAM (Ferroelectrics random access memory) device utilizing different ferroelectric materials and analyzed its operation through C-V analysis using simulations. To achieve Multi-level operation, we proposed an MFM (Multi-Ferroelectric Material) structure by depositing two different ferroelectric materials with distinct properties horizontally on the same bottom electrode and subsequently adding a gate electrode on top. By analyzing C-V peaks based on the polarization phenomenon occurring under different voltage conditions for the two materials, we confirmed the feasibility of achieving Multi-level operation, where either one or both of the materials can be polarized. Furthermore, we validated the process for implementing the proposed structure using semiconductor fabrication through process simulations. These results signify the significance of the new structure as it allows storing multiple states in a single memory cell, thereby greatly enhancing memory integration.

**Keywords:** Ferroelectric, FeRAM, Multi-level, Memory, Polarization

## 1. 서 론

FeRAM (Ferroelectrics Random Access Memory)은 기존의 메모리 장치를 대체할 수 있는 새로운 메모리 소자로 주목받고 있다. 널리 사용되는 메모리 중 하나인 DRAM은 빠른 동작 속도와 간단한 구조로 인해 활용도가 높지만, 주기적으로 전압을 적용하지 않으면 데이터를 유지할 수 없는 휘발성 메모리의 한계를 가지고 있다. 이러한 한계를 극복하기 위해 Flash 메모리가 많이 사용되지만, DRAM에 비해 동작 속도가 낮다는 등의 제약 사항이 있다. 이러한 한계를 극복하고자, 저전력에서 동작하는 비휘

발성 메모리, 그중 FeRAM에 대한 관심이 증가하고 있다.

FeRAM은 강유전성 물질을 절연막으로 하는 메모리 구조이다. 강유전성 물질은 외부 전기장에 대응하여 분극이 반전되는 물질로, 이 고유한 특성 덕분에 외부 전기장이 없어도 특정한 상태를 유지할 수 있어 비휘발성 메모리 장치로 적합하다. 강유전성 물질을 활용한 메모리 개념은 1950년대에 처음 등장한 이후로 계속해서 연구되어 왔다.<sup>1,2)</sup> 초기 연구는 PZT 박막을 이용한 강유전성 메모리 소자에 주로 집중되었지만, 현대 반도체 산업에서 미세화가 진행되면서 PZT 소자의 한계가 드러나며 미세화를 넘어서기 위한 새로운 방안을 찾는 것에 집중하고 있다.<sup>3)</sup>

<sup>†</sup>Corresponding author  
E-mail: [skhong@seoultech.ac.kr](mailto:skhong@seoultech.ac.kr)

© 2023, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.



Fig. 1. Double Ferroelectric-RAM structure for Multi-level states.

이런 상황에서  $\text{HfO}_2$  박막이 강유전체 특성을 나타내는 것이 확인되면서  $\text{HfO}_2$ 를 활용한 강유전성 소자 연구가 활발하게 이루어지고 있다.<sup>4)</sup> 뿐만 아니라, 최근에는  $\text{HfO}_2$  뿐만 아니라 다양한 강유전체를 활용한 Multi-level 소자에 대한 연구도 활발히 진행 중이다.<sup>5)</sup> 대표적인 예로, PZT 물질의 MPB (Morphotropic Phase Boundary) 영역에서의 분극 동작을 연구하여 메모리 소자에 적용하고자 하는 다양한 실험 결과가 있다.<sup>6)</sup> 더 나아가, Anti-ferroelectric한 물성을 활용하여 Multi-state를 구현하여 메모리 소자의 가능성을 보여주는 실험 결과들도 있다.<sup>7)</sup> 이러한 연구 결과로부터 강유전성 물질에서 분극 현상이 단일 hysteresis loop가 아닌 두 부분으로 구분되어 Multi-level 메모리 소자로서의 가능성을 보여주는 사례가 있다.

본 연구에서는 서로 다른 두 강유전성 물질을 나란히 증착 하여 Multi-level 메모리 소자로서 동작 가능성에 대해 분석하였다. 상부/하부 기판으로는 Al과 Si를 이용하였고, 서로 다른 electric coercivity 및 remnant polarization 값을 가지는 두 강유전성 물질을 설정하여 MFM (Multi-Ferroelectric Material) 구조를 설계하였다. 두 강유전성 물질에 의해 발생하는 전체 분극 현상을 확인하기 위해 C-V (Capacitance - Voltage) 그래프를 통해 소자 동작을 분석하였다. 이를 통해 각각 서로 다른 전위에서 강유전성 물질에서 분극 역전 현상이 발생하여 메모리 상태가 변화함을 확인하였다.

## 2. 실험 방법

### 2.1. 분극 현상에 대한 C-V 분석

본 연구는 두 강유전성 물질을 Si 기판 위에 나란히 배치함으로써, 상부 전극에서 인가되는 전압에 따라 서로 다른 메모리 상태를 구현하는 것을 주요 목표로 하다. 이를 위해 Silvaco Simulation Tool을 활용하여 MFM 구조를 구현하고 Ferroelectric의 물성을 변경하면서 동작 특성을 확인하는 과정을 수행하였다. 하부 Si 기판 위에는 서로 다른 electric coercivity와 remnant polarization을 가진

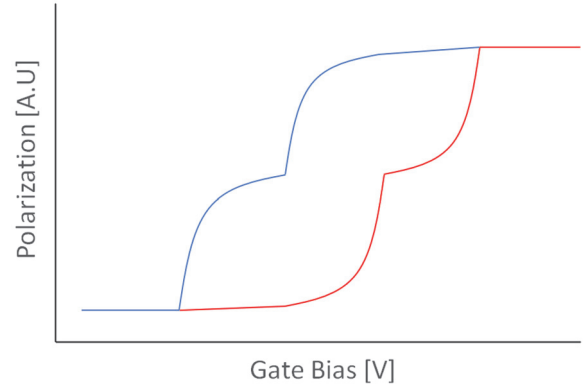


Fig. 2. Polarization hysteresis loop of Double Ferroelectric-RAM Structure.

두 강유전성 물질을 배치하여, 서로 다른 전압 조건에서 분극 역전 현상이 발생함을 확인하였으며, 이를 통해 Fig. 2와 같은 multi-level 메모리 소자의 동작을 위한 구조의 검증을 수행하였다.

또한, 각각의 강유전성 물질을 이용한 단일 MFM 구조를 설계하여 분극 현상 관찰 및 C-V 분석을 진행하고, 이를 통해 Fig. 2와 같은 분극 현상을 모사하기에 적합하도록 강유전성 물질의 물성을 조절하였다.

이를 바탕으로, 상부 전극에 가해지는 전압의 변화에 따라 하부 강유전성 물질의 분극 현상 변화를 분석하였으며, 서로 다른 물질의 분극 현상이 Fig. 2와 같이 정확히 동작하는지 확인하기 위해 C-V 특성에 대한 분석을 진행하였다. 분극 역전 현상에 따라 C-V 그래프에서는 동일 전위에서 피크가 발생함을 고려하여,<sup>8)</sup> 이러한 현상을 바탕으로, 전압이 가해지는 방향 (Forward sweep / Reverse sweep)에 따라 소자가 서로 다른 전위에서 분극 역전 현상을 올바르게 발생하는지 C-V 특성을 확인하여 검증하였다.

### 2.2. Double Ferroelectric-RAM 공정

Silvaco Simulation tool의 Athena를 이용하여 Wafer 위에 다수의 Multi-level MFM 단위셀을 제작하는 공정을 검증하였다. Fig. 3에서는 예시로 3개의 소자를 제작하는 Process flow를 나타낸다.

Fig. 3(a)는 소자의 하단 전극으로 사용되는 (100) 방향의 Si Wafer이다. 하단 전극으로 사용하기 위한 다른 금속과 같은 물질로 대체가 가능하며, 본 연구에서는 Doping을 통해 전극과 같은 효과를 갖는 것으로 진행하였다. Fig. 3(b)는 Multi-level을 구성하는 첫번째 Ferroelectric 물질을 50nm Deposition 한 것이다.<sup>9-10)</sup> Fig. 3(c)는 다수의 단위셀을 구현하기 위해 200nm 폭으로 Ferroelectric 1을 패터닝 한 모습이다. 패터닝 된 Ferroelectric 1 기둥 옆에 Multi-level을 위한 새로운 Ferroelectric 형성이 필요하다. Fig. 3(d)와 같이 Ferroelectric 1과 Multi-level을 이룰 Ferroelectric 2를 기존 패턴 위에 50nm Deposition 하였다.

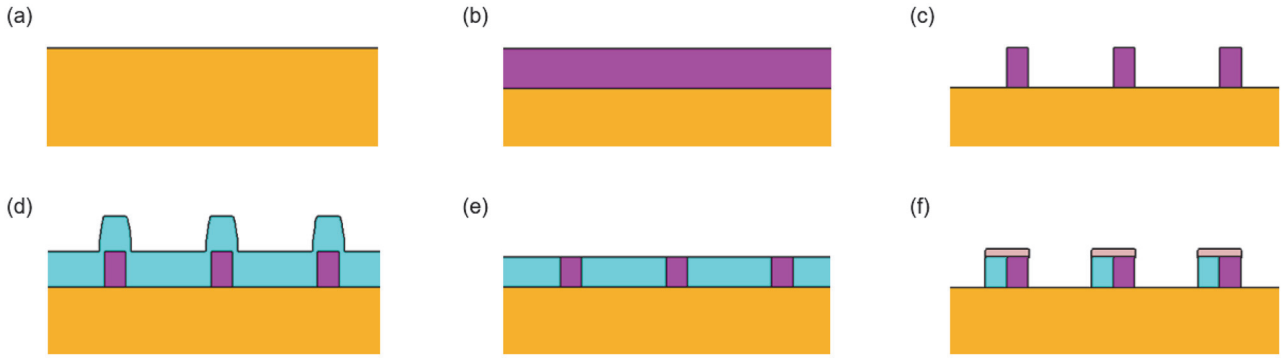


Fig. 3. Process Flow Schematic for Implementing the Unit Cell of the Double Ferroelectric-RAM Structure.

Deposition 공정을 진행하며 생성된 기존 Ferroelectric 1 상단 물질은 CMP 공정을 진행하여 완전히 제거하며 이는 Fig. 3(e)에 나타나 있다.<sup>11)</sup> 이 때 기존 패턴의 Height 감소를 감안하더라도 Overtime CMP를 진행하여 상단부 물질의 제거를 최우선으로 한다.

CMP 후에는 상부 전극으로 사용할 물질 (본 연구에서는 Al)을 증착한다. 200nm 폭의 Ferroelectric 1 기둥과 접합하여 Ferroelectric 2가 동일하게 200nm 넓이로 형성될 수 있도록 증착된 Al이 총 400nm 폭을 갖도록 patterning 공정을 진행한다. 이후 patterning된 Al을 Hardmask로 활용하여 Ferroelectric 2에 대한 최종 patterning을 진행하여 Fig. 3(f)와 같이 Double Ferroelectric-RAM의 단위셀을 동일한 간격으로 형성한다.<sup>12-13)</sup>

위 방식의 Athena 공정 simulation을 통해 다수 단위셀을 동일한 크기와 간격으로 형성하여 memory array를 구현할 수 있음을 확인하였다.

### 3. 결과 및 토의

Fig. 4는 단일 강유전성 물질에 대한 입력 전압에 따른 분극 특성 및 C-V 그래프를 나타낸다. MFM(Multi-Ferroelectric Material) 구조에서는 분극 특성을 나타내는

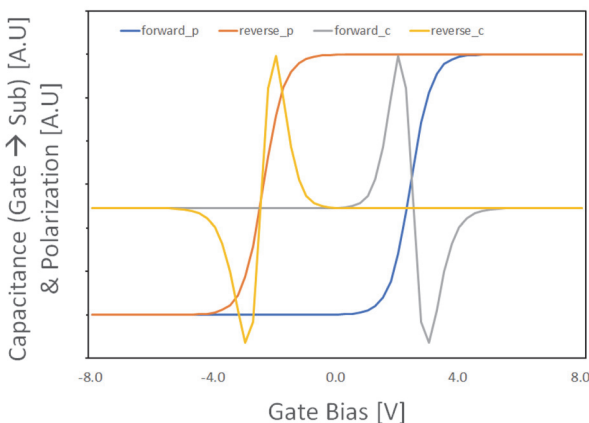


Fig. 4. C-V Curve with Ferroelectric-RAM Polarization.

히스테리시스 루프와 분극 역전에 따른 정전용량 피크가 관찰된다. 이를 통해 C-V 그래프를 통해 서로 다른 강유전성 물질의 분극 특성을 근사적으로 확인할 수 있다. 이 결과를 통해 다양한 강유전성 물질의 분극 특성을 C-V 그래프를 활용하여도 검증할 수 있음을 성공적으로 확인하였다.

Fig. 5는 Fig. 1의 구조에서 전극에 전압을 인가했을 때, 각각의 강유전성 물질에서 발생하는 분극 현상을 시각적으로 보여주는 그래프이다. 이러한 분석은 Silvaco simulation tool을 활용하여 수행되었으며, 각각의 물질에 독립적으로 probe를 적용하여, 각자의 분극 특성을 확인하였다. 이를 통하여, 통합된 구조에서도 서로 간의 간섭 없이 각 물질의 독립적인 특성이 유지되고 있음을 확인할 수 있었다.

본 연구에서 사용한 Silvaco simulation tool에서는 두 가지 서로 다른 강유전체 물질로 이루어진 MFM(Multi-Ferroelectric Material) 구조에서 통합된 분극 현상을 하나의 probe로 정확하게 확인하는 것이 불가능했다. 따라서, 분극 현상을 검증하기 위해 Fig. 4에서 보여진 것과 같이 C-V 특성을 활용하는 방법을 채택하였다. 이를 통해 두 강유전성 물질로 이루어진 MFM 구조 내의 통합적인 분

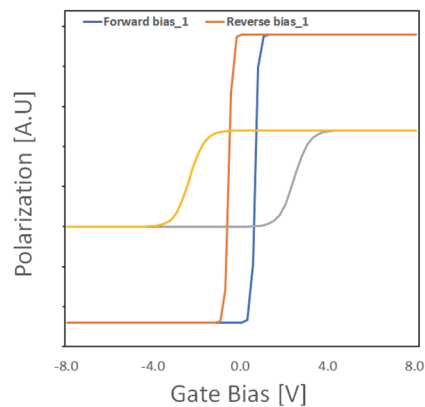


Fig. 5. Hysteresis Loop Graphs for the Polarization of Each Ferroelectric Material Constituting Double Ferroelectric-RAM.

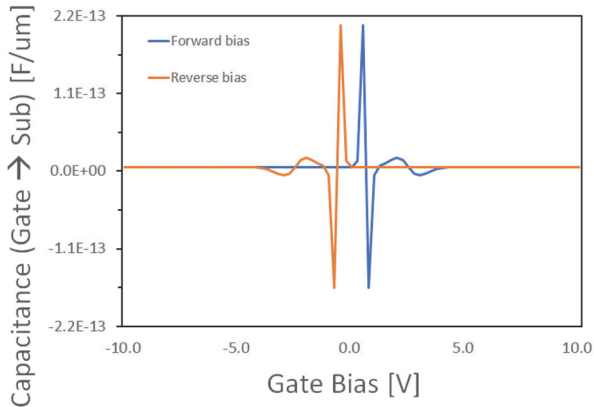


Fig. 6. C-V Graph Characteristics of Double Ferroelectric-RAM Demonstrating Multi-level Memory Operation.

극 현상을 정확하게 확인하고 분석할 수 있었으며 multi level 구현 가능성을 검증할 수 있었다.

Fig. 6의 경우 본 실험에서 진행한 MFM 구조에서 다른 상부 전극에서 하부 전극 사이에 발생한 정전 용량의 변화를 나타내는 그래프이다. 즉 Double-Ferroelectric-RAM의 통합적인 분극 현상을 검증해주는 C-V 그래프이다. Fig. 6에서 정전용량의 크기를 바라보았을 때, 단일 강유전성 물질을 이용할 때 보다 두 물질을 나란히 사용하였을 때 개별 peak의 높이가 다소 낮음을 확인할 수 있다. 이는 각각의 강유전성 물질의 넓이가 절반으로 줄어들었으므로 그로부터 기인한 결과로 추측할 수 있다.

그래프에서, 기존 단일 강유전성 물질을 이용한 C-V 그래프와 다르게 전압이 가해지는 방향 (Forward sweep / Reverse sweep) 에 따라 Capacitance peak이 각각 2개씩 존재함을 확인할 수 있다. 이는 해당 전위에서 소자의 전체 정전 용량의 변화가 존재했음을 반증한다. 또한 peak가 발생한 전압의 크기가 Fig. 4에서 확인한 hysteresis loop에서의 분극 역전이 발생한 전압의 크기와 같은 지점에서 발생하였음을 확인할 수 있다.

분극 현상과 정전용량의 관계, 그리고 앞선 실험 결과인 Fig. 6의 결과를 바탕으로 바라보았을 때 두 번의 Capacitance peak이 해당 전위에서의 분극 역전 현상으로 인해 기인하였음을 확인할 수 있다. 이를 통해 Fig. 2에서 제시한 Multi-state를 갖는 분극 현상과 동일하게 본 실험에서의 소자의 분극 현상이 나타남을 확인할 수 있었다.

실험 결과를 통해, 서로 다른 분극 현상을 보이는 강유전성 물질을 나란히 증착함으로써 두 번의 분극 역전 현상을 보이는 소자 동작이 가능함을 확인할 수 있었다.

#### 4. 결 론

본 연구에서는 Silvaco Atlas 및 Athena simulation을 활용하여 소자의 C-V 특성을 조사하고 다중 소자의 제작 공정을 검증하였다. 이 연구의 목표는 서로 다른 물성을

가진 두 강유전성 물질을 나란히 증착하여, 각각의 분극 역전 현상을 통해 Multi-level 소자의 가능성을 확인하는 것이었다. 이를 달성하기 위해 분극 역전 현상에 따른 C-V 특성을 조사하였다.

분극 역전 현상에 따른 정전용량의 변화가 피크 형태로 나타나는 것을 관찰하였으며, 이를 통해 두 강유전성 물질이 나란히 증착된 구조에서의 분극 현상을 C-V 분석을 통해 근사적으로 확인하였다. C-V 분석에서 스위핑에 따라 두 번의 피크를 확인할 수 있었고, 각 피크에서 두 물질의 분극 역전 현상이 발생함을 근사적으로 확인하였다. 이를 통해 소자가 Multi-level 분극 현상을 가지고 있음을 입증할 수 있었다. 뿐만 아니라, 공정 simulation을 통해 Bare Si wafer를 이용하여 다수의 Multi-level FeRAM 소자를 배열 형태로 제작 가능함을 확인하였다.

이러한 결과를 바탕으로, 앞으로의 연구에서는 단순히 강유전체의 FeRAM으로서의 동작을 확인하는 것이 아니라 서로 다른 강유전성 물질을 조합하여 한 개 이상의 값을 표현할 수 있는 multi-level 메모리 소자로 활용 가능한 구조체를 개발하고 이를 통해 메모리의 집적도 발전에 기여할 수 있을 것으로 기대된다.

#### Acknowledgements

This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korea government(MSIT) (No. RS-2023-00239657).

#### References

1. D. A. Buck, "Ferroelectrics for Digital Information Storage and Switching, MIT, June, Report R-212 (1952)
2. W. I. Kinney, W. Shepherd, W. Miller, J. Evans and R. Womack, "A non-volatile memory cell based on ferroelectric storage capacitors", IEEE, DC, USA, 850-851 (1987)
3. D. Damjanovic, "Ferroelectric, dielectric and piezoelectric properties of ferroelectric thin films and ceramics, Reports on Progress in Physics, 61(9), (1998)
4. U. Schroeder, M. H. Park, T. Mikolajick & C. S. Hwang, The fundamentals and applications of ferroelectric HfO<sub>2</sub>, Nature Reviews Materials, 7, 653-669 (2022)
5. K. Asari, Y. Mitsuyama, T. Onoye, I. Shirakawa, H. Hirano, T. Honda, T. Otsuki, T. Baba, T. Meng, "Multi-mode and multi-level technologies for FeRAM embedded reconfigurable hardware", IEEE, CA, USA, 106-107 (1999)
6. M. Jung, V. Gaddam, S. Jeon, A review on morphotropic phase boundary in fluorite-structure hafnia towards DRAM technology, Nano Convergence, 9(44) (2022)
7. M. M. Vopson, G. Caruntu, X. Tan, Polarization reversal and memory effect in anti-ferroelectric materials, Scripta Materialia, 128, 61-64 (2017)
8. L. D. Filip, L. Pintilie, V. Stancu, I. Pintilie, "Simulation of the capacitance-voltage characteristic in the case of epitaxial ferroelectric films with Schottky contacts, Thin Solid Films,

- 592(Part A), 200-206 (2015)
9. J. Müller, U. Schröder, T. S. Böске, I. Müller, U. Böttger, L. Wilde, J. Sundqvist, M. Lemberger, P. Kücher, T. Mikolajick, L. Frey, "Ferroelectricity in yttrium-doped hafnium oxide", *J. Appl. Phys.*, 110(11), 114113 (2011)
  10. T. Olsen; U. Schröder; S. Müller; A. Krause; D. Martin; A. Singh; J. Müller; M. Geidel; T. Mikolajick, "Co-sputtering yttrium into hafnium oxide thin films to produce ferroelectric properties", *Appl. Phys. Lett.*, 101(8), 082905 (2012)
  11. N.-H. Kim, P.-J. Ko, S. K. Kang, W.-S. Lee, "Platinum chemical mechanical polishing (CMP) characteristics for high density ferroelectric memory applications", *Microelectronic Engineering*, 84(11), 2702-2706 (2007)
  12. G. E. Menk, S. B. Desu, W. Pan & D. P. Vijay, "Dry Etching Issues in the Integration of Ferroelectric Thin Film Capacitors", *MRS Online Proceedings Library*, 433, 189-200 (1996)
  13. W. E. Frank, "Approaches for patterning of aluminum", *Microelectronic Engineering*, 33(1-4), 85-100 (1997)