

이중 루프 Digital LDO Regulator 용 ADC 설계

Design of ADC for Dual-loop Digital LDO Regulator

박상순*, 전정희*, 이재형*, 최중호*

Sang-Soon Park*, Jeong-Hee Jeon*, Jae-Hyeong Lee*, Joong-Ho Choi*

Abstract

The global market for wearable devices is growing, driving demand for efficient PMICs. Wearable PMICs must be highly energy-efficient despite limited hardware resources. Advancements in process technology enable low-power consumption, but traditional analog LDO regulators face challenges with reduced power supply voltage. In this paper, a novel ADC design with a 3-bit continuous-time flash ADC for the coarse loop and a 5-bit discrete-time SAR ADC for the fine loop is proposed for digital LDO, achieving a 34.78 dB SNR and 5.39 bits ENOB in a 55-nm CMOS technology.

요약

세계적으로 웨어러블 디바이스의 시장이 확장하고 있으며, 이를 위한 효율적인 PMIC의 수요 또한 늘어나고 있다. 웨어러블 디바이스용 PMIC 특성상 높은 에너지 효율과 작은 면적이 필요하다. 프로세스 기술의 발전으로 저전력 설계가 가능하지만, 기존의 아날로그 LDO 레귤레이터는 전원 전압이 낮아짐에 따라 설계의 어려움이 있다. 본 논문에서는 이중 루프 디지털 LDO용 coarse-fine ADC를 제안한다. ADC의 설계는 55 nm CMOS 공정으로 진행하였고 34.78 dB와 5.39 bits의 SNR과 ENOB를 갖는다.

Key words : Digital LDO regulator, dual loop, undershoot voltage, Coarse-fine ADC, flash ADC, SAR ADC

1. 서론

전 세계적인 웨어러블 디바이스(Wearable device)의 수요가 증가함에 따라 시장의 크기도 점차 커지고 있다. 그랜드 뷰 리서치에 따르면 웨어러블 디바이스의 시장은 2030년까지 매년 14.9 %씩 지속적으로 커질 전망에 있다[1]. 특히 이 중 손목-착용(Wrist-wear) 디바이스들의 수요가 시장 규모의 절반에 가까운 비율을 차지한다.

손목-착용 디바이스들의 특징으로 여러 어플리케이션

(Application)을 활용해 카메라(Camera), 블루투스(Bluetooth) 통신, 와이파이(Wi-Fi) 통신, global positioning system(GPS) 등의 다양한 기능을 수행이 있다. 이러한 다양한 소프트웨어와 하드웨어를 내부 배터리를 통해 효율적으로 구동하기 위해선 웨어러블 디바이스 전용 power management integrated circuit(PMIC)이 필요하다.

손목-착용 디바이스의 한정된 배터리 용량과 크기 때문에 웨어러블 디바이스용 PMIC는 높은 에너지 효율과

* School of Electrical and Computer Engineering, University of Seoul

★ Corresponding author

E-mail : jchoi@uos.ac.kr, Tel : +82-2-6490-5687

※ Acknowledgment

This work was supported by the Technology Innovation Program (or Industrial Strategic Technology Development Program-Development of DLDO with 99% maximum current efficiency of event-driven asynchronous type without external capacitor)(20016115) funded By the Ministry of Trade, Industry&Energy(MOTIE, Korea)

Manuscript received Sep.12, 2023; revised Sep. 21, 2023; accepted Sep. 27, 2023.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

작은 폼팩터를 필수적으로 만족해야 하지만, 기존의 PMIC에 적용되던 아날로그 방식의 low drop out (LDO) regulator는 소형화가 어려운 단점이 있다. 따라서 웨어러블 디바이스용 PMIC로 디지털 방식의 LDO regulator 구현을 위한 연구가 계속되고 있다.

기존 디지털 방식 LDO regulator의 경우 병렬 연결된 동일한 크기의 PMOSFET array를 ADC의 출력으로 구동하기 때문에 과도응답 특성이 제어 클락 주파수에 영향을 받는 문제점이 있다[2]. 이런 문제점을 해결하기 위해서 다른 크기의 PMOSFET array를 구동하는 Coarse-Fine 이중 루프 제어를 사용하기도 한다[3].

본 논문에서는 Coarse-Fine 구조의 이중 루프 디지털 LDO regulator 구동을 위한 효율적인 ADC 구조를 제안한다.

II. 본론

1. 이중 루프 D-LDO regulator의 구조

제안하는 이중 루프 digital LDO regulator의 블록 다이어그램은 그림 1과 같다. 제안하는 이중 루프 digital LDO regulator는 연속 시간적(Continuous time)으로 coarse PMOSFET array를 구동하는 비동기식(Asynchronous) coarse 루프와 fine PMOSFET array를 구동하는 동기식(Synchronous) fine 루프의 구성을 갖고 있다. 각각의 coarse 루프와 fine 루프는 P-컨트롤러와 PI-컨트롤러가 구동한다.

비동기식 coarse 루프는 연속 시간상에서 출력전압과 기준전압 오차의 최상위 비트 most significant bit (MSB)를 coarse ADC가 센싱 한다. 이 오차의 최상위 비트를 P-컨트롤러에서 입력으로 받아 비동기식으로 coarse PMOSFET array를 구동한다. 따라서 급격한 부하전류의 과도상황에서 빠르게 P-컨트롤러의 장점인 언더슛/오버슛 전압을 막아 줄 수 있다.

동기식 fine 루프는 이산 시간상에서 출력전압과 기준전압의 최하위 비트 last significant bit(LSB)를 fine ADC가 센싱 한다. 동기식 ADC이기 때문에 일정한 동작 시간이 필요해 급격한 과도상황에서 빠르게 동작할 순 없지만, 정상상태에서 PI-컨트롤러의 장점인 높은 DC 이득으로 출력전압의 리플을 줄여준다.

그림 2는 제안하는 이중 루프 digital LDO regulator의 부하 과도응답을 보여준다. 3-bit coarse ADC와 5-bit fine ADC를 적용한 예시 구조이다. ADC의 최종 비트 수는 digital LDO의 PMOSFET array I_{lsb} 와 같고,

이는 과도응답과 정상상태 출력전압 리플에 관계된 파라미터 값이다.

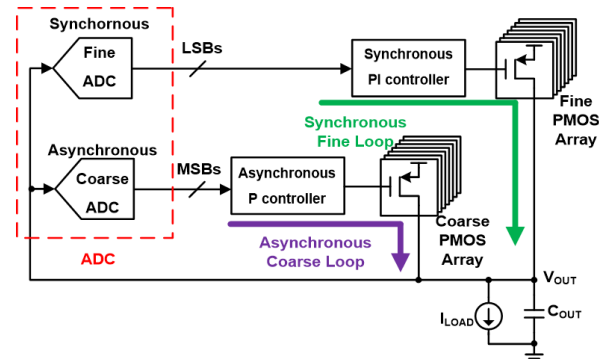


Fig. 1. Block diagram of the proposed dual-loop D-LDO regulator.

그림 1. 제안하는 이중 루프 D-LDO regulator의 블록 다이어그램

동기식 fine 루프의 속도에 비해 빠르게 상승하는 부하전류 과도응답 상황에서 fine 루프의 PI-컨트롤러 출력전류 I_{Fine} 은 전체 루프가 수십 번 동작해야 부하전류 I_{Load} 와 같은 값을 갖는다. 하지만 동시에 coarse 루프의 P-컨트롤러 출력전류 I_{Coarse} 가 연속적으로 fine 루프의 부족한 전류를 공급해 주며 출력전압 V_{out} 의 언더슛 전압을 줄여준다. 따라서 이중 루프를 통해, fine 루프의 동작 주파수와는 관계없이 P-컨트롤러의 장점인 작은 언더슛 전압을 얻을 수 있고, coarse 루프의 P-컨트롤러 이득 계수 K_p 와 관계없이 PI-컨트롤러의 장점인 큰 DC 이득을 결합하였다.

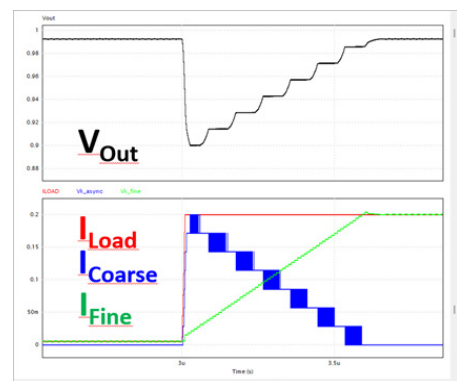


Fig. 2. Transient response of the proposed dual-loop D-LDO regulator.

그림 2. 제안하는 이중 루프 D-LDO regulator의 과도응답

2. 제안하는 Coarse-fine ADC의 구조

가. Coarse-fine ADC의 구조

제안하는 이중 루프 digital LDO regulator는 과도응

답 시 동작하는 coarse 루프와 정상상태에서 높은 DC 이득을 갖는 fine 루프를 갖는다. 따라서 이중 루프를 구동하기 위한 ADC의 설계는 빠른 컨버전율을 갖는 연속-시간 ADC와 높은 해상도를 갖는 ADC의 결합 구조가 적합하다.

이중 버스로 데이터를 출력하는 coarse-fine ADC의 구조는 그림 3과 같다. 제안하는 8-bit coarse-fine ADC는 비동기식 3-bit coarse ADC와 동기식 5-bit fine ADC, 3-bit 래치(Latch), 기준전압 레더(Reference ladder), 기준전압 믹스(Reference level mux), 레지스터(Register)로 구성되었다. 기존의 coarse-fine ADC 대비 sample-and-hold amplifier(SHA)와 DAC 버퍼(Buffer), residue AMP를 사용하지 않고 기준전압 레더와 기준전압 믹스를 통해 대체하였다. pipeline 형태의 ADC에서 SHA, DAC 버퍼, residue AMP를 블록에서 제거하면 ADC 동작의 노이즈 왜곡에는 단점을 갖지만, 크기와 소비전력이 크게 줄어드는 장점이 있다[4], [5].

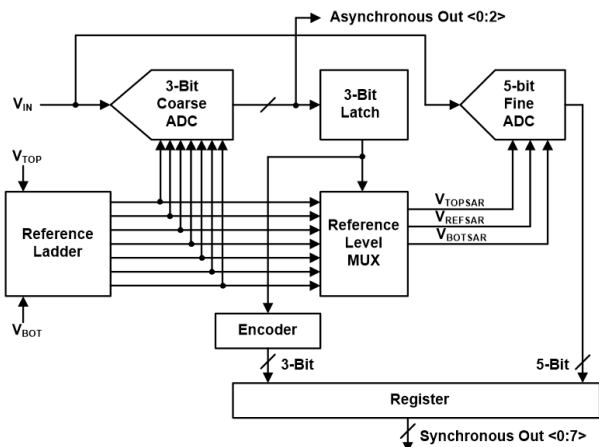


Fig. 3. Block diagram of the proposed coarse-fine ADC.
그림 3. 제안하는 coarse-fine ADC의 블록 다이어그램

그림 4는 제안하는 coarse-fine ADC의 동작 타이밍 다이어그램이다. 연속 시간상 출력되는 MSB를 3-bit 래치가 D<0:2>로 고정한 뒤(MSB SAMPLING 타이밍) 기준전압 믹스가 fine ADC의 동작 범위인 V_{TOP}, V_{REF}, V_{BOT} 전압을 설정한다(SARTOP, SARREF, SARBOT 타이밍). 그 뒤 동기식 fine ADC는 나머지 LSB D<3:7>를 출력한다. 마지막으로 end of conversion(EOC) 신호와 함께 레지스터에서 MSB와 LSB를 합친 8-bit를 최종 출력한다.

따라서 급격하게 변하는 고주파 입력은 3-bit의 해상도를 갖고 연속 시간상에서 Asynchronous OUT<0:2>

버스로 나간다. 또한 정상상태의 느린 저주파 입력은 8-bit의 해상도를 갖고 컨버전 시간이 지난 뒤 Synchronous OUT<0:7> 버스로 나간다.

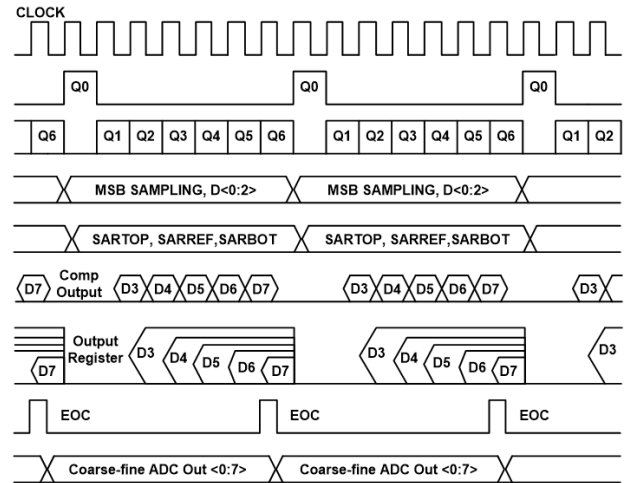


Fig. 4. Timing diagram of the proposed coarse-fine ADC.
그림 4. 제안하는 coarse-fine ADC의 타이밍 다이어그램

나. Coarse ADC 구현

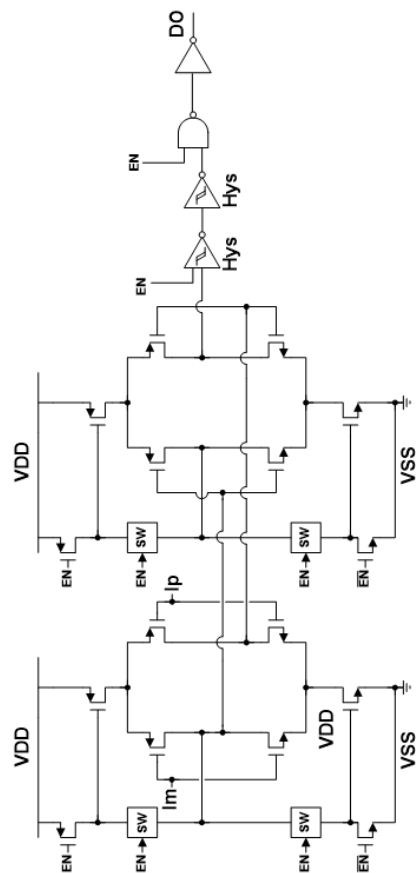


Fig. 5. Schematic of a CSCC.
그림 5. CSCC의 구조

제안하는 coarse-fine ADC의 coarse ADC는 연속 시간 flash ADC를 통해 구현하였다. Flash ADC는 기준전압 레더와 비교기를 통해 구현이 가능하다. 연속 시간 flash ADC를 구현하기 위해 연속-시간 비교기의 설계가 필요하다. 연속-시간 비교기의 코어(Core) 회로는 complementary self-biased differential amplifier (CSDA)의 구조를 사용하였다[6]. 비교기는 또한 CSDA를 연속형(Cascade)으로 사용하였고 출력단은 히스테리시스(Hysteresis) 인버터(Inverter)를 사용하였다. 그림 5는 cascade self-biased continuous comparator (CSCC)의 구조이다.

그림 6은 구현한 3-bit flash ADC의 구조이다. Flash ADC는 VSS의 접지 구간부터 VDD의 전원전압 구간을 비교하는 상위, 하위 전압을 갖는다. 따라서 3-bit VDD to VSS flash ADC를 구현하기 위해 N-type 3개, NP-type 1개, P-type 3개의 CSCC 비교기를 배치하였다.

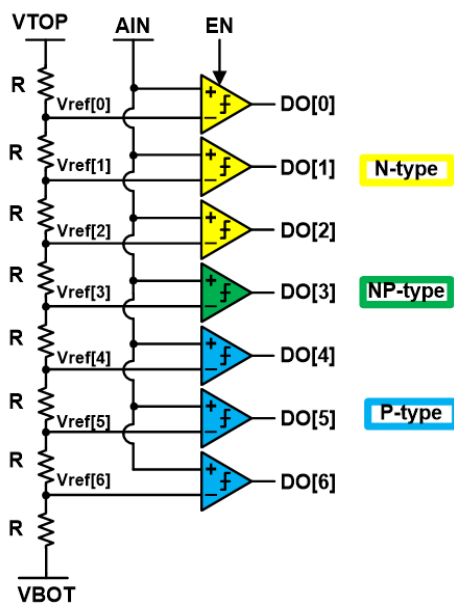


Fig. 6. Schematic of a flash ADC.
그림 6. Flash ADC의 구조

다. Fine ADC 구현

제안하는 coarse-fine ADC의 fine ADC는 5-bit SAR ADC를 통해 구현하였다. SAR ADC를 구현하기 위해 비교기로는 strong-arm latch 구조의 dynamic voltage comparator(DVC) 비교기를 사용하였다[7]. 그림 7은 strong-arm latch DVC의 동작을 보여준다. 클럭이 low인 1번 페이즈에서 비교기는 pre-charge 상태로 각 노드를 일정 전압으로 충전해 다음 동작을 대비한다. 이때 nand gate latch는 이전 데이터 값을 유지

한다. 클럭이 high인 2번 페이즈에서는 비교기가 동작한다. 비교기의 입력 트랜지스터가 충전해 놓았던 각 노드의 전압을 방전시켜 cross-coupled 트랜지스터의 양성 피드백(Positive feedback)이 일어나 최종 출력값이 결정된다.

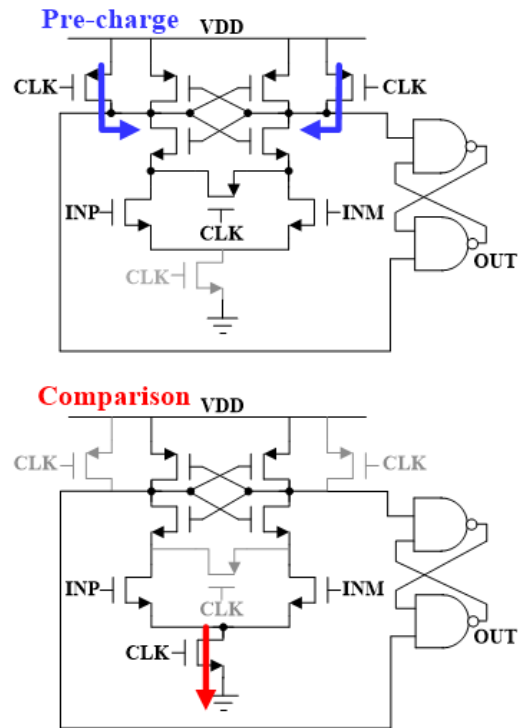


Fig. 7. Operation of the strong-arm latch DVC.
그림 7. Strong-arm latch 다이내믹 전압 비교기 동작

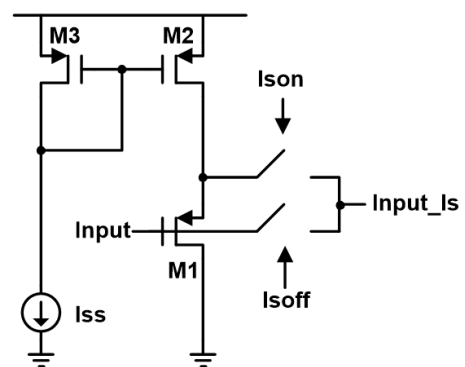


Fig. 8. Schematic of the single ended level shifter.
그림 8. 단일 레벨 시프터의 구조

설계한 SAR ADC의 입력 범위는 VSS부터 VDD까지로 큰 범위를 갖는다. 하지만 비교기의 입력 트랜지스터의 물성이 N-type임으로 낮은 입력 범위에서는 비교기의 성능이 떨어진다. 넓은 입력범위를 갖는 비교기는 전압 레벨 시프터(Voltage level shifter)를 사용해 구현하

였다. 그림 8은 단일 전압 레벨 시프터의 구조이다. 전압 레벨 시프터는 기준전류 I_{ss} 를 전류 미러(current mirror) 회로를 통해 M1 트랜지스터에 공급하고 M1의 V_{sg} 만큼의 입력전압을 승압시킨다.

그림 9는 레벨 시프터의 동작에 따른 SAR ADC의 출력전압 값을 나타낸다. LSON 신호가 켜졌을 때 SAR ADC 비교기의 레벨 시프터가 동작하며 출력 데이터의 오차 값이 작아지는 것을 확인할 수 있다.

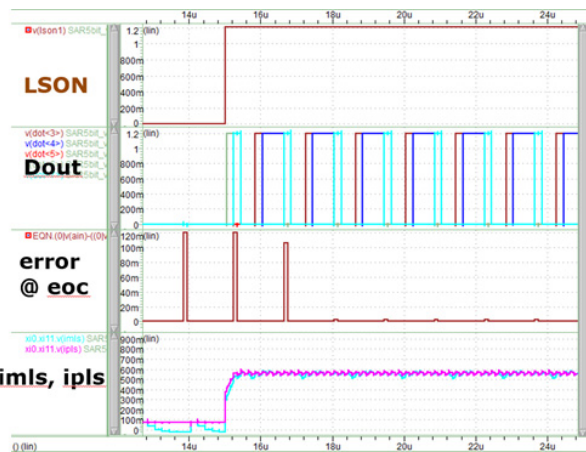


Fig. 9. Output data of the SAR ADC with LSON control.
그림 9. LSON에 따른 SAR ADC의 출력 파형

그림 10은 설계한 Coarse-fine ADC의 FFT Spectrum simulation 결과를 나타낸다. 1024 포인트의 FFT 결과 48.43 dB의 SNR과 7.39 bits의 ENOB를 갖는다.

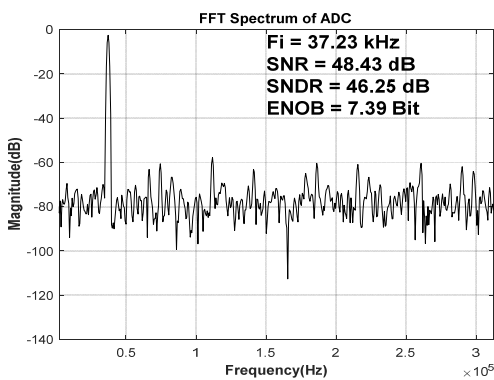


Fig. 10. Simulation result of the coarse-fine ADC.
그림 10. Coarse-fine ADC의 Simulation 결과

III. 하드웨어 구현 및 측정결과

본 논문에서 설계한 Coarse-fine ADC는 55-nm CMOS 공정으로 제작하였다. 칩의 Core 면적은 $431 \mu\text{m} \times 385 \mu\text{m}$ 이다. 그림 11은 설계한 칩의 레이아웃이다.

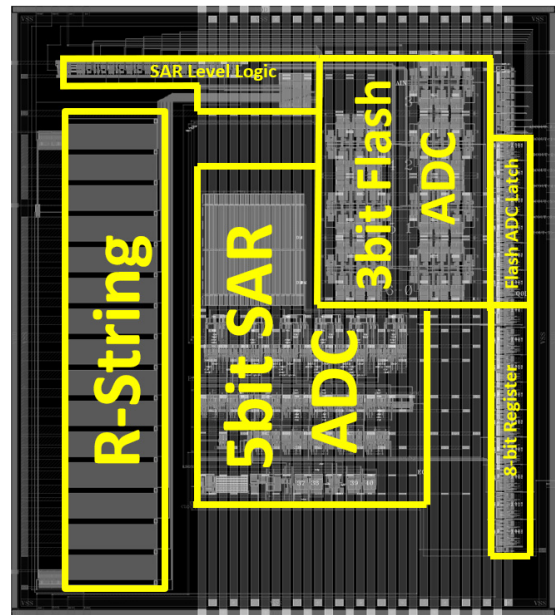


Fig. 11. Core layout of the Coarse-fine ADC.
그림 11. Coarse-fine ADC의 코어 레이아웃

그림 12는 설계한 Coarse-fine ADC의 FFT Spectrum 측정 결과를 나타낸다. Coarse-fine ADC는 223.214 kS/s의 변환 속도를 갖고, 입력 주파수 871.93 Hz에서 1024 포인트의 FFT 결과 34.78 dB의 SNR과 5.39 bits의 ENOB를 갖는다.

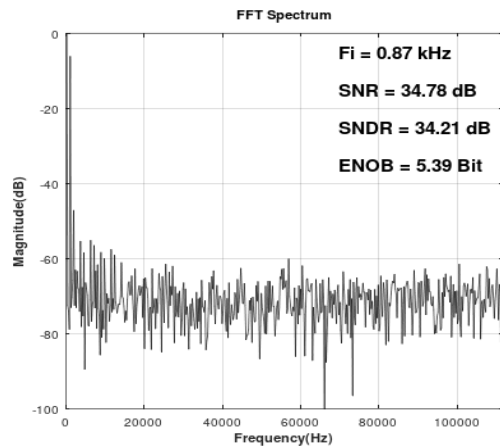


Fig. 12. Measurement result of the coarse-fine ADC.
그림 12. Coarse-fine ADC의 측정 결과

IV. 결론

본 논문에서는 이중 루프 digital LDO regulator의 구조를 블록 레벨에서 설계하였다. 제안한 이중 루프 digital LDO regulator는 연속 시간상에서 동작하는 P-컨트롤러 coarse 루프와 이산 시간상에서 동작하는

PI-컨트롤러 fine 루프를 결합한 구조이다. 제안한 이중 루프 digital LDO regulator는 P-컨트롤러의 장점과 PI-컨트롤러의 장점을 결합해 부하전류의 과도상태에서 언더슛/오버슛 전압이 작고, 안정화 시간이 짧은 특징을 갖는다.

제안하는 이중 루프 digital LDO regulator를 구현하기 위한 coarse-fine ADC의 설계로, 연속 시간에서 동작하는 3-bit flash ADC를 coarse ADC로 사용하였고, 동기식으로 동작하는 5-bit SAR ADC를 fine ADC로 구현하였다. Coarse-fine ADC는 넓은 입력전압을 갖기 위해서 flash ADC의 경우 N-type, NP-type, P-type 비교기를 배치해 설계하였고, SAR ADC는 strong arm latch 구조의 비교기와 낮은 입력전압 범위에서 동작하는 전압 레벨 시프터를 사용해 rail-to-rail의 입력 범위에서 동작한다. Coarse-fine ADC의 결합 부는 하드웨어와 소비전력을 줄이기 위해 SHA, DAC 버퍼, residue AMP를 사용하지 않고 기준전압 레더에 SAR ADC의 TOP/REF/BOT 전압을 그대로 인가해 구동하는 방식을 사용하였고 이에 따른 RC 지연 시간을 줄이기 위한 보상 회로를 적용하였다. 구현된 coarse-fine ADC는 55-nm CMOS 공정을 사용하였고, 측정 결과 signal to noise ratio(SNR)은 34.78 dB, effective number of bits (ENOB)는 5.39 bits를 갖는다.

References

- [1] Wearable Technology Market Size, Share & Trends Analysis Report By Product (Eye-Wear & Head-Wear, Wrist-Wear), By Application (Consumer Electronics, Healthcare), By Region (EU, APAC), And Segment Forecasts, 2022~2030, <https://www.grandviewresearch.com/industry-analysis/wearable-technology-market>
- [2] Yasuyuki Okuma et al., "0.5-V input digital LDO with 98.7% current efficiency and 2.7- μ A quiescent current in 65nm CMOS," *IEEE Custom Integrated Circuits Conference 2010, San Jose, CA*, pp.1-4, 2010.
DOI: 10.1109/CICC.2010.5617586
- [3] Y. -J. Lee et al., "A 200-mA Digital Low Drop-Out Regulator With Coarse-Fine Dual Loop in Mobile Application Processor," in *IEEE Journal of Solid-State Circuits*, vol.52, no.1, pp.64-76,

2017. DOI: 10.1109/JSSC.2016.2614308

- [4] J. -H. Byun, J. -S. Park, W. -K. Kim, Y. -S. Cho, Y. -S. Lee and S. -H. Lee, "A 12b 60MS/s 0.11 μ m Flash-SAR ADC using a mismatch-free shared sampling network," *2015 International SoC Design Conference (ISOCC)*, pp.79-80, 2015.
DOI: 10.1109/ISOCC.2015.7401642
- [5] Jifang Wu, Fule Li, Weitao Li, Chun Zhang and Zhihua Wang, "A 14-bit 200MS/s low-power pipelined flash-SAR ADC," *2015 IEEE 58th International Midwest Symposium on Circuits and Systems (MWSCAS)*, pp.1-4, 2015.
DOI: 10.1109/MWSCAS.2015.7282184
- [6] M. Bazes, "Two novel fully complementary self-biased CMOS differential amplifiers," in *IEEE Journal of Solid-State Circuits*, vol.26, no.2, pp.165-168, 1991. DOI: 10.1109/4.68134
- [7] B. Razavi, "The StrongARM Latch [A Circuit for All Seasons]," in *IEEE Solid-State Circuits Magazine*, vol.7, no.2, pp.12-17, 2015.
DOI: 10.1109/MSSC.2015.2418155

BIOGRAPHY

Sang-Soon Park (Member)



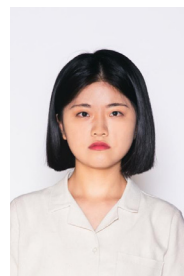
2020 : BS degree in Electrical and Computer Engineering, University of Seoul.

2023 : MS degree in Electrical and Computer Engineering, University of Seoul.

2023~Present : Research Engineer, LX Semicon

⟨Major Interest⟩ AFE, ADC Design

Jeong-Hee Jeon (Member)



2022 : BS degree in Electrical and Computer Engineering, University of Seoul.

2022~Present : MS degree in Electrical and Computer Engineering, University of Seoul.

⟨Major Interest⟩ ADC, DAC and oversampling Data Converter Design

Jae-Hyeong Lee (Member)

2022 : BS degree in Electrical and Computer Engineering, University of Seoul.

2022~Present : MS degree in Electrical and Computer Engineering, University of Seoul.

⟨Major Interest⟩ PMIC and ADC Design

Joong-Ho Choi (Member)

1987 : BS degree in Electrical Engineering, Seoul National University.

1989 : MS degree in Electrical Engineering, Seoul National University.

1993 : PhD degree in Electrical Engineering, University of Southern California.

1996~Present : Professor in Electrical and Computer Engineering, University of Seoul.

⟨Major Interest⟩ AFE, ADC and DAC, PMIC and BMIC Design