

공정 편차가 하이브리드 MOSFET-CNTFET 기반 SRAM의 성능에 미치는 영향에 대한 연구

A Study on the Effect of Process Variation on the Performance of Hybrid MOSFET-CNTFET based SRAM

조근호^{*,★}

Geunho Cho^{*,★}

Abstract

CNTFET, which is receiving high attention as a next-generation semiconductor candidate due to its higher performance and various utilization than traditional silicon-based semiconductor devices, is having difficulty in commercialization because its unique process deviation such as CNT placement has not yet matured. To overcome this difficulty, numerous studies have been continuously conducted to take advantages of CNTFET and compensate its weakness by implementing circuits, which are less affected by process deviation due to repetitive circuit placement, into MOSFET-CNTFET based hybrid circuits. This paper compares how much the performance of the hybrid SRAM can be changed by semiconductor process variation existing in the traditional MOSFET SRAM or CNTFET SRAM. Simulation results show that, if the CNT density can be maintained between 7 and 9 per 32nm, hybrid SRAM is about 2.6 times and about 1.1 times more robust to process deviation than conventional MOSFET SRAM in read and write operations, respectively.

요약

전통적인 실리콘 기반 반도체 소자 보다 높은 성능과 다양한 활용성으로 차세대 반도체 후보로 높은 관심 받고 있는 CNTFET은 CNT 배치와 같은 CNTFET만의 고유한 공정 편차가 아직 성숙되지 않아 상용화에 어려움을 겪고 있다. 이러한 어려움을 극복하고자 반복적인 회로 구성으로 공정 편차의 영향을 적게 받는 회로를 MOSFET-CNTFET 기반 하이브리드 회로로 구현하여 CNTFET의 장점을 취하고 단점을 보완하고자 하는 수많은 연구들이 지속적으로 수행되어 왔다. 본 논문에서는 하이브리드 SRAM의 성능이 기존의 MOSFET SRAM 또는 CNTFET SRAM에 존재하는 반도체 공정 변화에 의해 얼마나 변화될 수 있는지를 비교하였다. 시뮬레이션 결과, CNT 밀도를 32nm 당 7개에서 9개 사이로 유지할 수 있다면, hybrid SRAM은 기존 MOSFET SRAM보다 읽기 동작에서 그리고 쓰기 동작에서 공정 편차에 대한 강건성이 각각 약 2.6배 그리고 약 1.1배 있음을 보여준다.

Key words : MOSFET, CNTFET, SRAM, Hybrid, Carbon Nanotube

* Department of E0ectronic Engineering, Seokyeong University

★ Corresponding author

E-mail : choroot@skuniv.ac.kr, Tel : 02-940-7730

※ Acknowledgment

This Research was supported by Seokyeong University in 2023

The EDA tool was supported by the IC Design Education Center(IDEA), Korea

Manuscript received Sep. 7, 2023; revised Sep. 17, 2023; accepted Sep. 27, 2023.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

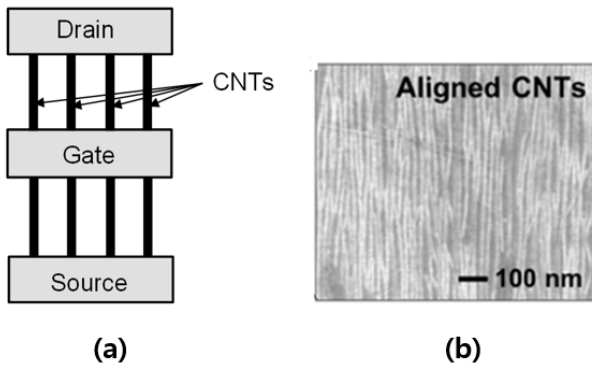


Fig. 1. (a) CNTFET (b) CNTFET에서의 정렬된 CNT들 [9].
그림 1. (a) CNTFET (b) Aligned CNTs in CNTFET [9]

스케일링에 의존한 기존 실리콘 기반 트랜지스터의 성능 향상이 물리적으로 한계에 이르고 단채널 효과(short channel effect)와 누설 전류(leakage current)와 같은 문제점이 발견됨에 따라 전통적인 실리콘 기반 트랜지스터를 대체할 다양한 반도체 소자에 대한 관심이 지속적으로 높아지고 있다. 지금까지 알려진 후보 중, Carbon NanoTube Field Effect Transistor(CNTFET)는 그림 1의 (a)와 같이 반도체 소자의 소스(source)와 드레인(drain) 사이에 Carbon NanoTube(CNT)를 배치시켜 기존 MOSFET 보다 낮은 게이트(gate) 전압으로 높은 전류를 전송할 수 있는 능력을 보여준다. 더욱이 CNTFET의 기계적인 유연성과 화학적 특성은 CNTFET 회로를 사람 피부에 직접 붙일 수 있을 정도로 얇게 만들거나 roll-to-roll이 가능하도록 만들어 주고 주변 정보를 직접 센싱할 수 있도록 만들어 주어, 4차혁명 IoT 시대에 필요한 다양한 기능을 구현할 수 있을 것으로 기대된다 [1]-[9].

이와 같이 CNTFET을 활용한 회로는 기존 실리콘 기반 반도체를 활용한 회로보다 높은 성능을 보여주고 다양한 활용이 가능하며, 이를 구현하기 위한 CNTFET 회로 연구가 지속적으로 이루어져 왔으나, 불균일한 CNT 배치와 같은 CNTFET만의 고유한 공정 편차가 아직 해결되지 않아 CNTFET을 활용한 회로의 상용화를 겪고 있다. 이러한 어려움을 극복하고자, 신경 회로(neural circuit)나 SRAM과 같이 반복적인 회로 배치로 공정 편차의 영향을 덜 받는 회로 블록에 CNTFET을 부분적으로 적용하여 CNTFET과 MOSFET을 함께 사용하는 hybrid 칩을 만들려는 시도가 진행되고 있다. Hybrid 칩의 대표적인 예로 사람의 뇌를 반도체 칩으로 모사한

뉴로모픽 구조(neuromorphic architectures)를 볼 수 있다. 해당 반도체 칩에서 반복적으로 배치된 신경망(neural network) 부분은 CNTFET으로 구현하고, 신경망을 제어하는 부분은 전통적인 MOSFET로 구현하여 CNTFET의 높은 성능과 MOSFET의 안정성을 동시에 활용하고 있음을 알 수 있다[1]-[18].

CNTFET은 그림 1의 (a)와 같이 Source와 Drain 사이에 CNT를 배치시킨 구조로 되어 있다. 그림 1의 (a)에서는 CNT 사이의 간격이 일정하지만, 공정의 미정확으로 그림 1의 (b)와 같이 CNT 사이의 간격과 수가 불규칙하게 되어 처음 설계했을 때와 다른 수의 CNT가 불규칙한 간격으로 각 CNTFET 안에 배치될 수 있다. 본 논문에서는 기존 [18]에서 제시한 hybrid SRAM의 설계 방법과 분석 방법을 기반으로 MOSFET SRAM, CNTFET SRAM, 그리고 hybrid SRAM의 공정편차가 SRAM 성능에 미치는 영향성을 분석하고자 한다. 공정편차를 분석할 때는 전통적인 gate length와 width의 공정 편차와 함께 CNTFET의 고유한 공정 편차인 CNT 수와 간격의 변화를 동시에 분석하여 다양한 반도체 소자로 구성된 SRAM에서의 물리적인 공정 편차가 SRAM 성능에 어떤 영향을 미치는지 그 변화 정도를 논하고자 한다. 이러한 성능 비교를 위해 전통적으로 사용되어 온 32nm MOSFET 라이브러리 파일[19]과 32nm Stanford CNFET 라이브러리 파일[20]을 사용하였으며 공정 편차를 통계적으로 분석하기 위해 HSPICE Monte Carlo 시뮬레이션을 1000회 실행하였다[9].

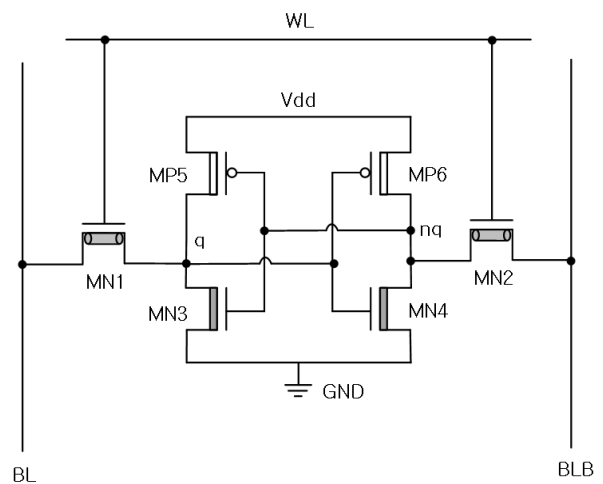


Fig. 2. Hybrid SRAM [18].
그림 2. 하이브리드 SRAM [18]

II. 본론

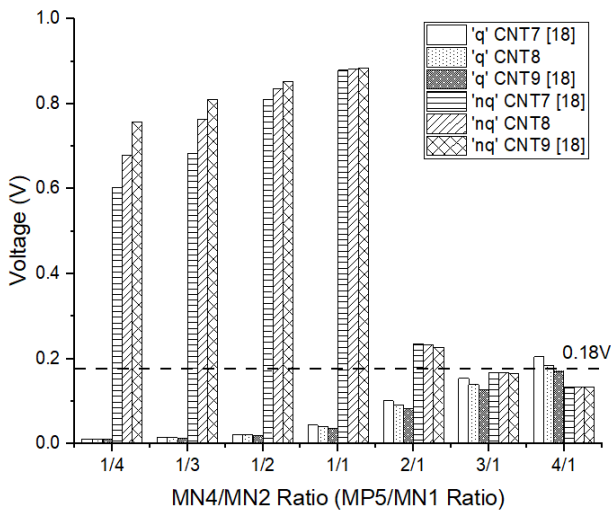


Fig. 3. Voltage on node 'q' and 'nq' depending on gate width ratio and CNT density.

그림 3. Gate Width 비율과 CNT 밀도에 따른 'q' 그리고 'nq' 노드 전압

그림 2는 [18]에서 제안한 6T hybrid SRAM 구성을 보여준다. 그림 2에서 MN3, MN4, MP5, 그리고 MP6는 두 개의 인버터가 서로 맞물리는 구조로 SRAM의 데이터 저장부를 구성하고, MN1과 MN2는 데이터 저장부와 두 개의 비트 라인(BL과 BLB)을 연결하는 데이터 연결부 역할을 한다. Hybrid SRAM에서 상대적으로 복잡한 구조를 가지고 있는 데이터 저장부는 MOSFET으로 구성하여 공정 편차에 덜 민감한 강건성을 확보하고, 단순한 구조를 가지지만 SRAM의 읽기와 쓰기 성능에 중요한 역할을 하는 데이터 연결부는 CNTFET으로 구성하여 SRAM 성능을 높이는 구조로 되어 있다. 그림 2에서 CNTFET은 다른 MOSFET과 구별하기 위해서 CNT를 상징하는 원기둥을 CNTFET 안에 표시하였다.

본 논문에서는 앞서 언급한 공정 편차에 따른 hybrid

SRAM의 성능 변화를 분석하고자 한다. 공정 편차에는 MOSFET과 CNTFET 모두에 공통적으로 적용되는 gate length와 width의 변화를 검토하였으며, CNTFET 고유의 공정 편차인 CNT 수와 간격의 변화도 함께 검토하였다. 공정 편차에 의해 CNT 수의 변화가 있을 때 현실적으로는 그림 1의 (b)와 같이 CNT 사이의 간격이 불규칙하게 배치되나, 현재 사용되는 CNTFET 라이브러리 파일의 한계로 모든 CNT 사이의 간격은 하나의 값만 부여할 수 있어, CNT 사이의 간격이 일정한 경우에 대해서만 시뮬레이션을 검토할 수 있다. 따라서, 본 논문에서는 CNT 수의 변화를 CNT 밀도의 변화(CNT 사이의 간격이 일정한 경우에 대한 CNT 수의 변화)로 검토하고자 한다[20][21].

Hybrid SRAM이 동작함을 확인하기 위해서는 SRAM이 읽기 또는 쓰기를 동작하는 중에 'nq' 또는 'q'의 값이 SRAM의 데이터 저장부를 구성하는 MOSFET의 문턱 전압 0.18V 보다 작은 값을 가져야 한다. CNT7과 CNT9에 대한 이와 같은 검토는 [18]에서 진행하여 hybrid SRAM이 동작함을 확인하였으나 CNT8에서는 진행하지 않았다. 당연하겠지만, 실제 CNT9으로 설계를 한 후 생산을 진행하였을 때 CNT 밀도는 랜덤하게 변하게 되므로 CNT 밀도는 CNT9나 CNT7이 아닌 CNT8이 될 수도 있다. 따라서, CNT8일 때에도 SRAM이 정상적으로 동작을 하는지 확인을 할 필요가 있다. 본 논문에서는 CNT8에 대한 'nq' 또는 'q' 노드 전압 검토를 진행하였으며 그 결과를 과거 [18] 연구 결과와 함께 그림 3과 같이 정리하였다. 그림 3에 표시된 값들을 통해 MN4/MN2 비율 또는 MP5/MN1 비율이 1/3일 때 CNT7, CNT8, 그리고 CNT9 모두에 대해 'nq' 또는 'q' 노드 전압값이 0.18V보다 작음을(SRAM이 동작함을) 알 수 있었고, MN4/MN2 비율 또는 MP5/MN1 비율이 1/4일 때는 CNT9인 경우에 대해서만 SRAM이 동작함을 알 수 있었다. 이는 MN4/MN2 비율 또는 MP5/MN1 비율을

Table. 1. Delay, Power, and PDP in Write and Read Operation

표 1. 쓰기 그리고 읽기 동작에서의 지연, 파워, 그리고 PDP

				Read			Write		
	MN4 (MP5)	MN2 (MN1)	CNT Density	Delay (ps)	Power (uW)	PDP (aj)	Delay (ps)	Power (uW)	PDP (aj)
all MOSFET SRAM [18]	N/A			234.9	0.041	9.540	35.6	0.604	21.480
all CNTFET SRAM [18]	3	1	CNT7 [18]	116.0	0.009	1.000	33.8	1.407	47.585
hybrid SRAM	3	1	CNT7 [18]	104.0	0.080	8.308	11.7	0.752	8.802
			CNT8	103.3	0.081	8.411	18.5	0.761	14.037
			CNT9	103.7	0.082	8.543	18.6	0.765	14.236
	4	1	CNT9	104.1	0.084	8.731	23.5	1.022	24.017

1/3로 디자인하면, CNT의 밀도가 CNT7, CNT8, 그리고 CNT9로 변하더라도, 즉, 반도체 공정 중 CNT의 숫자가 CNT9를 기준으로 1~2개 정도 적어지더라도 SRAM은 정상적으로 동작될 수 있음을 알 수 있다.

Table 2. Standard Deviation of Delay, Power, and PDP in Read Operation.

표 2. 읽기 동작에서 지연, 파워, 그리고 PDP의 표준편차

	CNT Density	Delay (ps)	Power (uW)	PDP (aj)
all MOSFET SRAM	N/A	3.997	50.087	2.002
all CNTFET SRAM	CNT7	0.206	1.689	0.003
	CNT8	0.227	1.770	0.004
	CNT9	0.249	5.197	0.013
Hybrid SRAM	CNT7	1.152	50.450	0.581
	CNT8	1.162	50.458	0.586
	CNT9	1.164	50.015	0.582

이와 같은 MN4/MN2 비율 또는 MP5/MN1 비율에 대해 hybrid SRAM 성능을 HSPICE를 이용하여 지연 (Delay), 파워(Power), 그리고 PDP를 기준으로 분석하였으며, 그 결과를 표 1과 같이 정리하였다. 표 1로부터 SRAM을 CNTFET으로만 구성하면 MOSFET으로만 구성하였을 때보다 전반적인 성능이 PDP 측면에서 읽기 그리고 쓰기에서 각각 약 9.5배 그리고 2.2배 향상됨을 알 수 있었고, hybrid로 구성하였을 때 약 10.9% 그리고 28.9%의 성능 향상이 있음을 알 수 있었다. Hybrid SRAM의 경우, MN4/MN2 비율 또는 MP5/MN1 비율이 1/3일 때 CNT 밀도가 CNT7로부터 CNT8 또는 CNT9로 변하더라도 쓰기 지연이 7 ps만큼 증가하는 것 이외에 다른 지표에서는 큰 변화가 없음을 알 수 있다. 특히, CNT8과 CNT9 인 경우의 성능 변화는 1% 내외로 매우 작음을 알 수 있다. 이러한 성능의 작은 변화는 hybrid SRAM의 성능이 CNT 공정 편차에 의한 CNT 밀도 변화에 거의 영향을 받지 않는 강건한 특징을 보여준다고 볼 수 있다. 추가로, MN4/MN2 비율 또는 MP5/MN1 비율 1/4이고 CNT 밀도가 CNT9일 때 쓰기 성능을 보면, MN4/MN2 비율 또는 MP5/MN1 비율이 1/3일 때와 비교하여 큰 차이가 남을 알 수 있다. MN4/MN2 비율 또는 MP5/MN1 비율이 다르다는 의미는 gate width가 다르다는 의미이므로 앞으로 논의할 gate length 그리고 width 공정 편차 분석에서 공정한 성능 변화를 비교하기 어렵다고 볼 수 있다. 따라서, 본

논문에서는 MN4/MN2 비율 또는 MP5/MN1 비율이 1/3인 경우에 대해서만 gate length 그리고 width 공정 편차 분석을 진행하고자 한다.

Table 3. Standard Deviation of Delay, Power, and PDP in Write Operation.

표 3. 쓰기 동작에서 지연, 파워, 그리고 PDP의 표준편차

	CNT Density	Delay (ps)	Power (uW)	PDP (aj)
all MOSFET SRAM	N/A	5.903	7.287	0.430
all CNTFET SRAM	CNT7	0.523	0.820	0.004
	CNT8	2.414	3.139	0.076
	CNT9	3.248	4.627	0.150
Hybrid SRAM	CNT7	4.760	7.224	0.344
	CNT8	5.263	7.626	0.401
	CNT9	5.350	7.769	0.416

본 논문에서는 all MOSFET SRAM, all CNTFET SRAM, 그리고 hybrid SRAM에 대해 gate length와 width가 동시에 ±5% 변하는 경우를 HSPICE Monte Carlo 시뮬레이션을 1000회 실시하였으며 그 표준편차를 읽기 그리고 쓰기 동작에 대해 표 2 그리고 표 3에 각각 정리하였다. 예상대로 전류가 gate length와 width 전체 면적을 통해 흐르는 MOSFET으로만 구성된 all MOSFET SRAM인 경우 gate length 그리고 width 공정 편차에 가장 민감한 모습을 보여주었고, CNT를 통해 전류가 흐르는 CNTFET로만 구성된 all CNTFET SRAM인 경우 gate length 그리고 width 공정 편차에 가장 강건한 모습을 보여주었으며, MOSFET과 CNTFET이 함께 사용된 hybrid SRAM의 경우 all MOSFET과 all CNTFET의 중간 정도로 공정 편차에 민감한 모습을 보여주었다. 구체적으로 MOSFET으로만 구성된 SRAM을 CNTFET으로만 구성하면 gate length와 width 공정 편차에 대해 읽기에서 약 109.5배 그리고 쓰기에서 약 3.7배의 강건한 모습을 보이고, hybrid로 구성하면 읽기에서 약 2.6배 쓰기에서 약 1.1배의 강건성을 보여준다.

지금까지의 시뮬레이션 결과를 보면, all CNTFET SRAM이 hybrid SRAM 보다 모든 측면(성능이나 공정 편차 강건성)에서 개선된 모습을 보여주기 때문에 all CNTFET SRAM이 무조건 hybrid SRAM보다 좋다는 인식을 가질 수 있으나, 본 분석 결과에서 간과하지 말아야 할 부분은 all CNTFET SRAM에서 SRAM을 구성하는 모든 CNTFET의 CNT 밀도는 반드시 CNT7 이상이

어야 한다는 점이다. 만약 CNT 밀도가 CNT7 미만으로 떨어지게 되면 [18]에서 설명한 바와 같이 SRAM은 동작하지 않게 된다. 따라서, 이러한 정교한 CNT 밀도 조절이 상대적으로 복잡한 구조를 가진 데이터 저장부에서 구현될 수 없다면 그 대안으로 hybrid SRAM을 선택해야 할 필요가 있다.

III. 결론

높은 성능과 다양한 활용성으로 차세대 반도체 후보로 관심 받고 있는 CNTFET은 CNT 배치와 같은 CNTFET 고유한 생산 공정이 아직 성숙되지 않아 상용화되지 못하고 있다. 이러한 불완전한 공정의 한계를 파악하고 상용화의 가능성을 높이기 위해 본 논문에서는 hybrid SRAM에서의 공정 편차를 상세히 분석하였다. 그 결과, CNT 밀도를 CNT7 이상으로 유지할 수 있다면, hybrid SRAM은 기존 MOSFET 기반 SRAM보다 높은 성능과 공정 편차 강건성을 보여주기 때문에 SRAM 전체를 CNTFET으로 구성하기 위한 생산 공정이 아직 성숙되지 않았다면 hybrid SRAM을 기존 MOSFET 기반 SRAM의 한계를 뛰어 넘을 수 있는 훌륭한 대안으로 고려할 수 있다고 생각된다.

References

[1] G. Hills *et al.*, "Modern microprocessor built from complementary carbon nanotube transistors," *Nature*, vol.572, no.7771, pp. 595-602, Aug. 2019. DOI: 10.1038/s41586-019-1493-8

[2] Y. An *et al.*, "Wafer-scale striped network transistors based on purified semiconducting carbon nanotubes for commercialization," *Nanotechnology*, vol.34, no.40, pp.405202, Jul. 2023. DOI 10.1088/1361-6528/ace36a

[3] L. Xiang *et al.*, "Conformable Carbon Nanotube Thin Film Transistors on Ultrathin Flexible Substrates," *IEEE Transactions on Electron Devices*, vol.70, pp.3106-3111, Apr. 2023. DOI: 10.1109/TED.2023.3267751

[4] S. Shrestha *et al.*, "Improving Stability of Roll-to-Roll (R2R) Gravure-Printed Carbon Nanotube-Based Thin Film Transistors via R2R Plasma-Enhanced Chemical Vapor-Deposited Silicon Nitride,"

Nanomaterials, vol.13, no.3, pp.559, Jan. 2023. DOI: 10.3390/nano13030559

[5] Z. Li, *et al.*, "Toward the Commercialization of Carbon Nanotube Field Effect Transistor Biosensors," *Biosensors*, vol. 13, no. 3, Feb. 2023. DOI: 10.3390/bios13030326

[6] C. Fan, *et al.*, "Monolithic Three-Dimensional Integration of Carbon Nanotube Circuits and Sensors for Smart Sensing Chips," *ACS Nano*, vol. 17, no.11, pp.10987-10995, May. 2023. DOI: 10.1021/acsnano.3c03190

[7] E. Abbasian, *et al.*, "A High-Performance and Energy-Efficient Ternary Multiplier Using CNTFETs," *Arabian Journal for Science and Engineering*, Jan. 2023. DOI: 10.1109/ISVLSI.2018.00057

[8] S. Kareer, *et al.*, "Metallic_CNT_Tolerant_Field_Effect_Transistor_Using_Dielectrophoresis," *IEEE Open Journal of Nanotechnology*, vol.4, pp. 95-101, Mar. 2023. DOI: 10.1109/OJNANO.2023.3256410

[9] I. Esqueda, *et al.*, "Aligned Carbon Nanotube Synaptic Transistors for Large-Scale Neuromorphic Computing," *ACS Nano*, Jun. 2018. DOI: 10.1021/acsnano.8b03831

[10] S. Jogad, *et al.*, "CNTFET based comparators: design, simulation and comparative analysis," *Analog Integrated Circuits and Signal Processing*, vol.114, pp.265-273, Feb. 2023. DOI: 10.1007/s10470-022-02119-7

[11] E. Esmaeili, *et al.*, "A high-efficient imprecise discrete cosine transform block based on a novel full adder and Wallace multiplier for bioimages compression," *International Journal of Circuit Theory and Applications*, vol.51, pp.2942-2965, Jan. 2023. DOI: 10.1002/cta.3551

[12] E. Tavakkolia, *et al.*, "Comparison and design of energy-efficient approximate multiplier schemes for image processing by CNTFET," *International Journal of Electronics*, pp. 1-22, Mar. 2023. DOI: 10.1080/00207217.2023.219268

[13] N. Patil, *et al.*, "Design methods for misaligned and mispositioned carbon-nanotube immune circuits," *IEEE Transactions on Computer-Aided*

Design of Integrated Circuits and Systems, vol. 27, pp.1725-1736, Oct. 2008.

DOI: 10.1109/TCAD.2008.2003278

[14] K. Jenkins, *et al.*, "Aligned 2D carbon nanotube liquid crystals for wafer-scale electronics," *Science Advances*, vol. 7, Sep. 2021.

DOI: 10.1126/sciadv.abh0640

[15] A. Sachdeva, *et al.*, "A carbon nano-tube field effect transistor based stable, low-power 8T static random access memory cell with improved write access time," *AEU - International Journal of Electronics and Communications*, vol.162, Apr. 2023. DOI: 10.1016/j.aeue.2023.154565

[16] A. Sachdeva, *et al.*, "A CNTFET Based Bit-Line Powered Stable SRAM Design for Low Power Applications," *ECS Journal of Solid State Science and Technology*, vol.12, no.4, Apr. 2023. DOI: 10.1149/2162-8777/acb67

[17] L. Soni, *et al.*, "A Novel CNTFET Based Schmitt-Trigger Read Decoupled 12T SRAM Cell with High Speed, Low Power, and High Ion/Ioff Ratio." *AEU - International Journal of Electronics and Communications*, vol.167, Jul. 2023. DOI: 10.1016/j.aeue.2023.154669

[18] G. Cho, "A Study on the Design Method of Hybrid MOSFET-CNTFET based SRAM," *Journal of IKEEE*, vol.27, no.1, pp.65-77, Mar. 2023. DOI: 10.7471/ikee.2023.27.1.65

[19] PTM Models, <http://ptm.asu.edu/>

[20] CNFET Models, <https://nano.stanford.edu/downloads/stanford-cnfet-model/stanford-cnfetmodel-hspice>

[21] G. Cho, "Circuit-Level Simulation of a CNTFET With Unevenly Positioned CNTs by Linear Programming," *IEEE Transactions on Device and Materials Reliability*, vol.14, pp.234-244, Mar. 2014. DOI: 10.1109/TDMR.2013.2279154

BIOGRAPHY

Geunho Cho (Member)



2004 : BS degree in Electronic Engineering, Sogang University.
2006 : MS degree in Electronic Engineering, Sogang University.
2012 : PhD degree in Electrical Engineering, Northeastern University.

2012~2017 : Senior Engineer, Samsung Display.

2017~present : Professor, Department of Electronic Engineering, Seokyeong University.