

LDO 레귤레이터의 파괴방지 및 효율성을 위한 ESD 보호회로 설계에 대한 연구

A Study on the Design of ESD Protection Circuit for Prevention of Destruction and Efficiency of LDO Regulator

이정민*, 권상욱*, 백승환*, 구용서**

Jeong-Min Lee*, Sang-Wook Kwon*, Seung-Hwan Baek*, Yong-Seo Koo**

Abstract

This paper proposes an LDO regulator with a built-in ESD (Electro Static Discharge) protection circuit to effectively operate and prevent destruction of the LDO (Low Drop Out) regulator according to the load current. The proposed LDO regulator can more effectively adjust the gate node voltage of the pass transistor according to the output voltage of the LDO regulator by using an additional feedback current circuit structure. In addition, it is expected to have high reliability for the ESD situation by embedding a new structure that increases the holding voltage by about 2V by reducing the current gain on the SCR loop by adding a P+ bridge to the existing ESD protection device.

요약

본 논문에서는 부하전류에 따라 LDO(Low Drop Out) 레귤레이터의 효과적인 동작과 파괴 방지를 위해 ESD(Electro Static Discharge) 보호회로를 내장한 LDO 레귤레이터를 제안한다. 제안하는 LDO 레귤레이터는 additional feedback current 회로 구조를 이용하여 LDO 레귤레이터의 출력전압에 따라 더욱 효과적으로 패스 트랜지스터의 게이트 노드 전압을 조절할 수 있다. 또한 기존의 ESD 보호소자에 P+ bridge를 추가하여 SCR 루프 상의 전류 이득을 감소시켜 홀딩 전압을 약 2V 가량 높은 새로운 구조를 내장하여 ESD 상황에 대해 높은 신뢰성을 가질 것으로 예상된다.

Key words : LDO regulator, ESD protection circuit, High reliability circuit, IC protection, ESD protection built into the LDO regulator

Dept. of Electronics Engineering, Dankook University

★ Corresponding author

E-mail : aint0ver5@naver.com, Tel : +82-031-8005-3625

※ Acknowledgment

This work was supported by the Technology Innovation Program (or Industrial Strategic Technology Development Program-Korea Collaborative & High-tech Initiative for Prospective Semiconductor Research) (“RS-2023-00200000”, Development of Wireless Charging SoC with built-in Ultra-Small, High-Robustness ESD Protection Circuit for Wearable Devices) funded By the Ministry of Trade, Industry & Energy(MOTIE, Korea)(1415187474) and by the National Research Foundation of Korea(NRF) grant funded by the Korea government Ministry of Education (NRF-2021R1F1A1049866).

Manuscript received Jun. 26, 2023; revised Jul. 20, 2023; accepted Aug. 1, 2023.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

전력 반도체의 향후 발전적인 관점에서 IC 내에 ESD (Electro Static Discharge) 보호회로를 내장하는 것은 중요하다. 반도체 회로의 지속적이고 안정적인 동작을 위해서는 외부 서지에 대한 안정적인 보호회로를 구성하는 것이 필수적이다. ESD 현상은 일상적인 상황에서 자주 발생한다. 일반적으로 사람들은 ESD 현상에 크게 영향을 받지 않는다. 그러나 전력 반도체의 경우 IC가 보호되지 않은 상태에서 ESD 조건에 노출되면 내부 IC가 파괴된다. ESD 현상으로 인한 회로 파괴는 정상적인 회로 작동을 불가능하게 하여 전체 시스템 파괴를 초래한다. ESD 보호회로를 적용한 LDO(Low Drop Out) 레귤레이터 애플리케이션은 ESD 현상 발생 시 IC를 안전하게 보호함으로써 높은 신뢰성과 안정성을 확보할 수 있다. 그러나 ESD 보호회로가 없는 LDO 레귤레이터 애플리케이션은 ESD 현상 발생 시 IC를 안전하게 보호할 수 없기 때문에 고신뢰성 및 안정성을 확보할 수 없다. 따라서 ESD 보호회로를 구성하지 않고 모바일 또는 웨어러블 기기를 사용하면 회로 파손이 잦아 기기의 정상적인 동작을 보장할 수 없다. ESD 현상의 결과로 ESD 보호회로의 유무가 회로의 안정성과 신뢰성에 상당한 영향을 미치기 때문에 전력 반도체 측면에서는 ESD 보호회로의 구성은 필수적이다.

웨어러블 및 모바일 애플리케이션 시장은 매년 새로운 모습으로 성장하고 있다. 편리한 일상생활을 위해 다양한 애플리케이션을 사용하는 시스템은 제한된 배터리 용량으로 장시간 구동할 수 있는 고성능을 요구한다. 이러한 애플리케이션에 사용되는 다양한 전압 및 전류 조건으로 인해 전원 공급 장치가 순간적으로 변동하는 부하 조건이 생성된다. 모바일 애플리케이션에는 막대한 대기 전류가 필요하기 때문에 부하 전류에 대한 전압 안정성이 필요하다. 저전압 애플리케이션에 사용되는 LDO 레귤레이터는 가변 전압 및 부하 전류가 필요한 시스템을 위한 가장 비용 효율적인 제어 부품 중 하나이다. 부하 전류가 변함에 따라 LDO 레귤레이터에서 불안정한 출력 전압이 제공되면 시스템에서 요구하는 전압이 지속적으로 변경되어 IC 동작에 치명적인 영향을 미친다. 따라서 그림 1과 같이 부하 전류의 변화와 관계없이 안정적으로 동작하도록 LDO 레귤레이터를 구성해야 한다.

일시적인 ESD 서지는 인체에 미미한 영향을 미치지만 ESD 서지의 높은 전압과 전류로 인해 IC에 손상 또는 파괴와 같은 치명적인 결함을 입힐 수 있다. 이러한 ESD

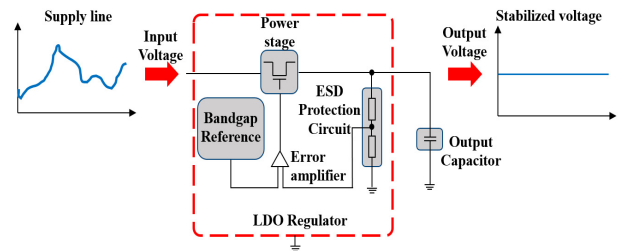


Fig. 1. Voltage regulation using LDO regulator.
그림 1. LDO 레귤레이터를 이용한 전압 레귤레이션

보호회로는 LDO 레귤레이터에 사용되는 것과 같이 IC의 신뢰성과 수명을 보장하기 위해 내장되어야 한다. 각 회로가 개별적으로 설계되고 작동된다면 문제가 되지 않지만, 수십 개의 LDO 레귤레이터가 전력 반도체의 집적 회로에 설계되어 있기 때문에 하나의 회로가 정상 동작을 하지 않으면 이와 연결된 다른 회로도 정상 동작을 보장할 수 없게 된다. 향후의 전력 반도체 시스템 설계 측면에서 ESD 보호회로를 내장한 LDO 레귤레이터는 차세대 전력 반도체를 위해 반드시 개발되어야 할 필수 요소이다. 그 이유는 전력 반도체뿐만 아니라 반도체 전체를 볼 때 공정의 소형화로 인해 ESD 상황에 노출되는 일이 빈번하기 때문이다. 따라서 본 논문에서는 ESD 상황에서 전력 반도체의 고신뢰성을 검증하기 위해 ESD 보호회로를 내장을 위한 ESD 보호회로 및 LDO 레귤레이터의 시뮬레이션을 제안한다[1, 2].

II. 본론

1. 고신뢰성 ESD 보호회로 내장형 LDO 레귤레이터 회로 구성

그림 2는 LDO 레귤레이터의 ESD 현상에 대한 ESD 보호회로 구성을 보여준다. ESD 현상 발생 시 ESD 보호회로가 동작하여 ESD 전류가 I/O CLAMP와 POWER CLAMP를 통해 내부 회로로 유입되는 것을 방지하고 ESD 전류를 VSS 핀으로 방전시켜 내부 회로를 지속적으로 유지시켜 준다. ESD 보호회로는 고전압에서 동작하며 내부 회로를 보호할 수 있어야 한다. 그리고 작은 면적에 큰 전류를 방전할 수 있는 전류 구동 능력이 요구된다. 또한 정상동작 시에는 OFF 되어 정상동작에 영향을 미치지 않도록 설계되어야 한다.

그림 3은 LDO 레귤레이터의 ESD 현상에 대한 다이오드 구성을 보여준다. 다이오드는 구조가 간단하여 구현 및 설계가 용이하여 일반적으로 ESD 보호회로로 널리 사용되고 있다. 그러나 다이오드에는 몇 가지 치명적

인 단점이 존재한다. 첫 번째는 면적이다. 그 이유는 일반적으로 다이오드는 순방향일 때 0.5V~1V 정도의 턴-온 전압을 가지며 전류를 방전한다. 따라서 다이오드를 통한 ESD 보호는 여러 개의 다이오드를 사용하는 스트링 다이오드 구조를 이용하여 설계되어야 한다. 일반적으로 다이오드의 순방향 전압을 0.7V라고 가정하면 5V 이상의 ESD 보호회로로 사용하려면 다이오드가 최소 8 개 필요하다. 두 번째 단점은 PN 다이오드의 실제 턴-온 전압이 온도에 매우 민감하다는 것이다. 일반적인 상온에서 다이오드의 순방향 턴-온 전압이 0.7V라면 고온 환경에서는 다이오드의 순방향 턴-온 전압이 0.3V 또는 0.4V 정도로 크게 줄어든다. 이는 ESD 방전 특성이 쉽게 변할 수 있음을 의미하며, 곧 회로의 신뢰성과 직결되는 중요한 문제이다.

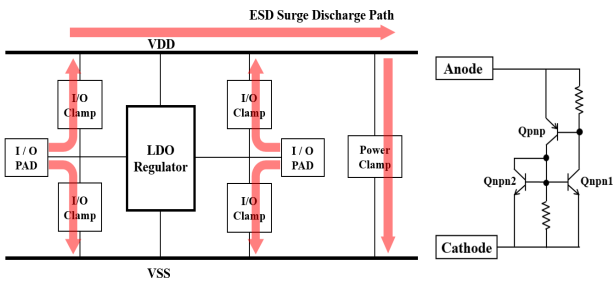


Fig. 2. Built-in ESD protection circuit configuration for ESD event of LDO regulator.

그림 2. LDO 레귤레이터의 ESD 현상에 대한 내장형 ESD 보호회로 구성

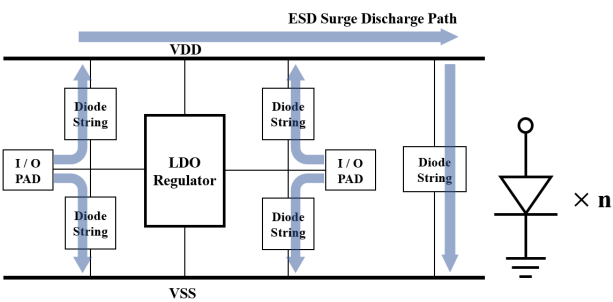


Fig. 3. Built-in diode configuration for ESD event of LDO regulator.

그림 3. LDO 레귤레이터의 ESD 현상에 대한 내장형 다이오드 구성

그림 4는 ESD 보호회로 내장을 위한 additional feedback current 구조를 이용한 LDO 레귤레이터의 블록 다이어그램을 나타낸다. ESD 현상 발생 시 내부 회로를 보호하기 위해 Vdd-Vss, Vout-Vss 단에 ESD 보호 회로를 내장해 주어야 한다. 그림 5는 제안된 LDO 레귤레

이터의 additional feedback current 회로 구조를 나타낸다. LDO 레귤레이터는 부하전류의 변화에 따라 피드백 전압 값이 동시에 변화하기 때문에 그 변화에 따라 패스 트랜지스터의 게이트 노드에 추가적인 전류를 공급 및 방전 시켜주는 구조를 나타낸다. LDO 레귤레이터의 출력전압이 감소하게 된다면, 패스 트랜지스터의 게이트 노드는 충분한 전류의 제공을 위해 전압이 감소해야만 한다. 따라서 additional feedback current 회로 구조는 추가적인 방전 경로를 형성시켜 보다 효과적으로 패스 트랜지스터의 게이트 노드 전압을 감소시킬 수 있다. LDO 레귤레이터의 출력 전압이 증가하게 된다면, 패스 트랜지스터의 게이트 노드는 전류의 감소를 위해 전압이 증가해야만 한다. 따라서 additional feedback current 회로 구조는 추가적인 공급경로를 형성시켜 보다 효과적으로 패스 트랜지스터의 게이트 노드 전압을 증가시킬 수 있다[3].

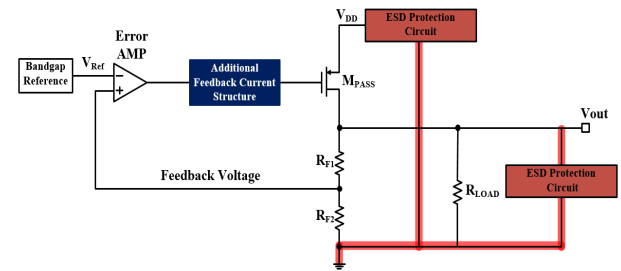


Fig. 4. Block diagram of LDO regulator using additional feedback current structure for built-in ESD protection circuit.

그림 4. ESD 보호회로 내장을 위한 additional feedback current 구조를 이용한 LDO 레귤레이터의 블록 다이어그램

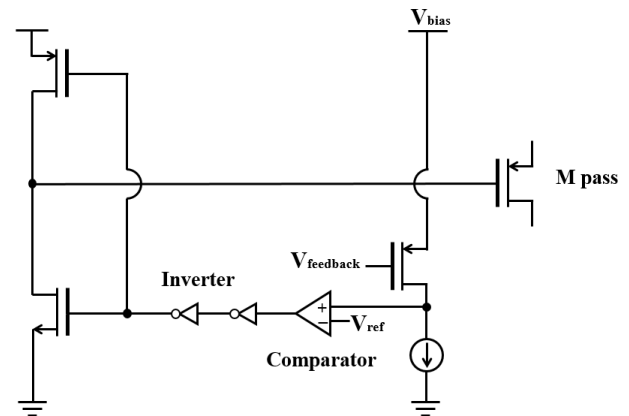


Fig. 5. LDO regulator using additional feedback current structure.

그림 5. Additional feedback current 구조를 이용한 LDO 레귤레이터

2. 기존의 ESD 보호소자

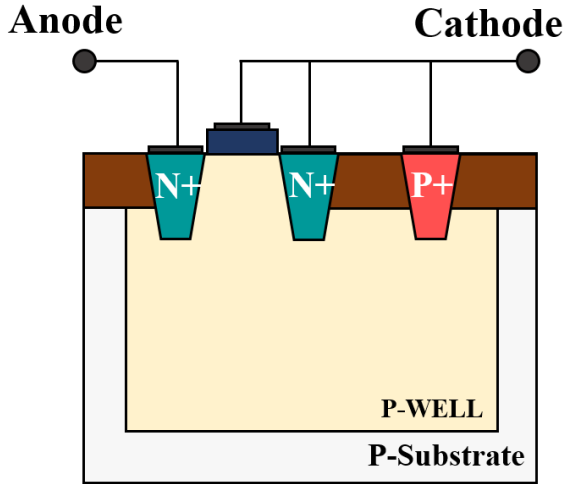


Fig. 6. Cross section of the GGNMOS.
그림 6. GGNMOS의 단면도

그림 6은 일반적인 GGNMOS(Grounded-Gate NMOS)의 단면도를 보여준다. GGNMOS의 동작원리는 다음과 같다. Anode에 ESD Surge가 인가되면 N⁺영역과 P-WELL이 역방향 접합이 형성된다. 여기서 Avalanche Breakdown이 발생하게 되어 EHP(Electron Hole Pair)가 생성되고. Hole 전류가 P-WELL을 통해 Cathode로 흐르면서 전압강하가 발생한다. P-WELL의 전위가 상승하면서 기생 NPN BJT의 순방향 턴-온 전압에 도달하면 기생 NPN BJT가 턴-온 되어 다량의 ESD 전류를 방전시키게 된다.

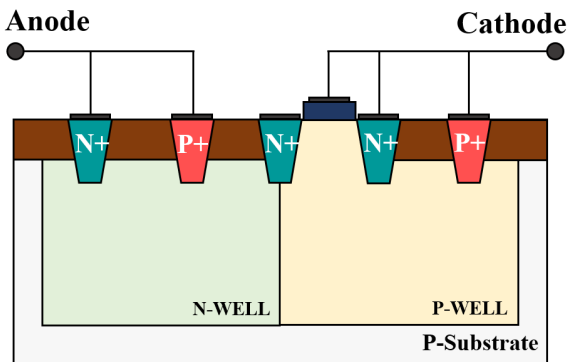


Fig. 7. Cross section of the LVTSCR.
그림 7. LVTSCR의 단면도

그림 7은 일반적인 LVTSCR(Low Voltage Triggered SCR)의 단면도를 보여준다. LVTSCR의 구조적 특징은 GGNMOS 구조를 기본적인 SCR 구조에 삽입함으로써 기존의 WELL 간에서 발생하던 Avalanche Breakdown

을 N⁺ bridge와 WELL 간에서 발생하게 하여 기존 SCR 구조 보다 트리거 전압을 낮춘 구조이다. LVTSCR의 기본적인 동작 원리는 다음과 같다. 정상 동작 시 N-WELL과 P-WELL은 역방향 접합이기 때문에 ESD 보호소자가 작동하지 않는다. ESD surge가 인가되면 N⁺ bridge와 P-WELL 사이에서 Avalanche Breakdown이 발생하고 이로 인해 생성된 EHP 중에서 Hole들은 P⁺ Cathode 영역으로 빠지면서 Hole 전류에 의해서 P-WELL의 전위가 상승한다. 이때 증가한 전위가 P-WELL과 N⁺ Cathode와의 순방향 접합의 내부 전위보다 증가하게 되면 기생 NPN BJT가 작동하게 되고 이와 동시에 전자의 관점에서 마찬가지로 기생 PNP BJT가 작동한다. 이와 같은 동작을 하는 것을 SCR 동작을 한다고 하며, NPN BJT와 PNP BJT가 서로의 Base 전류를 공급해주는 정궤환 루프를 형성함으로써 높은 전류 구동 능력을 갖는다. LVTSCR은 기존 SCR과 달리 N⁺ bridge 영역으로 인해 트리거 전압이 낮지만 여전히 홀딩 전압이 낮다[4-6].

3. 제안된 ESD 보호소자

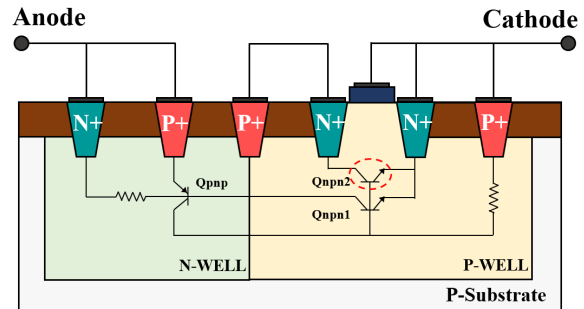


Fig. 8. Cross section and equivalent circuit of the proposed ESD protection device.

그림 8. 제안된 ESD 보호소자의 단면도 및 등가회로

그림 8은 제안하는 LDO 레귤레이터에 내장된 ESD 보호소자의 등가회로 및 단면도를 보여준다. 기존 LVTSCR의 N⁺ bridge 대신 P⁺ bridge를 사용하였고, N⁺ 확산 영역을 사용함으로써 추가적인 기생 NPN BJT(Qnpn₂)를 작동시킨다. 이 소자의 동작 원리는 기존의 LVTSCR과 같으나, Avalanche Breakdown이 N-WELL과 P⁺ bridge 영역 간에 일어나는 것과 P-WELL의 전위가 순방향 접합 이상으로 증가하여 SCR 동작 시에 Qnpn₁과 Qnpn₂가 작동한다. 기존 LVTSCR에 비해 추가적인 기생 NPN BJT(Qnpn₂)에 의해서 기존의 ESD 보호소자에 비해서 SCR 루프 상의 전류 이득이 감소하게 되고 홀딩 전압이 높아지게 되는 효과를 갖는다.

4. 시뮬레이션 결과

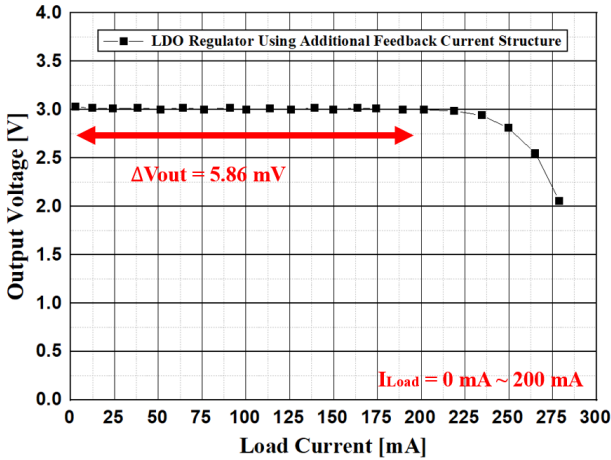


Fig. 9. Load regulation measurement result of LDO regulator using additional feedback current structure.

그림 9. Additional feedback current 구조를 이용한 LDO 레귤레이터의 load regulation 측정 결과

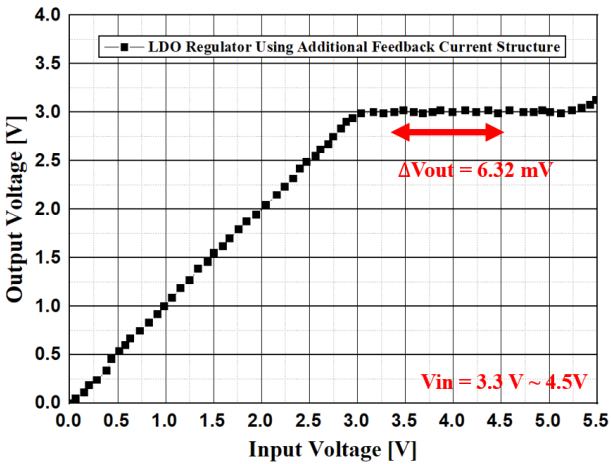


Fig. 10. Line regulation measurement result of LDO regulator using additional feedback current structure.

그림 10. Additional feedback current 구조를 이용한 LDO 레귤레이터의 line regulation 측정 결과

그림 9는 additional feedback current 구조를 이용한 LDO 레귤레이터의 load regulation 측정 결과이다. 제안된 ESD 보호회로 내장 LDO 레귤레이터는 부하 전류를 200mA까지 지속적으로 증가시켰을 때 약 5.86 mV의 전압 변화를 보인 것을 확인할 수 있다.

그림 10은 additional feedback current 구조를 이용한 LDO 레귤레이터의 line regulation 측정 결과를 나타낸다. 일반적으로 LDO 레귤레이터의 출력 전압은 다른 시스템의 입력 전압으로 제공되기 때문에 입력 전압이 변하더라도 안정적인 출력 전압을 제공해야 한다. 제안된 ESD 보호회로 내장 LDO 레귤레이터는 입력 전

압을 3.3 V~4.5 V 범위에서 지속적으로 증가시켰을 때 약 6.32 mV의 전압 변화를 유지함을 확인하였다.

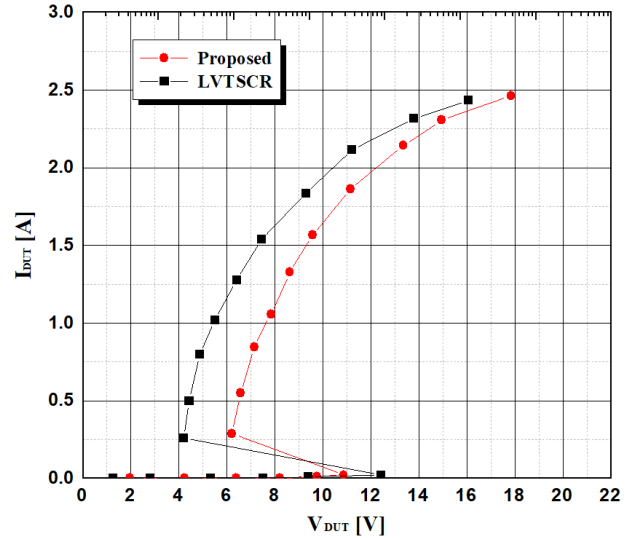


Fig. 11. Simulation of DC-IV characteristics of the proposed ESD protection circuit and LVTSCR.

그림 11. 제안된 ESD 보호 회로와 LVTSCR의 DC-IV 특성 시뮬레이션

그림 11은 비교 소자인 LVTSCR과 제안된 ESD 보호 소자의 DC-IV 특성 곡선 시뮬레이션 결과이다. 본 논문에서는 시놉시스사의 TCAD Simulator를 통해 제안된 ESD 보호소자의 전기적 특성을 확인하였다. ESD 보호 소자의 전기적 특성 중 트리거 전압은 ESD 현상이 발생했을 때 ESD 보호소자가 동작할 때의 전압이고, 홀딩 전압은 ESD 보호소자가 작동된 직후 Snapback 현상이 발생하여 보호소자 양단에 인가되는 최소 전압을 의미한다. 시뮬레이션 결과, 기존의 LVTSCR은 약 12.34 V의 트리거 전압과 약 4.18 V의 홀딩 전압을 갖는다. 하지만 제안된 ESD 보호소자는 약 10.78 V의 트리거 전압과 약 6.13 V의 높은 홀딩 전압을 갖는다는 것을 확인할 수 있다.

III. 결론

전력 반도체 회로는 ESD 상황에서 회로 작동에 대한 낮은 신뢰성의 위험에 항상 노출되어 있다. 본 논문에서 제안된 ESD 보호소자는 기존의 ESD 보호소자와 달리 추가적인 기생 NPN BJT를 통해 loop gain을 감소시켜 홀딩 전압을 증가시킨다. DC-IV 특성 곡선 시뮬레이션 결과 기존의 ESD 보호소자보다 약 2 V 가량의 높은 홀딩 전압을 갖는 것을 확인하였다. 또한 본 논문에서

제안된 LDO 레귤레이터는 기존의 LDO 레귤레이터에 additional feedback current 회로 구조를 이용하여 기존의 구조에 비해 추가적인 전류 방전 경로를 확보함으로써 LDO 레귤레이터의 출력전압에 따라 더욱 효과적으로 패스 트랜지스터의 게이트 노드 전압을 조절할 수 있다. 제안된 ESD 보호소자가 내장된 LDO 레귤레이터의 load regulation 시뮬레이션 결과 부하전류가 200 mA 까지 변화할 때 약 5.86 mV의 전압 변화를 확인할 수 있었다. 또한 line regulation 시뮬레이션 결과 입력 전압이 3.3 V에서 4.5 V로 증가할 때 대략 6.32 mV의 전압 변화를 확인할 수 있었다. 또한 본 논문의 목적인 IC용 ESD 보호회로를 개발하기 위한 시뮬레이션 검증을 진행하였다. 단일 ESD 보호회로를 구성하는 것이 아니라, IC 레벨에서 ESD 상황에 대한 시뮬레이션을 진행하여 ESD 보호회로가 IC 내부에 영향을 미치지 않을 수 있도록 검증하였다. 결과적으로 시뮬레이션 결과를 토대로 LDO 레귤레이터의 ESD 보호회로를 내장한다면, ESD 상황에서 내부 회로 시스템을 안정적으로 보호할 수 있음을 확인할 수 있었다. 이를 통해 전력 반도체의 수명과 고신뢰성 측면에서 향후 집적회로의 보호회로 구성을 더욱 효과적으로 설계하는데 큰 기여를 할 것으로 기대된다.

References

- [1] M. D. Ker and C. C. Yen, "Investigation and Design of On-Chip Power-Rail ESD Clamp Circuits Without Suffering Latch up-Like Failure During System-Level ESD Test," *IEEE J. Solid-State Circuits*, vol.43, no.11, pp.2533-2545, 2008. DOI: 10.1109/JSSC.2008.2005451
- [2] Albert Z. H. Wang, "On-Chip ESD Protection for Integrated Circuits 2nd ed," Springer, 2002. DOI: 10.1007/b117005
- [3] Sang-Wook Kwon, et al.: "Design of LDO Regulator With High Reliability ESD Protection Circuit Using Analog Current Switch Structure for 5-V Applications," *IEEE Access*, vol.11, pp.37472-37482, 2023. DOI: 10.1109/ACCESS.2023.3267162
- [4] Y. Koo, K. Lee, K. Kim, and J. Kwon, "Design of SCR based ESD protection device for power clamp using deepsubmicron CMOS technology," *Microelectron. J.*, vol.40, no.6, pp.1007-1012, 2009. DOI: 10.1016/j.mejo.2009.01.001

- [5] M.-D. Ker and S.-H. Chen, "Implementation of initial-on ESD protection concept with PMOS_t triggered SCR devices in deep-submicron CMOS technology," *IEEE J. Solid-State Circuits*, vol.42, no.5, pp.1158-1168, 2007.
- [6] O. Quittard, Z. Mrcarica, F. Blanc, G. Notermans, T. Smedes, and H. van Zwol, "ESD protection for high-voltage CMOS technologies," in *Proc. EOS/ESD Symp.*, pp.77-86, 2006.

BIOGRAPHY

Jeong-Min Lee (Member)



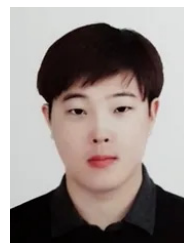
2023 : BS degree in Electrical Engineering, DanKook University.
2023~ : Unified course of the master's in Foundry Engineering, DanKook University

Sang-Wook Kwon (Member)



2017 : BS degree in Electronics Engineering, SeoKyeong University.
2019~ : Unified course of the master's and doctoral in Electronics and Engineering, DanKook University.

Seung-Hwan Baek (Member)



2022 : BS degree in Display Engineering, DanKook University.
2022~ : Unified course of the master's in Foundry Engineering, DanKook University.

Yong-Seo Koo (Member)

1981 : BS degree in Electronics
Engineering, Sogang University.

1983 : MS degree in Electronics
Engineering, Sogang University.

1992 : Ph.D degree in Electronics
Engineering, Sogang University.

Current research interest :
integrated circuit, micro processor.