

계면 트랩에 기반한 BCAT 구조 DRAM의 로우 해머 분석

Analysis of Row Hammer Based on Interfacial Trap of BCAT Structure in DRAM

임창영*, 김연석*, 권민우**

Chang Young Lim*, Yeon Seok Kim*, Min-Woo Kwon**

Abstract

Row hammering is a phenomenon in which bit flips occur in adjacent rows when accessing a particular row continuously, causing data damage, security problems, and poor computing performance. This paper analyzes the cause and response method of row hammering through TCAD simulation in 2nm DRAM. In the experiment, the row hammering is reproduced while changing the parameters of the trap and the device structure, and the trap density, temperature. It analyzes the relationship with Active Wisdom, etc. As a result, it was confirmed that changes in trap parameters and device structures directly affect $\Delta V_{cap}/pulse$. This enables a fundamental understanding of low hammering and finding countermeasures, and can contribute to improving the stability and security of DRAM.

요약

로우 해머는 특정 행(row)에 연속적으로 액세스할 때 인접한 행에서 비트 플립이 발생하는 현상으로 데이터 손상과 보안 문제, 컴퓨팅 성능 저하를 야기한다. 본 논문은 2nm DRAM에서 TCAD 시뮬레이션을 통해 로우 해머의 원인과 대응 방법을 분석한다. 실험에서는 트랩의 파라미터와 소자의 구조를 변화시키면서 로우 해머 현상을 재현하고, 트랩 밀도, 온도, 액티브 위스 등과의 관계를 분석한다. 실험 결과, 트랩 파라미터와 소자 구조의 변화는 $\Delta V_{cap}/pulse$ 에 직접적인 영향을 미치는 것을 확인하였다. 이를 통해 로우 해머에 대한 근본적인 이해와 대응 방안 모색이 가능하고 DRAM의 안정성과 보안을 향상시키는데 기여할 수 있다.

Key words : DRAM, bit flip, Row hammering, trap, device structure

1. 서론

컴퓨팅 시스템에서 메모리는 시스템의 전반적인 성능, 전력 소모, 신뢰도를 결정짓는 중요한 요소이다. "Dynamic

Random Access Memory(DRAM)"은 하나의 커패시터와 트랜지스터로 구성된 간단한 구조로 전하를 저장하며, 높은 속도를 제공하여 오랫동안 컴퓨팅 시스템의 주 기억장치로 사용되고 있다. 빅데이터와 인공지능 기술은

* Dept. of Electronic Engineering, Gangneung-Wonju National University

★ Corresponding author

E-mail : mwkwon@gwnu.ac.kr, Tel : 033-640-2381

※ Acknowledgment

This research was supported by "Regional Innovation Strategy (RIS)" through the National Research Foundation of Korea(NRF) funded by the Ministry of Education (MOE)(2022RIS-005), and was supported by the National R&D Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Science and ICT (NRF-2022M3I7A1078936) and this paper was supported by research funds for newly appointed professors of Gangneung-Wonju National University in 2021.

Manuscript received Jul. 7, 2023; revised Aug. 14, 2023; accepted Sep. 15, 2023.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

대용량, 고성능 DRAM 수요를 폭발적으로 증가시켰고, HBM 기술과 제조공정의 미세화 및 집적화를 통해 DRAM은 발전하였다[8]. 하지만 집적화 과정에서 DRAM 행의 밀도는 과도하게 증가하였고, DRAM 셀 간 거리가 정상 동작에 영향을 미칠만큼 가까워졌다. 로우 해머(Row hammer)는 인접 cell 간의 disturb 현상으로 특정 행(row)을 짧은 시간 내에 연속적으로 접근할 때 인접 행에서 bit-flip이 발생하는 현상이다. 이로 인해 발생하는 데이터 손상은 심각한 보안 문제와 컴퓨팅 성능 저하를 야기한다[1]. 이에 대해 현재는 Error Correcting Code (ECC) 기술이나 parity bit 기술 등의 방법으로 대응하고 있지만, 이러한 방법들은 근본적인 해결책이 되지 않으며 컴퓨팅 성능에도 악영향을 미칠 수 있다[2, 3].

본 논문에서는 2nm DRAM device에서 TCAD 시뮬레이션을 활용하여 로우 해머 문제의 근본적인 원인과 대응 방법을 모색하고자 한다. 이를 위해 시뮬레이션을 통해 로우 해머 현상을 재현하고, trap density, trap region, fin depth 등의 주요 파라미터와의 연관관계를 분석한다.

II. 본론

1. 로우 해머

현재까지 컴퓨팅 시스템에서 주 기억 장치로 사용되는 디램은 1개의 트랜지스터와 1개의 커패시터로 구성된 1T1C 구조이다. 커패시터에 저장된 전하로 1과 0을 구분하게 되는데, 전하가 저장되면 '1', 방전되면 '0'이 저장된다. 전하의 손실은 저장된 데이터의 손상을 의미하므로, 커패시터에 저장된 전하를 유지하는 것이 중요하다. 하지만 커패시터에 저장된 전하가 시간이 지남에 따라 점진적으로 빠져나가는 'Leakage' 현상이 발생한다. 이는 반도체 소자의 물리적 특성에 기인한 현상이다. 이러한 leakage 현상으로 인한 데이터 손상을 막기 위해 주기적인 refresh 작업이 필요하다. refresh 작업은 추가 전력과 디램의 동작 주기를 소모하므로 지속적인 전력 소모와 시스템의 성능 저하를 유발할 수 있다. 따라서 Refresh 주기는 적절하게 설정되어야 한다.

디램은 저장 용량과 속도 향상을 위해 점점 작은 크기로 미세화, 집적화되었다. 이로 인해, 그림 1과 같이 셀의 밀도가 높아지고, 인접한 셀 간의 전기적 상호작용이 증가하여 비정상적인 현상이 발생했다[4]. 로우 해머는 디램에서 발생하는 비정상적인 동작으로 셀 간의 전기적 상호작용으로 인해 발생한다. 로우 해머는 특정 셀(Aggressor

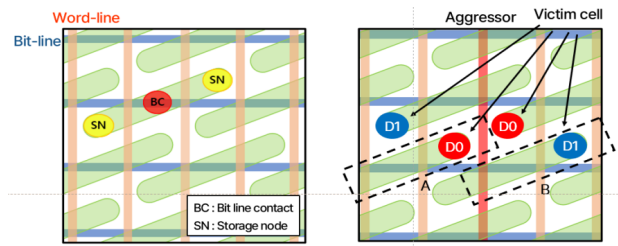


Fig. 1. DRAM cell array structure and row hammering type by location.

그림 1. DRAM cell array 구조 및 위치별 로우 해머 종류

cell)에 refresh time보다 짧은 시간 동안 접근(Access)을 반복하면 인접 셀(Victim cell)에 전기적 상호작용이 발생하여 저장된 데이터에 비트 플립(bit flip)이 발생하는 현상이다[5, 6]. 로우 해머는 비트 플립의 종류에 따라 (0→1) bit flip은 D0 failure (1→0) bit flip은 D1 failure로 구분되며 그림 1과 같이 aggressor와 victim 셀의 위치관계에 따라 그 종류가 결정된다. 본 논문에서는 D0 failure에 관한 분석을 다룬다.

2. D0 failure

D0 failure의 핵심 원인은 aggressor cell의 FPG (field passing gate) 계면에 형성된 트랩이다. 그림 2와 같이 D0 failure는 FPG 트랩에 의한 전자 포획과 포획된 전자의 확산 2단계 과정으로 이루어진다[7]. 먼저, FPG에 양전압이 인가되면 커패시터의 전자는 FPG 근처로 끌려오는 동시에, 일부 전자는 FPG 계면에 위치한 트랩에 의해 포획된다. 그 후 FPG에 음전압이 인가되면 끌려왔던 대부분의 전자는 다시 셀 커패시터로 돌아가고, 트랩에 의해 포획된 전자는 돌아가지 못하고 남게된다. 그 후 포획된 전자의 방출과 확산이 진행된다. 이때 대부분의 전자는 다시 커패시터로 돌아가지만 일부는 drain 영역으로 확산되고 커패시터는 전자를 잃게 된다. 이 작업이 refresh time 사이에 반복되면 커패시터에 저장된

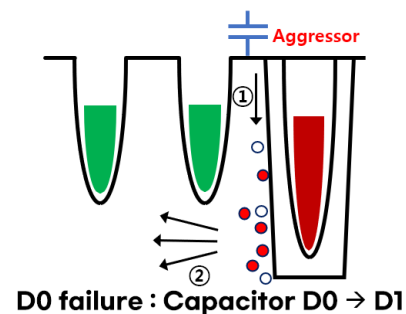


Fig. 2. The capture-release process of row hammering. 그림 2. 로우 해머의 포획-방출 과정

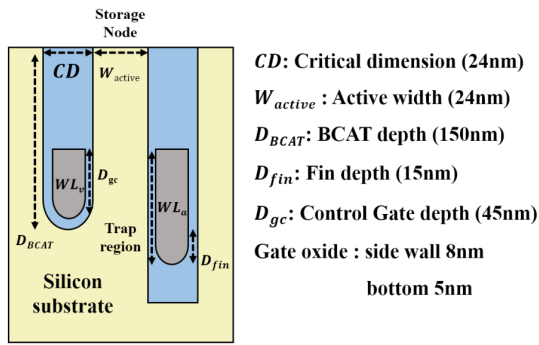


Fig. 3. DRAM transistor(BCAT) structure.
그림 3. DRAM 트랜지스터(BCAT) 구조

전압이 점차 감소하고 결국 저장된 정보가 0에서 1로 변하는 bit flip 현상이 발생된다. 현재 로우 해머에 대한 연구는 확률 기반 해결법 혹은 ECC 기술 등이 있다. 이는 근본적인 해결 방법이 아닌 추가적인 전력 소모와 시스템의 성능을 감소시키는 대응 방법이다. 따라서 시스템의 성능과 소비 전력에 영향이 없는 해결 방법을 고안하기 위해서는 로우 해머의 물리적인 원리와 원인, 소자 구조에 관한 분석이 필요하다.

III. 실험

로우 해머의 근본적인 원인을 소자(트랜지스터) 측면에서 분석하기 위해, 일반적인 2y nm 노드 수준 BCAT 소자를 SILVACO TCAD 시뮬레이션을 통해 구현하여 실험을 진행하였다. victim 셀 워드 라인 깊이(WLv)는 150nm, aggressor 워드 라인 깊이(WLa)는 165nm, 게이트 oxide 두께는 측면이 8nm, 하단이 5nm이고, active width는 24nm다. 스토리지 노드(SN) 커패시터는 10fF이며 초기 SN 전압은 0V 이다. 로우 해머를 구현하기 위해 혼합 모드에서 온/오프 시간 100ns, 상승/하강 시간 10ns의 펄스를 사용하였다. 1-RH 동안 드레인에는 0.5V, WLv에는 -0.3V, 기판에는 0V가 인가하였다. D0 failure가 발생하는 2단계 과정에서 핵심 파라미터인 트랩의 파라미터와 소자의 구조에 따른 영향을 확인하기 위해 트랩 파라미터(밀도, 온도, energy level, capture cross-section)과 소자의 구조를 변화시키며 펄스당 커패시터 전압 변화를 측정하였다. 시뮬레이션에서는 다음 모델을 사용하였다. 1) doping dependent Shockley-Read-Hall recombination (SRH); 2) band-to-band tunneling (BTBT); 3) continuously variable transmission (CVT); 4) Fowler-Nordheim tunneling and direct tunneling (FNORD); 5) Hot Electron Injection (HEI).

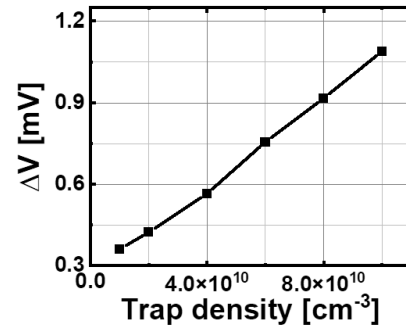


Fig. 4. Capacitor voltage change according to trap density.
그림 4. trap 밀도에 따른 커패시터 전압 변화

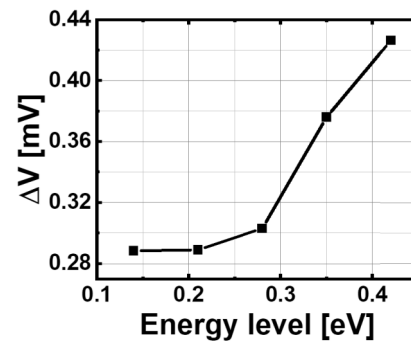


Fig. 5. Capacitor voltage changes according to trap energy level.

그림 5. E.level에 따른 커패시터 전압 변화

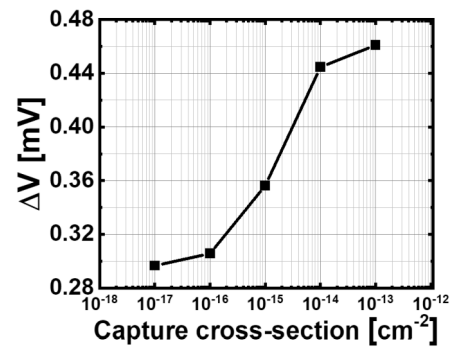


Fig. 6. Capacitor voltage changes according to capture cross section.

그림 6. capture cross-section에 따른 커패시터 전압 변화

먼저, 트랩 파라미터에 따른 변화(그림 4, 5, 6)는 밀도, trap energy level(donor-like trap, acceptor-like trap), capture cross section은 값이 증가함에 따라 커패시터의 전압 변화 또한 선형적으로 증가하였다. 그림 7은 트랩 위치에 따른 실험 결과로, FPGA 계면에 위치한 트랩이 깊어질수록 커패시터 전압 변화가 커지는 것을 확인할 수 있다. 그림 8, 9, 10은 소자의 온도와 물리적인 구조를 변화시키며 비교한 결과이다. 소자 온도의 변화는 트랩의 energy level과 관계없이 높을수록 커

패시터의 전압 변화를 증가시켰다. fin depth가 깊수록 트랩의 위치에 따른 결과와 유사하게 전압 변화가 커졌다. active width가 증가함에 따라 커패시터의 전압 변화는 선형적으로 감소하였다.

트랩 파라미터와 소자의 구조에 따른 결과를 종합하였을 때, 트랩의 밀도, 온도, energy level, capture cross-section은 값이 증가함에 따라 커패시터 전압 변화에 선형적으로 영향을 미치고, 트랩의 위치와 fin depth가 깊을수록, 소자의 active width는 작을수록 전압 변화가 커지는 것을 확인할 수 있었다. 이러한 결과를 통해 D0 failure가 발생하는 포획-방출 과정에서 트랩 파라미터는 FPG가 on일 때 포획되는 전자의 수에 영향을 미치고, 트랩의 깊이와 fin depth는 깊을수록, active width는 클수록 방출 과정에서 전자의 커패시터 복귀 확률을 낮추는 것으로 추정할 수 있다. 따라서 전자의 포획-확산 과정이 D0 failure에 중요 매커니즘이고, 트랩이 포획-확산 과정의 핵심 요소인 것을 실험 결과를 통해 확인할 수 있다.

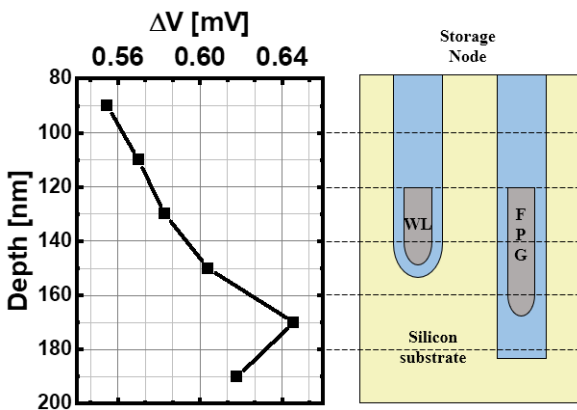


Fig. 7. Capacitor voltage change with depth of trap.
그림 7. 트랩의 깊이에 따른 커패시터 전압 변화

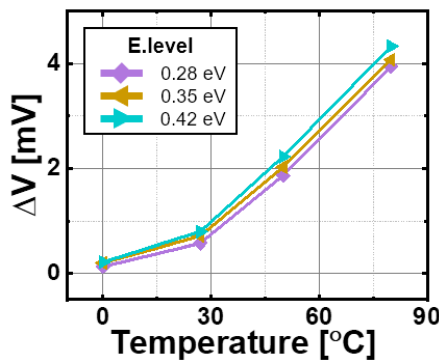


Fig. 8. Capacitor voltage changes according to temperature.
그림 8. 온도에 따른 커패시터 전압 변화

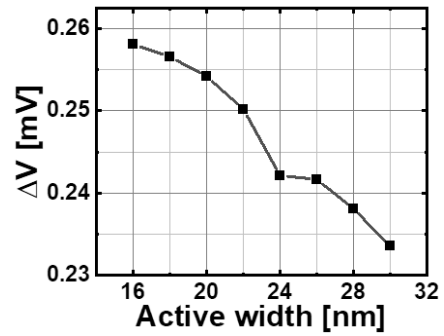


Fig. 9. Voltage Change of Capacitor with Active Width.
그림 9. Active width에 따른 커패시터의 전압 변화

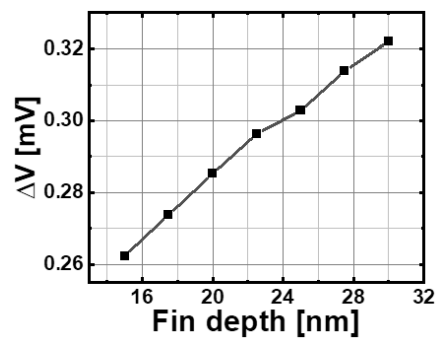


Fig. 10. voltage Change of Capacitor with Fin Depth.
그림 10. fin depth에 따른 커패시터의 전압 변화

IV. 결론

본 논문은 시뮬레이션을 통해 로우 해머를 재현하고 근본적인 원인을 분석하였다. 시뮬레이션 결과 트랩에 관련된 파라미터와 소자의 구조에 따라 커패시터의 전압 변화 즉, 로우 해머의 영향이 달라지는 것을 확인하였다. 트랩의 파라미터 밀도, 온도, energy level, capture cross-section의 변화에 따라 커패시터의 전압 변화가 선형적으로 변하는 결과를 통해 트랩이 전자를 포획할 확률이 높을수록 로우 해머가 더 잘 발생하였다. 또한, 구조와 관련된 요소(active width, fin depth)에 따라 커패시터의 전압 변화가 달라지는 것을 확인하였다. 이는, 포획된 전자가 확산 과정에서 커패시터로 돌아가지 못해 커패시터의 전압이 상승하는 것으로 추론된다.

결과적으로 로우 해머는 전자의 포획-방출 과정에 의해 발생하며, 전자의 포획-방출 과정의 매개체는 트랩이라는 것을 알 수 있다. 따라서 로우 해머를 완화하기 위해서는 게이트 산화막 막질 개선이 필수적이며, 전자의 포획과 방출 과정을 완화할 수 있는 트랩에 관련된 추가 연구가 필요한 것으로 보인다.

References

- [1] S. K. Gautam, S. K. Manhas, A. Kumar, M. Pakala and E. Yieh, "Row Hammering Mitigation Using Metal Nanowire in Saddle Fin DRAM," *in IEEE Transactions on Electron Devices*, vol.66, no.10, pp.4170-4175, 2019.
DOI: 10.1109/TED.2019.2931347.S.
- [2] L. Cojocar, K. Razavi, C. Giuffrida and H. Bos, "Exploiting Correcting Codes: On the Effectiveness of ECC Memory Against Rowhammer Attacks," *2019 IEEE Symposium on Security and Privacy (SP)*, pp.55-71,2019. DOI: 10.1109/SP.2019.00089.
- [3] You, Jung Min, and Joon-Sung Yang. "MRLoc: Mitigating Row-hammering based on memory Locality," *Proceedings of the 56th Annual Design Automation Conference 2019*. 2019.
DOI: 10.1145/3316781.3317866
- [4] J. S. Kim et al., "Revisiting RowHammer: An Experimental Analysis of Modern DRAM Devices and Mitigation Techniques," *2020 ACM/IEEE 47th Annual International Symposium on Computer Architecture (ISCA)*, pp.638-651, 2020.
DOI: 10.1109/ISCA45697.2020.00059.
- [5] O. Mutlu, "The RowHammer problem and other issues we may face as memory becomes denser," *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, pp.1116-1121, 2017.
DOI: 10.23919/DATE.2017.792715
- [6] O. Mutlu and J. S. Kim, "RowHammer: A Retrospective," *in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol.39, no.8, pp.1555-1571, 2020.
DOI: 10.1109/TCAD.2019.2915318.
- [7] T. Yang and X. -W. Lin, "Trap-Assisted DRAM Row Hammer Effect," *in IEEE Electron Device Letters*, vol.40, no.3, pp.391-394, 2019.
DOI: 10.1109/LED.2019.2891260.
- [8] H. Jun et al., "HBM (High Bandwidth Memory) DRAM Technology and Architecture," *2017 IEEE International Memory Workshop (IMW)*, pp.1-4, 2017. DOI: 10.1109/IMW.2017.7939084.

BIOGRAPHY

Chang Young Lim (Student Member)



2018~ : BS degree in Electronic Engineering, Gangneung-Wonju National University.

Yeon Seok Kim (Member)



2023 : BS degree in Electronic Engineering, Gangneung-Wonju National University.
2023~ : MS degree in Electronic Engineering, Gangneung-Wonju National University.

Min-Woo Kwon (Member)



2012 : BS degree in department of Electrical and Computer Engineering, Seoul National University
2019 : Ph. D degree in Electrical and Computer Engineering, Seoul National University

2021~ : Professor Dept. of Electronic Engineering, Gangneung-Wonju National University.