

고전압 SiO₂ 절연층 nMOSFET n⁺ 및 p⁺ poly Si 게이트에서의 Positive Bias Temperature Instability 열화 메커니즘 분석

윤여혁*,**

Analysis of Positive Bias Temperature Instability Degradation Mechanism in n⁺ and p⁺ poly-Si Gates of High-Voltage SiO₂ Dielectric nMOSFETs

Yeohyeok Yun*,**

요약 본 논문은 4세대 VNAND 공정으로 만들어진 고전압 SiO₂ 절연층 nMOSFET의 n⁺ 및 p⁺ poly-Si 게이트에서의 positive bias temperature instability(PBTI) 열화에 대해 비교하고 각각의 메커니즘에 대해 분석한다. 게이트 전극 물질의 차이로 인한 절연층의 전계 차이 때문에 n⁺/nMOSFET의 열화가 p⁺/nMOSFET의 열화보다 더 클 것이라는 예상과 다르게 오히려 p⁺/nMOSFET의 열화가 더 크게 측정되었다. 원인을 분석하기 위해 각각의 경우에 대해 interface state와 oxide charge를 각각 추출하였고, 캐리어 분리 기법으로 전하의 주입과 포획 메커니즘을 분석하였다. 그 결과, p⁺ poly-Si 게이트에 의한 정공 주입 및 포획이 p⁺/nMOSFET의 열화를 가속시킴을 확인하였다.

Abstract Positive bias temperature instability (PBTI) degradation of n⁺ and p⁺ poly-Si gate high-voltage(HV) SiO₂ dielectric nMOSFETs was investigated. Unlike the expectation that degradation of n⁺/nMOSFET will be greater than p⁺/nMOSFET owing to the oxide electric field caused by the gate material difference, the magnitude of the PBTI degradation was greater for the p⁺/nMOSFET than for the n⁺/nMOSFET. To analyze the cause, the interface state and oxide charge were extracted for each case, respectively. Also, the carrier injection and trapping mechanism were analyzed using the carrier separation method. As a result, it has been verified that hole injection and trapping by the p⁺ poly-Si gate accelerates the degradation of p⁺/nMOSFET. The carrier injection and trapping processes of the n⁺ and p⁺ poly-Si gate high-voltage nMOSFETs in PBTI are detailed in this paper.

Key Words : Positive Bias Temperature Instability(PBTI), High-Voltage(HV) nMOSFET, poly-Si gate

1. 서론

낸드 플래시 메모리의 기술이 발전하면서, 데이터가 저장되는 메모리 셀 소자에 읽고 쓰는 전압을 전달하는 경로에 있는 high-voltage(HV) SiO₂ 절연층 nMOSFET의 신뢰성에 대한 중요도 역시 증가하고 있다. nMOSFET이 회로 동작 과정에서 ON 상태에

놓일 때 게이트에 양의 전압이 인가되고, 이때 문턱 전압(V_{th})과 같은 다양한 특성의 열화를 유발하는 positive bias temperature instability(PBTI) 스트레스를 받게 된다[1,2]. 결국 V_{th}의 열화는 정확한 신호 전달에 악영향을 주어 메모리 동작 불량을 야기할 수 있다.

일반적으로 다양한 신뢰성 가속 평가 스트레스는

*Department of Information and Communication Technology Engineering, Jeonju University

**Corresponding Author : yeohyeok.yun@jj.ac.kr

Received July 30, 2023

Revised August 11, 2023

Accepted August 17, 2023

Si 기판/절연층의 계면에 interface state(N_{it})를 발생시키고 산화물 절연층 내부에 oxide charge(N_{ox})를 발생시킨다[3]. 그 결과, N_{it}에 의해 발생하는 V_{th}의 열화인 ΔV_{it}, N_{ox}에 의해 발생하는 V_{th}의 열화인 ΔV_{ox}가 합쳐져 ΔV_{th}와 같이 여러 파라미터의 열화가 발생한다(ΔV_{th} = ΔV_{it} + ΔV_{ox})[4]. 그리고 SiO₂, SiON, high-k 등의 다양한 게이트 절연층 물질에 대해 negative bias temperature instability(NBTI), hot carrier injection(HCI), time dependent dielectric breakdown(TDDDB) 등과 같은 다양한 종류에 대해 연구가 활발히 진행되어 왔다[5]. 하지만 지금까지 HV SiO₂ nMOSFET 소자의 PBTI에 대한 연구는 많지 않으며, 특히 n⁺ poly-Si 게이트 nMOSFET (n⁺/nMOSFET) 이외의 p⁺ poly-Si 게이트 nMOSFET(p⁺/nMOSFET)의 PBTI 열화 자체에 대한 연구조차 대단히 부족하다. 따라서 본 논문에서는 n⁺/nMOSFET과 p⁺/nMOSFET의 PBTI 평가를 통해 열화를 비교하고, 각각 열화에 따른 N_{it} 및 N_{ox} 생성을 추출하고, 캐리어 분리 방법을 사용하여 절연층으로의 캐리어 주입 및 포획과 같은 열화 메커니즘에 대해 분석하고자 한다.

2. 실험

실험에 사용된 소자는 4세대 VNAND 공정으로 만들어진 Peri 소자이며 n⁺ 및 p⁺ poly-Si 게이트의 planar nMOSFET (n⁺/nMOSFET과 p⁺/nMOSFET)이다. 채널 폭 W = 5 μm, 길이 L = 2 μm의 test element group(TEG)에서 측정하였다. 게이트 유전체는 equivalent oxide thickness(EOT) 40nm의 SiO₂ 층이다. 게이트에는 30 V의 스트레스 전압이 인가되었고 398 K의 온도(T)에서 V_s = V_d = V_b = 0 V가 인가되었다[3]. V_{th}는 V_d = 0.05 V에서 constant current(CC) 방법으로, N_{ox}는 mid-gap voltage(V_{mg}) 방법으로, N_{it}는 스트레스 전, 후 소자의 전달 특성곡선에서 subthreshold swing(SS) SS ≡ ∂V_g/∂(logI_d)를 측정하여 다음과 같은 SS 방법 관계식을 통해 확인하였

다[5].

$$\Delta N = \frac{C_{ox}}{qkT \ln(10)} \cdot \Delta SS \quad (1)$$

여기서 k는 볼츠만 상수, C_{ox}는 절연층의 정전용량이다. E_{ox}는 다음 식과 같이 계산되었다[7,8].

$$E_{ox} = \frac{V_g - V_{FB} - \phi_s - V_{poly}}{EOT} \quad (2)$$

$$V_{poly} = V_{gs} - V_{FB} - \phi_s - \frac{q\epsilon_{si}N_{poly}EOT^2}{\epsilon_{ox}^2} \times \left(1 - \sqrt{1 - \frac{2\epsilon_{ox}^2}{q\epsilon_{si}N_{poly}EOT^2} (V_{GS} - V_{FB} - \phi_s)} \right) \quad (3)$$

여기서 V_{FB}는 플랫 밴드 전압, φ_s는 표면 전위, V_{poly}는 poly 게이트 공핍 전압, ε_{si} ≈ 1.04 × 10⁻¹² F/cm은 Si의 유전율, ε_{ox} ≈ 3.45 × 10⁻¹³ F/cm은 산화물 절연층의 유전율이다. 모든 측정은 Agilent 사의 B1530A 파형 발생기가 장착된 B1500A 반도체 소자 계측기를 사용하였다.

3. 결과 및 고찰

3.1 n⁺/nMOSFET과 p⁺/nMOSFET의 PBTI 열화

PBTI 열화는 스트레스 전압인 V_g에 의해 절연층에 인가되는 E_{ox}에 비례하여 증가한다[4]. 따라서 PBTI 스트레스를 인가할 때 동일한 크기의 V_g가 n⁺/nMOSFET과 p⁺/nMOSFET에 각각 인가된다면, 절연층에 인가되는 E_{ox}의 크기에 따라 PBTI 열화 크기 비교를 예상할 수 있다. 그림 1은 열적 평형 상태에서 각각 n⁺/nMOSFET과 p⁺/nMOSFET의 밴드 다이어그램이다. 이때, p⁺ poly Si 게이트의 일함수가 n⁺ poly Si 게이트의 일함수보다 1.1 eV 더 크고, 이러한 게이트 물질에 의한 일함수 차이에 의해 그림 1과 같이 V_{FB}의 차이와 E_{ox}의 차이가 발생한다. 이 상태에서 PBTI 스트레스가 인가되면, 그림 2

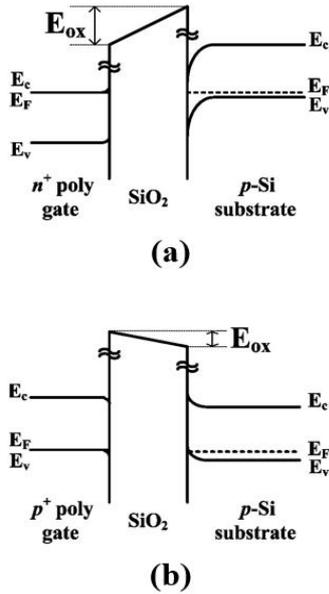


그림 1. 열적 평형상태에서 게이트 전극 물질 차이에 의한 E_{ox} 차이를 보여주는 밴드 다이어그램: (a) n^+/n MOSFET, (b) p^+/n MOSFET

Fig. 1. Band diagram illustrating E_{ox} difference due to gate material difference in thermal equilibrium: (a) n^+/n MOSFET, (b) p^+/n MOSFET

와 같이 p^+/n MOSFET의 경우 n^+/n MOSFET에 비해 일함수의 차이만큼 절연층에 인가되는 E_{ox} 가 상대적으로 완화되는 효과를 받을 수 있다. 그 결과, PBTI 스트레스 상태에서 n^+/n MOSFET의 절연층에 인가되는 E_{ox} 의 크기가 p^+/n MOSFET의 절연층에 인가되는 E_{ox} 의 크기보다 더 크다는 것을 알 수 있다. 하지만 HV SiO_2 nMOSFET에 $V_g = 30$ V가 인가되었을 때 스트레스 시간(t_s)에 따른 ΔV_{th} 는 그림 3과 같이 n^+/n MOSFET(검은색)보다 p^+/n MOSFET(빨간색)에서 오히려 더 크게 확인된다. 이렇게 예상과 다른 실측 결과의 원인을 분석하기 위해 V_{th} 의 열화를 발생시키는 주요 인자인 N_{it} 와 N_{ot} 를 각각 분리 추출하였다.

3.2 N_{it} 및 N_{ot} 추출 및 분석

일반적으로 PBTI 스트레스는 Si 기판/절연층의 계면에 음의 acceptor-like N_{it} 를 발생시키고 산화물

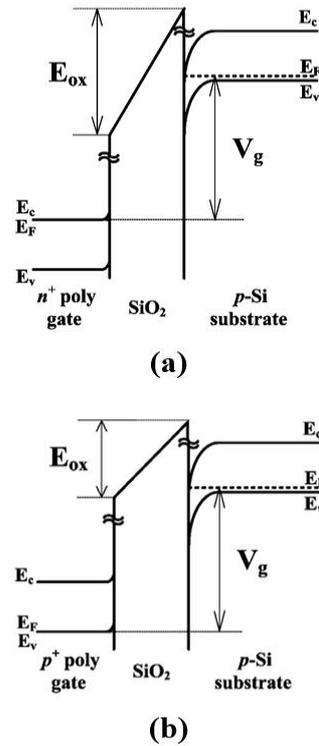


그림 2. PBTI 스트레스 상태에서 게이트 전극 물질 차이에 의한 E_{ox} 차이를 보여주는 밴드 다이어그램: (a) n^+/n MOSFET, (b) p^+/n MOSFET

Fig. 2. Band diagram illustrating E_{ox} difference due to gate material difference under PBTI stress: (a) n^+/n MOSFET, (b) p^+/n MOSFET

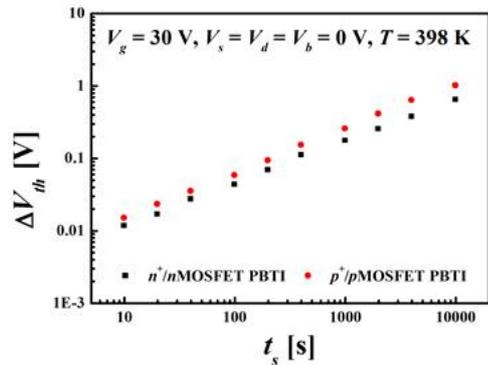


그림 3. n^+ 및 p^+ poly-Si HV SiO_2 절연층 nMOSFET의 PBTI 스트레스에 의한 문턱 전압 열화 비교

Fig. 3. Comparison of ΔV_{th} between HV SiO_2 dielectric n^+/n MOSFET and p^+/n MOSFET under PBTI stress

절연층 내부에 음의 N_{ot}를 발생시킨다[3]. 그리고 N_{it}에 의해 발생하는 V_{th}의 열화인 ΔV_{it}, N_{ot}에 의해 발생하는 V_{th}의 열화인 ΔV_{ot}가 합쳐져 ΔV_{th}와 같이 여러 파라미터의 열화가 발생한다(ΔV_{th} = ΔV_{it} + ΔV_{ot})[3].

그림 4는 앞에서 진행한 HV n⁺/nMOSFET과 p⁺/nMOSFET의 PBTI 스트레스 측정에서 SS 방법으로 추출한 t_s에 따른 ΔN_{it} 생성 데이터이다. n⁺/nMOSFET과 p⁺/nMOSFET 모두 음의 acceptor-like N_{it}가 생성되었다. 그리고 n⁺/nMOSFET(검은색)보다 p⁺/nMOSFET(빨간색)에서 더 크게 확인되었다. 그림 5는 앞에서 진행한 HV n⁺/nMOSFET과 p⁺/nMOSFET의 PBTI 스트레스 측정에서 V_{mg} 방법으로 추출한 t_s에 따른 ΔN_{ot} 생성 데이터이다. n⁺/nMOSFET과 p⁺/nMOSFET 모두 음의 N_{ot}가 생성되었다. n⁺/nMOSFET(검은색)보다 p⁺/nMOSFET(빨간색)에서 더 크게 확인되었다. 특히 N_{ot}는 두 경우에 대한 차이가 상대적으로 더 컸기 때문에 캐리어 분리 방법을 통해 캐리어 주입 및 포획에 대한 열화 메커니즘을 추가 분석하였다.

3.3 캐리어 분리 및 메커니즘 분석

열화 메커니즘 분석에서 절연층으로의 캐리어의 주입과 흐름에 대한 이해는 매우 중요하다. 따라서 n⁺/nMOSFET과 p⁺/nMOSFET이 PBTI 스트레스 상태에서 캐리어의 주입과 N_{ot}의 생성이 어떠한 메커니즘을 가질지 확인하기 위해 그림 6과 같이 PBTI 스트레스 측정(검은색, 빨간색)과 소스/드레인 전압을 플로팅 한 상태에서의 PBTI 스트레스 측정(초록색, 파란색) 결과를 비교하는 측정을 진행하였다[6]. 그 결과, PBTI 스트레스 상태에서 n⁺/nMOSFET과 p⁺/nMOSFET의 게이트 전극 물질의 차이가 게이트에서 기판 쪽으로의 캐리어 주입 차이의 원인이 되었음을 알 수 있다. n⁺/nMOSFET과 다르게 p⁺/nMOSFET의 경우, 게이트에서 절연층으로 정공이 주입된 후 절연층 내부에서 포획된다. 그리고 이러한 정공 포획에 의해 E_{ox}의 크기가 증가하여 더 많은 N_{it}와 N_{ot}의 생성이 유발되고, 결국 더

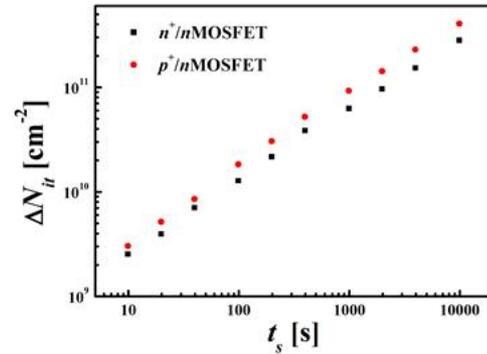


그림 4. n⁺ 및 p⁺ poly-Si HV SiO₂ 절연층 nMOSFET의 PBTI 스트레스에 의한 N_{it} 생성 비교
Fig. 4. Comparison of N_{it} generation between n⁺ and p⁺ poly-Si gate of the HV SiO₂ dielectric nMOSFET under PBTI

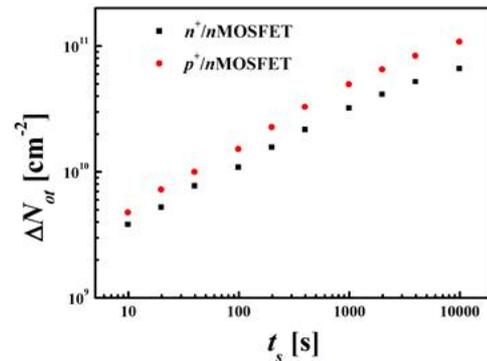


그림 5. n⁺ 및 p⁺ poly-Si HV SiO₂ 절연층 nMOSFET의 PBTI 스트레스에 의한 N_{ot} 생성 비교
Fig. 5. Comparison of N_{ot} generation between n⁺ and p⁺ poly-Si gate of the HV SiO₂ dielectric nMOSFET under PBTI

큰 V_{th}의 열화가 발생하였다. PBTI 스트레스 동안 소스/드레인을 플로팅하면(초록색, 파란색) 채널이 형성되지 않으므로 반전층의 전자 농도가 낮은 상태이다. 따라서 Si 기판/절연층 계면 근처에서의 전자 포획의 영향은 미미하고, 게이트/절연층 계면 근처의 정공 포획의 영향만 주요하다. 그 결과, PBTI 스트레스(검은색, 빨간색)보다 소스/드레인을 플로팅 한 PBTI 스트레스(초록색, 파란색)의 V_{th} 열화가 더 작은 것을 알 수 있다. 또한 그림 6에서 n⁺/nMOSFET의 소스/드레인을 플로팅 한 PBTI의

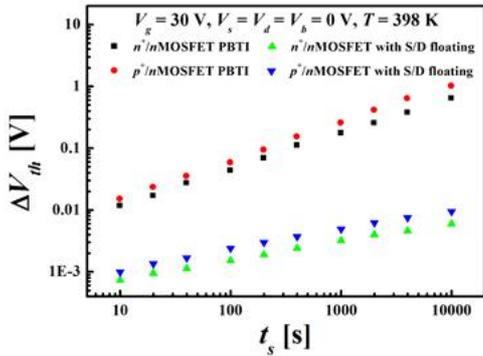


그림 6. 소스/드레인 플로팅 PBTI 실험 결과
 Fig. 6. Results of source/drain floating PBTI experiments

경우(초록색)에 열화의 양이 가장 작은 것을 알 수 있는데, n⁺ poly Si 게이트에 의해 Si 기판/절연층 계면의 전자 포획과 게이트/절연층 계면의 정공 포획 모두 가장 적게 발생하여 E_{ox}에 큰 변화를 주지 못하였다. 반면, p⁺/nMOSFET의 소스/드레인을 플로팅 한 PBTI의 경우(파란색)에는 p⁺ poly Si 게이트에 의해 게이트/절연층 계면 근처에서의 정공 포획이 E_{ox} 증가를 유발하여 더 큰 열화를 발생시켰다.

추가로, 게이트 누설 전류에서 전자 및 정공의 기여도를 더 잘 이해하기 위해 캐리어 분리 방법[9]을 사용한 측정을 진행하였다. 그림 7과 같이 소스/드레인/기판은 접지 상태, n⁺/nMOSFET과 p⁺/nMOSFET의 게이트는 V_g는 0 ~ 30 V로 sweep 측정하였다. 게이트 누설 전류는 절연층을 지나는 전자에 의한 전류와 정공에 의한 전류로 구성되며, 이 두 캐리어의 전류 성분은 전자로 구성된 전류인 소스/드레인 전류(I_{S/D})와 정공으로 구성된 전류인 기판 전류(I_{sub})로 나눌 수 있다[9]. 그리고 전자와 정공 둘 다 포함한 게이트 누설 전류와 정공으로 구성된 전류인 I_{sub}을 분리한 결과는 그림 8과 같다. 우선, 그림 7(a)는 n⁺/nMOSFET의 캐리어 분리 측정을 보여주는데, 이 경우 전자는 소스와 드레인으로부터 공급되어 I_{S/D}를 구성하고, Si 기판에서 생성된 정공은 I_{sub}을 구성하여 그림 8(a)와 같이 확인할 수 있다. 그림 7(b)는 p⁺/nMOSFET의 캐리어 분리 측

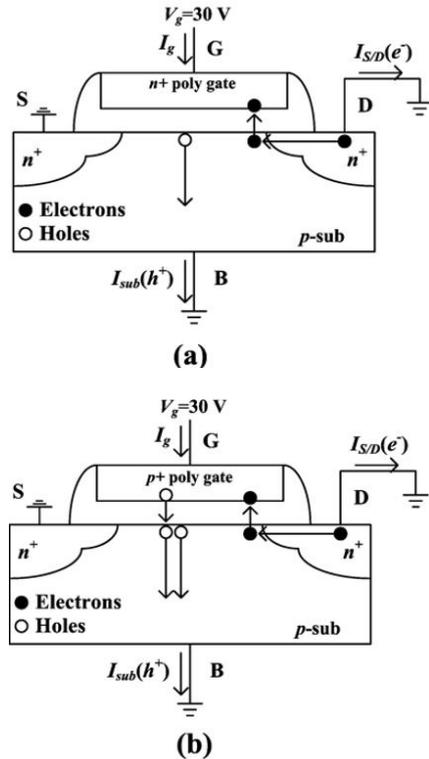


그림 7. 캐리어 분리 실험 개략도: (a) n⁺/nMOSFET, (b) p⁺/nMOSFET
 Fig. 7. Schematic diagrams illustrating the carrier separation experiment: (a) n⁺/nMOSFET, (b) p⁺/nMOSFET

정을 보여주는데, 이 경우 전자는 소스와 드레인으로부터 공급되어 I_{S/D}를 구성하고, Si 기판에서 생성된 정공 외에 p⁺ poly Si 게이트에서 주입되는 정공이 추가되어 I_{sub}을 구성한다. 이것은 그림 8에서 (a)보다 (b)에서 I_{sub}/I_g 비율이 더 큰 것으로부터 확인할 수 있다. 그리고 p⁺/nMOSFET에서 정공 포획에 따른 E_{ox} 증가로 게이트 누설 전류의 크기가 증가하게 되는데, 이는 그림 8(a)와 (b)의 전류 크기 차이로 확인된다.

결국, 그림 2의 에너지 밴드 다이어그램에서 p⁺ poly Si 게이트에서 주입되는 정공의 영향을 고려하여 수정한 PBTI 스트레스 상황에서의 에너지 밴드 다이어그램은 그림 9와 같다. PBTI 스트레스 상황에서 n⁺/nMOSFET과 p⁺/nMOSFET 모두 전자가

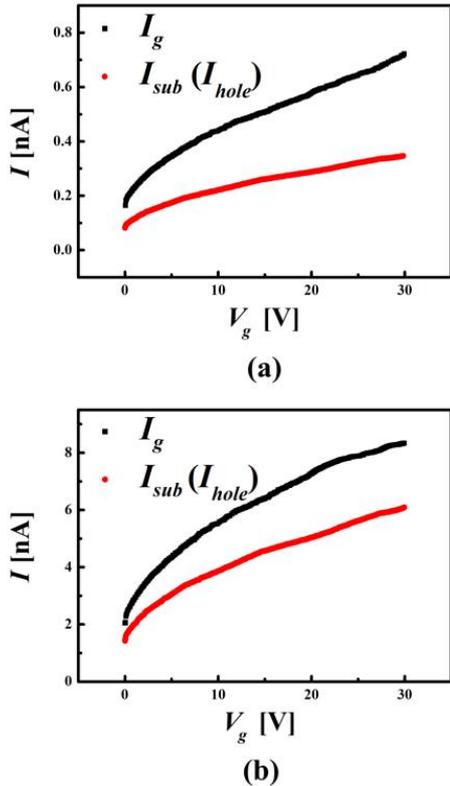


그림 8. 정공에 의한 전류 분리 결과: (a) n⁺/nMOSFET, (b) p⁺/nMOSFET
 Fig. 8. hole current separation results: (a) n⁺/nMOSFET, (b) p⁺/nMOSFET

Si 기판으로부터 절연층에 주입되지만, 게이트 쪽에서 절연층으로 주입되는 정공의 차이가 p⁺/nMOSFET의 열화의 증가를 유발하는 중요한 원인이 되었다. 절연층으로의 정공 주입은 그림 9와 같이 정공 포획에 의한 E_{ox} 증가를 유발하여 그림 4와 그림 5에서처럼 더 많은 N_{it}와 N_{ot}를 생성하였고, 결국 그림 3의 더 큰 V_{th} 열화를 발생시킨 것이다.

4. 결론

본 논문은 4세대 VNAND 공정으로 만들어진 고전압 SiO₂ 절연층 nMOSFET의 n⁺ 및 p⁺ poly-Si 게이트에서의 PBTI 열화에 대해 비교하고 각각의 메커니즘에 대해 분석하였다. 게이트 전극에 의해 발생한 일함수 차이로 인해 PBTI 스트레스 인가 시,

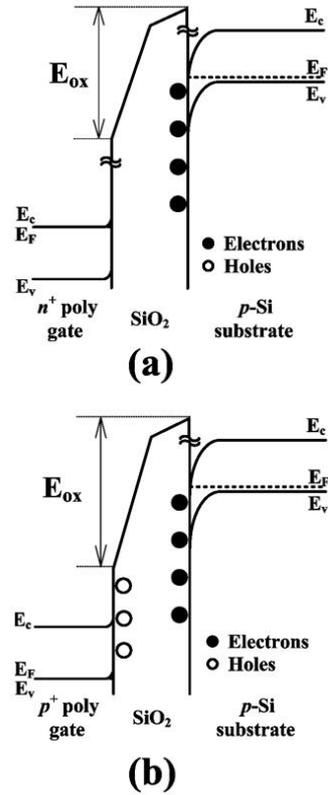


그림 9. PBTI 스트레스 상황에서의 수정된 에너지 밴드 다이어그램: (a) n⁺/nMOSFET, (b) p⁺/nMOSFET
 Fig. 9. Modified energy band diagrams under PBTI: (a) n⁺/nMOSFET, (b) p⁺/nMOSFET

n⁺/nMOSFET에서의 열화가 더 클 것이라는 예상과 다르게 오히려 p⁺/nMOSFET의 열화가 더 크게 측정되었다. 이러한 원인을 분석하기 위해 각각의 경우에 대해 N_{it}와 N_{ot}를 각각 추출하였고, 소스/드레인 플로팅 PBTI 측정과 전하 분리 기법으로 전하의 주입과 포획 메커니즘을 분석하였다. 그 결과, p⁺ poly-Si 게이트에 의한 정공 주입 및 포획이 p⁺/nMOSFET의 열화를 가속시킴을 확인하였다.

REFERENCES

[1] P. Cappelletti, C. Golla, P. Olivo, E. Zanoni, A. Modelli, "Flash memories", pp. 399-441, Springer, 1999.
 [2] Y. G. Lee, S. H. Lee, S. K. Park, "A Study of

High Voltage NMOSFET degradation for NAND HVSW circuit”, *IEEE Electron Devices Technology & Manufacturing Conference*, vol. 3, no. 7, pp. 1-3, IEEE, 2023.

[3] Tibor Grasser, "Bias temperature instability for devices and circuits“, pp. 447-481, *Springer*, 2013.

[4] Souvik Mahapatra, "Fundamentals of bias temperature instability in mos transistors“, pp. 127-134, *Springer*, 2016.

[5] Y. Wang, Y. Li, Y. Yang, W. Chen, "Hot Carrier Injection Reliability in Nanoscale Field Effect Transistors: Modeling and Simulation Methods." *Electronics*, vol. 11, no. 21, pp. 3601-3617, 2022

[6] Ortiz-Conde, F. G. Sánchez, J. J. Liou, A. Cerdeira, M. Estrada, Y. Yue, "A review of recent MOSFET threshold voltage extraction methods." *Microelectronics reliability*, vol. 42, no. 4, pp. 583-596, 2002

[7] A. Martin, P. O'Sullivan, A. Mathewson, "Dielectric reliability measurement methods: a review.", *Microelectronics Reliability*, vol. 38, no. 1, pp. 37-72, 1998

[8] N. H. Lee, S. Lee, S. H. Kim, G. J. Kim, K. W. Lee, Y. S. Lee, S. Pae, "Transistor Reliability Characterization for Advanced DRAM with HK+ MG & EUV process technology“, *IEEE International Reliability Physics Symposium*. vol. 1, no. 3, pp. 6-12, IEEE, 2022.

[9] M. Denais, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, N. Revil, A. Bravaix, "Interface trap generation and hole trapping under NBTI and PBTI in advanced CMOS technology with a 2-nm gate oxide." *IEEE Transactions on Device and Materials Reliability*, vol. 4, no. 4, pp. 715-722, 2004

저자약력

윤여혁 (Yeohyeok Yun)

[중신회원]



- 2016년 2월 : 성균관대학교 전자전기공학부 (공학사)
- 2018년 2월 : 포항공과대학교 전자전기공학과 (공학석사)
- 2020년 8월 : 포항공과대학교 전자전기공학과 (공학박사)
- 2020년 9월 ~ 2022년 8월 : 삼성전자 메모리사업부 DRAM PA팀
- 2022년 9월 ~ 현재 : 전주대학교 공과대학 정보통신공학과 조교수

〈관심분야〉 반도체 소자 특성 및 신뢰성