

SiON 절연층 nMOSFET의 Time Dependent Dielectric Breakdown 열화 수명 예측 모델링 개선

윤여혁*,**

Improving Lifetime Prediction Modeling for SiON Dielectric nMOSFETs with Time-Dependent Dielectric Breakdown Degradation

Yeohyeok Yun*,**

요약 본 논문에서는 4세대 VNAND 공정으로 만들어진 Peri 소자의 스트레스 영역 별 time-dependent dielectric breakdown(TDDB) 열화 메커니즘을 분석하고, 기존의 수명 예측 모델보다 더 넓은 신뢰성 평가 영역에서 신속성과 정확성을 향상시킬 수 있는 수명 예측 보완 모델을 제시하였다. SiON 절연층 nMOSFET에서 5개의 V_{str} 조건에 대해 각 10번의 constant voltage stress(CVS) 측정 후, stress-induced leakage current(SILC) 분석을 통해 저전계 영역에서의 전계 기반 열화 메커니즘과 고전계 영역에서의 전류 기반 열화 메커니즘이 주요함을 확인하였다. 이후 Weibull 분포로부터 time-to-failure(TF)를 추출하여 기존의 E-모델과 1/E-모델의 수명 예측 한계점을 확인하였고, 각 모델의 결합 분리 열화 상수(k)를 추출 및 결합하여 전계 및 전류 기반의 열화 메커니즘을 모두 포함하는 병렬식 상호보완 모델을 제시하였다. 최종적으로 실측한 TDDB 데이터의 수명을 예측할 시, 기존의 E-모델과 1/E-모델에 비해 넓은 전계 영역에서 각 메커니즘을 모두 반영하여 높은 스트레스에서 신속한 신뢰성 평가로 더 정확한 수명을 예측할 수 있음을 확인하였다.

Abstract This paper analyzes the time-dependent dielectric breakdown(TDDB) degradation mechanism for each stress region of Peri devices manufactured by 4th generation VNAND process, and presents a complementary lifetime prediction model that improves speed and accuracy in a wider reliability evaluation region compared to the conventional model presented. SiON dielectric nMOSFETs were measured 10 times each under 5 constant voltage stress(CVS) conditions. The analysis of stress-induced leakage current(SILC) confirmed the significance of the field-based degradation mechanism in the low electric field region and the current-based degradation mechanism in the high field region. Time-to-failure(TF) was extracted from Weibull distribution to ascertain the lifetime prediction limitations of the conventional E-model and 1/E-model, and a parallel complementary model including both electric field and current based degradation mechanisms was proposed by extracting and combining the thermal bond breakage rate constant(k) of each model. Finally, when predicting the lifetime of the measured TDDB data, the proposed complementary model predicts lifetime faster and more accurately, even in the wider electric field region, compared to the conventional E-model and 1/E-model.

Key Words : Time Dependent Dielectric Breakdown(TDDB), Constant Voltage Stress(CVS), Stress-induced Leakage Current(SILC). SiON, nMOSFET

*Department of Information and Communication Technology Engineering, Jeonju University

**Corresponding Author : yeohyeok.yun@jj.ac.kr

Received July 30, 2023

Revised August 11, 2023

Accepted August 17, 2023

1. 서론

MOS 트랜지스터가 장시간 동안 정확한 동작을 하기 위해서는 게이트 전극 아래에 위치한 절연층의 절연 특성 및 신뢰성이 매우 중요하다. 각각의 절연 (또는 유전) 물질은 절연 특성을 유지할 수 있는 최대 한계치의 전계 크기를 가지며, 한계치를 넘는 전계가 인가되면 게이트 산화물 절연 특성이 손실되고 국부적으로 큰 게이트 누설 전류(I_g)가 흐르는 hard breakdown(HBD)이 발생할 수 있다. 또한, 한계치 보다 작은 전기장이 일정하게 장시간 인가되는 경우 (constant voltage stress, CVS), 그림 1과 같이 절연체는 시간이 지나면서 마모(wear-out)되고, HBD(μA 수준)보다 상대적으로 작은 크기의 I_g 가 발생하는 soft breakdown(SBD) 및 SBD가 반복적으로 발생하는 progressive breakdown(PBD)이 HBD에 선행되어 발생하기도 한다. 이처럼 절연층이 인가되는 전기적인 스트레스로 인해 시간에 따라 열화되고 파괴되는 과정을 time dependent dielectric breakdown(TDDDB)라고 한다.

그리고 일반적으로 알려진 TDDDB 메커니즘은 다음과 같다. 먼저, 스트레스 전계에 의해 절연층 내부에서 결합의 분리가 발생하고 trap이 생성되며 wear-out이 시작된다. 계속해서 생성되는 일부 trap이 연결되며 Si 기판에서 게이트 전극까지 conduction path를 형성하게 되고, 이를 통해 게이트 누설 전류가 증가하며 SBD가 발생한다. 그리고 이로 인한 영향으로 주위에 열적 손상이 가중되며 새로운 trap 생성의 증가를 유발한다. 이러한 과정의 반복되면서 누설 전류가 불규칙하게 발생하며 PBD이 나타나고, 결국 conduction path가 도통하게 되면서 HBD이 발생한다.

한 편, SiO_2 나 SiON과 같은 산화물 절연층이 전기적인 스트레스를 받게 되면 절연층과 Si의 계면(interface) 임의의 위치에서 Si-O나 Si-N와 같은 결합의 분리가 발생하여 게이트 전류의 증가를 유도하는 interface trap이 발생하며 stress-induced leakage current(SILC)를 발생시키고 임계 trap 농도에 도달하면 BD이 발생한다. 이러한 TDDDB 특성

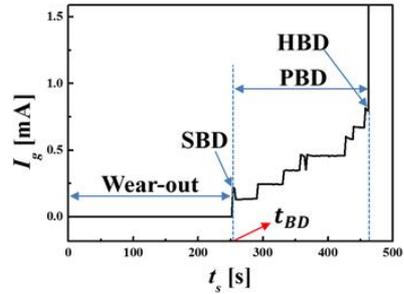


그림 1. CVS($V_g = 6.5 V$, EOT = 6 nm, $T = 398 K$)로 인한 gate 전류 변화 (TDDDB 실험)
 Fig. 1. Behavior of the gate current under constant voltage stress (CVS with $V_g = 6.5 V$, EOT = 6 nm, $T = 398 K$)

은 BD이 발생하는 시간(t_{BD})에 대한 Weibull 확률 분포를 통해 확인할 수 있으며, 이때 누적밀도함수(cumulative density function, CDF)와 Weibull 수(W)는 다음과 같다[1].

$$F(t_{BD}) = 1 - \exp\left[-\frac{(t_{BD})^\beta}{\alpha}\right] \tag{1}$$

$$W \equiv \ln(-\ln(1 - F(t))) = \beta \ln(t) - \ln(\alpha) \tag{2}$$

여기서 α , β 는 측정 매개변수이며, Weibull 확률 분포에서 α 는 y 절편, β 는 기울기와 관계된다. 또한, $F = 63.2\%$ ($W=0$)일 때는 산포의 영향을 배제할 수 있는 값이기 때문에 t_{BD} 의 대푯값인 time to failure(TF)로 주로 사용한다.

TF에 대한 수명 예측 모델들 중에서 가장 일반적으로 사용되는 2가지 모델은 전계 기반의 E-모델과 전류 기반의 1/E-모델이 있다. E-모델은 주로 저전계 환경에서 적용되어 왔으며, 전계에 의한 인장력이 화학적 극성 결합을 약화시켜 결합 분리를 가속화한다는 메커니즘에 기반한다. 전계가 결합 분리의 활성화 에너지를 감소시키기 때문에 열화는 다음과 같이 전계에 대해 지수적인 관계로 모델링 된다[2,3].

$$TF = A_0 \exp(-\gamma E_{ox}) \exp\left(\frac{Q}{kT}\right) \tag{3}$$

여기서 A_0 는 공정 및 물질 계수, γ 는 전계 가속

매개변수, E_{ox} 는 산화물 절연층에 인가되는 전계, Q 는 활성화 에너지, k 는 볼츠만 상수, T 는 온도이다.

1/E-모델은 주로 고전계 환경에서 적용되어 왔으며, 절연층에서의 Fowler-Nordheim(FN) 전송에 의한 전류를 주요 메커니즘으로 한다. Si에서 절연층으로 주입되는 전자들은 전계에 의해 양극 쪽으로 가속화되며 에너지를 얻어 충돌 이온화를 일으키고 전자-정공쌍을 발생시켜 절연층에 손상을 준다. 또한, 전자는 양극 쪽으로 이동하며 양극에 가까운 절연층 내부에 포획되고, 정공은 음극 쪽으로 이동하며 음극에 가까운 절연층 내부에 포획되어 절연층의 전계가 증가한다. 이는 FN 터널링을 위한 장벽 감소로 이어져 더 큰 충돌이온화를 유발하며 양의 피드백 효과를 가져오고, 다음과 같이 전계의 역수에 대해 지수적인 관계로 모델링 된다[2].

$$TF = \tau_0 \exp\left(\frac{G(T)}{E_{ox}}\right) \quad (4)$$

여기서 τ_0 는 온도 의존 전인자, $G(T)$ 는 온도 의존 전계 가속 매개변수이다.

이와 같은 모델들은 지금까지 각각 저/고전계 영역에서 TDDB 가속 평가를 통해 실제 소자의 동작 조건에서의 수명 예측을 하는데 사용되어 왔다. 저전계 TDDB 가속 평가는 실제 동작 조건에 가까운 환경이라는 장점이 있으나 BD가 발생하기까지 측정 시간이 오래 걸린다는 점에서 효율성이 떨어진다. 고전계 TDDB 가속 평가는 BD가 상대적으로 빨리 발생하여 대량의 평가를 진행하는 산업계에서 많이 사용하는 방법이지만 실제 동작 조건과의 차이로 인해 열화 메커니즘 및 수명 예측에 있어 정확성이 떨어진다는 단점이 있다. 또한 반도체 소자의 크기가 계속해서 작아짐에 따라 기존의 모델과 메커니즘에 대한 정확성이 낮아지고 있다. 이렇듯 반도체 소자의 집적화와 미세화 추세에 있어서 절연층의 TDDB 특성은 고신뢰성, 고안정도 소자 제작의 필수 불가결한 요소이지만 현재 TDDB 수명을 예측하는 모델들은 한계를 보이고 있기 때문에 고전계 TDDB 가속 평

가를 통해 실제 동작 조건에서의 수명을 신속하고 정확하게 예측할 수 있는 모델이 필요하다.

따라서 본 논문에서는 SiON 절연층 peri 소자에 대한 TDDB 특성을 다양한 스트레스 조건에서 확인하고, 각 전계 영역에 대한 SILC 측정을 통해 전하의 포획 및 방출 메커니즘을 분석한다. 이를 기반으로 기존의 수명 예측 모델의 정확성을 확인하고, 기존보다 더 넓은 전계 영역에서 더 높은 정확성을 보일 수 있도록 보완된 TDDB 열화 수명 예측 모델을 제안하고자 한다.

2. 실험

실험에 사용된 소자는 4세대 VNAND 공정으로 만들어진 Peri 소자이며 n^+ poly-Si 게이트의 planar nMOSFET이다. 채널 폭 $W = 43 \mu\text{m}$, 길이 $L = 6 \mu\text{m}$ 의 test element group(TEG)에서 측정하였다. 게이트 유전체는 equivalent oxide thickness(EOT) 6 nm의 SiON 층이다. 게이트에는 $5.5 \text{ V} \leq V_g \leq 6.5 \text{ V}$ 의 스트레스 전압(V_{str})이 인가되었고 398 K의 온도(T)에서 $V_s = V_d = V_b = 0.0 \text{ V}$ 가 인가되었다[4]. E_{ox} 는 다음 식과 같이 계산되었으며[5], $8.13 \text{ MV/cm} \leq E_{ox} \leq 9.78 \text{ MV/cm}$ 이다.

$$E_{ox} = \frac{V_g - V_{FB} - \phi_s - V_{poly}}{EOT} \quad (5)$$

$$V_{poly} = V_{gs} - V_{FB} - \phi_s - \frac{q\epsilon_{si}N_{poly}EOT^2}{\epsilon_{ox}^2} \times \left(1 - \sqrt{1 - \frac{2\epsilon_{ox}^2}{q\epsilon_{si}N_{poly}EOT^2}(V_{GS} - V_{FB} - \phi_s)}\right) \quad (6)$$

여기서 V_{FB} 는 플랫 밴드 전압, ϕ_s 는 표면 전위, V_{poly} 는 poly 게이트 공핍 전압, $\epsilon_{si} \approx 1.04 \times 10^{-12} \text{ F/cm}$ 은 Si의 유전율, $\epsilon_{ox} \approx 3.45 \times 10^{-13} \text{ F/cm}$ 은 산화물 절연층의 유전율이다.

BD가 발생한 시점 t_{BD} 은 첫 번째 SBD가 발생한 시점으로 정하였으며, 모든 측정은 Agilent 사의

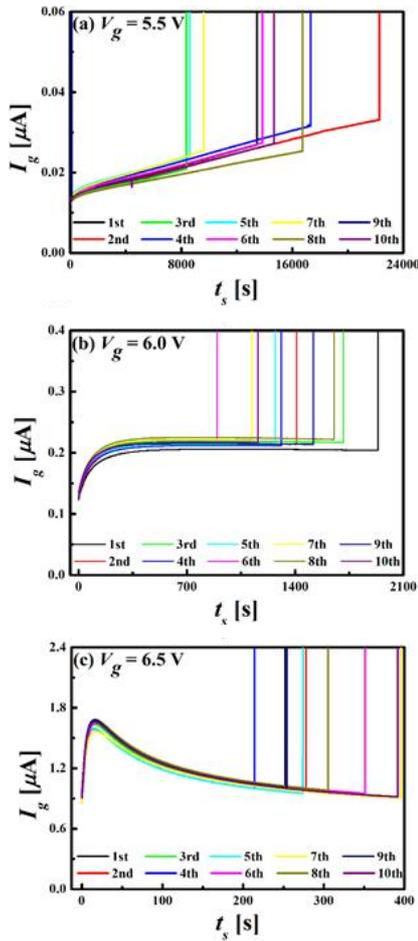


그림 2. T = 398 K에서 서로 다른 3가지 CVS 조건에서 측정된 t_s 에 따른 I_g : (a) $V_g = 5.5$ V, (b) $V_g = 6.0$ V, (c) $V_g = 6.5$ V

Fig. 2. I_g vs. t_s curves for different applied voltages with same T = 398 K: (a) $V_g = 5.5$ V, (b) $V_g = 6.0$ V, (c) $V_g = 6.5$ V

B1530A 파형 발생기가 장착된 B1500A 반도체 소자 계측기를 사용하였다.

3. 결과 및 고찰

3.1 CVS 측정 및 SILC 분석

그림 1은 T = 398 K에서 서로 다른 3가지 스트레스 전압($V_g = 5.5$ V, 6.0 V, 6.5 V)을 인가하면서 측정된 스트레스 시간(t_s)에 따른 I_g 이며, 각 스트

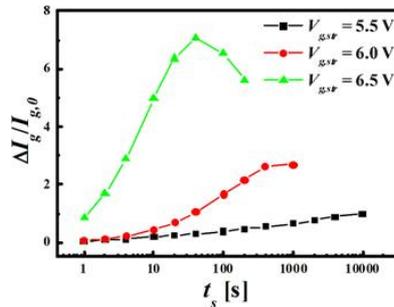


그림 3. 서로 다른 3가지 CVS 조건에서의 SILC 측정 결과 ($V_{sen} = 5$ V)

Fig. 3. SILC curves for different applied voltages ($V_{sen} = 5$ V)

레스 조건마다 10번씩 측정되었다. 그 결과, 스트레스 조건마다 I_g 의 동향이 다르게 나타남을 확인하였다. $V_g = 5.5$ V인 그림 2. (a)의 경우 I_g 가 계속 증가한 뒤 BD가 발생하였다. $V_g = 6.0$ V인 그림 2. (b)의 경우 $t_s = 300$ s 이내의 초기에는 I_g 가 증가하지만 이후 일정 수준을 유지한 뒤에 BD가 발생하였다. $V_g = 6.5$ V인 그림 2. (c)의 경우 $t_s = 50$ s 이내의 초기에 I_g 가 급격히 증가한 뒤에 반대로 감소하며 BD가 발생하였다.

이러한 스트레스 조건 별 I_g 동향의 원인을 분석하기 위해 센싱 전압(V_{sen}) 5V에서 다음과 같이 SILC 데이터를 추출하였다[5,6].

$$SILC = \Delta I_g / I_{g,0} \quad (7)$$

여기서 $I_{g,0}$ 은 스트레스 전에 측정된 I_g 이며, ΔI_g 는 스트레스 후에 측정된 I_g 에서 스트레스 전에 측정된 I_g 를 뺀 값이고, 그 결과는 그림 3과 같다. EOT = 6 nm에서 8.13 MV/cm $\leq E_{ox} \leq 9.78$ MV/cm의 스트레스가 인가되는 경우 FN 터널링 메커니즘에 의해 I_g 가 생성된다. 따라서 그림 3에서 SILC의 증가는 절연층 내에서 정공의 포획이 발생됨을 의미하고, SILC의 감소는 절연층 내에서 전자의 포획이 발생됨을 의미한다[7]. 즉, 그림 3에서 $V_{g,STR} = 5.5$ V의 경우 정공의 포획이 주요한 메커니즘이지만, $V_{g,STR}$ 이 증가한 $V_{g,STR} = 6.0$ V의 경우 정공의 포획이 주요한 초기를 넘어서면서부터는 중성 전자 trap의

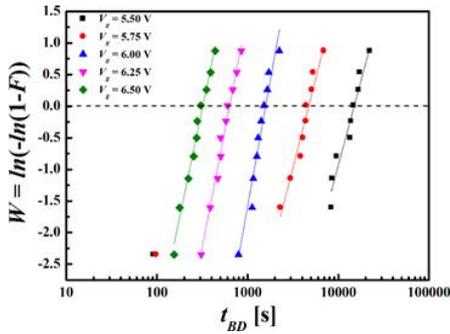


그림 4. TDDB 측정($V_g = 5.50$ V, 5.75 V, 6.00 V, 6.25 V, 6.50 V) Weibull 분포도
 Fig. 4. Weibull plot of TDDB distribution($V_g = 5.50$ V, 5.75 V, 6.00 V, 6.25 V, 6.50 V)

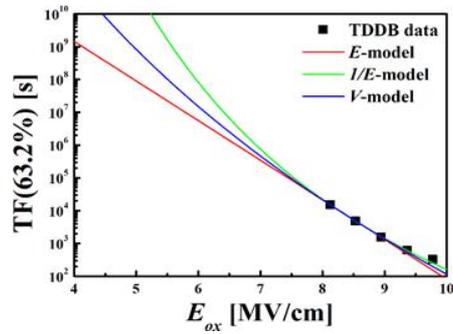


그림 5. TDDB 측정($V_g = 5.50$ V, 5.75 V, 6.00 V, 6.25 V, 6.50 V) Weibull 분포도
 Fig. 5. Weibull plot of TDDB distribution($V_g = 5.50$ V, 5.75 V, 6.00 V, 6.25 V, 6.50 V)

생성이 주요하게 작용함을 알 수 있다. 즉 FN 터널링 전류로 구성되는 I_g 초기 단계에는 스트레스 이전부터 계면 위주로 존재하는 trap에 의한 영향이 주요하지만, 스트레스를 받는 동안 새롭게 절연층 내부에서 생성되는 trap에 의한 영향으로 주요 메커니즘이 변경된다. 그리고 $V_{g, str} = 6.5$ V에서는 이러한 메커니즘의 변화가 더 강하고 빠르게 발생한 것임을 알 수 있다.

3.2 Weibull 분포 및 수명 추출 모델링

그림 4는 $V_g = 5.50$ V, 5.75 V, 6.00 V, 6.25 V, 6.50 V에서 측정한 TDDB의 Weibull 분포도이다. $F = 63.2\%$ 인 $W = 0$ (점선)과 각 스트레스 전압에서 측정된 t_{BD} 의 추세선과의 교점으로 TF를 추출할 수 있으며[8], 이를 TF vs. E_{ox} 의 수명 예측 그래프에 나타내면 그림 5(검은색 사각형)와 같다. 이 데이터를 기반으로 기존의 수명 예측 모델(E-모델, 1/E-모델, V-모델)을 적용한 뒤 수명을 추출하였다. 그림 5에서 x 축의 시작점인 $E_{ox} = 4$ MV/cm는 실제 소자의 동작 조건에 해당하는 E_{ox} 이기 때문에 각 모델의 추세선과 y 축이 만나는 y 절편이 각 모델의 예측 수명이다. E-모델(빨간색)의 경우 $E_{ox} = 4$ MV/cm에서 가장 낮은 값(1.5×10^9 s)으로 수명을 예측했지만 $E_{ox} = 9$ MV/cm 이상의 고전계의 영역에서 TF의 값을 정확히 반영하지 못하였다. 1/E-모델(초록색)의 경우 $E_{ox} = 9$ MV/cm 이상의 고전계의

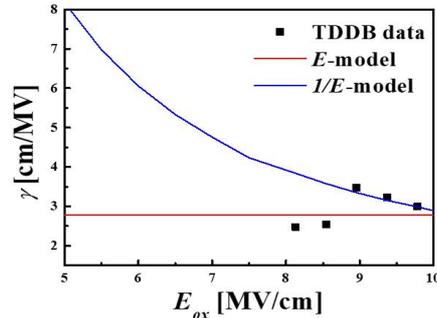


그림 6. E-모델과 1/E-모델의 전계 가속 매개변수 정확도 비교
 Fig. 6. Comparison of electric field acceleration parameters accuracy between E-model and 1/E model

영역에서 정확도는 상대적으로 높지만 예측 수명을 추출하는 $E_{ox} = 4$ MV/cm에서 사실상 교점이 없이 무한에 가까운 수명을 예측하며 정확도가 낮음을 확인할 수 있다. 이는 다음과 같은 각 모델의 전계 가속 매개변수(γ) 관계를 통해 실제 측정한 TDDB 데이터와 비교하여 다시 한번 그림 6과 같이 확인할 수 있다[9].

$$\gamma = - \left[\frac{\partial \ln(TF)}{\partial E_{ox}} \right]_T = \text{상수} \quad (\text{E-모델}) \quad (8)$$

E-모델(빨간색)은 $E_{ox} = 8.5$ MV/cm 초과 영역에서, 1/E-모델(파란색)은 $E_{ox} = 8.5$ MV/cm 이하 영

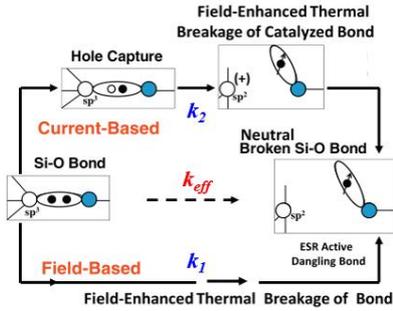


그림 7. 전계 기반 및 전류 기반 열화 메커니즘의 보완 메커니즘
 Fig. 7. Complementary field-induced and current-induced degradation mechanism

$$\gamma = - \left[\frac{\partial \ln(TF)}{\partial E_{ox}} \right]_T = \frac{G(T)}{E_{ox}^2} \quad (1/E\text{-모델}) \quad (9)$$

역에서 정확도가 부족함이 확인된다. 따라서 저/고전계 영역 모두에서 정확성이 향상된 새로운 모델이 필요하다.

따라서 그림 7과 같이 제안하는 보완 모델은 전계 기반 메커니즘과 전류 기반 메커니즘을 저/고전계 영역 모두에서 병렬적으로 고려하는 것에서 착안된다. 하부 경로는 E-모델에 사용되는 전계 기반 메커니즘 경로이며, k_1 은 전계 기반 결합 분리 열화 상수이다. 상부 경로는 1/E-모델에 사용되는 전류 기반 메커니즘 경로이며, k_2 는 전류 기반 결합 분리 열화 상수이다. 제안하는 병렬식 상보적 열화 메커니즘 경로의 경우, 전체 결합 분리 열화 상수 k_{eff} 는 다음과 같이 계산할 수 있다.

$$k_{eff} = k_1 + k_2 \quad (10)$$

$$= \ln(1/f_{crit}) \left[\frac{1}{(TF)_1} + \frac{1}{(TF)_2} \right]$$

$$= \ln(1/f_{crit}) \left[\frac{(TF)_1 + (TF)_2}{(TF)_1 (TF)_2} \right]$$

$$TF = \frac{\ln(1/f_{crit})}{k}, \quad f_{crit} = \left(\frac{N}{N_0} \right)_{crit} \quad (11)$$

여기서 f_{crit} 은 절연 파괴를 유발하는 분리 결합의 임계 비율이고, N_0 는 초기 결합 밀도, N 은 분리된 결합 밀도이다. TF는 전체 결합 분리 열화 상수 k_{eff} 의

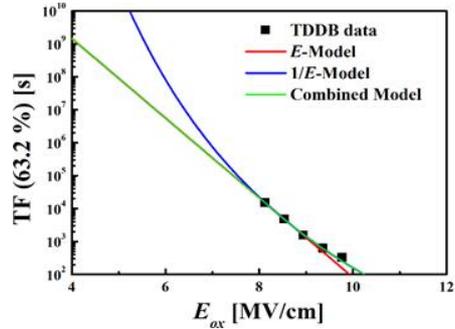


그림 8. 넓은 전계 영역에서 기존 모델과 병렬식 상호보완 모델의 정확도 비교
 Fig. 8. Comparison of accuracy between existing and parallel complementary models in wide electric field region

역수에 비례하기 때문에 식 (10)과 식 (11)로부터 다음과 같이 표현할 수 있다.

$$TF = \frac{(TF)_{E\text{-모델}} (TF)_{1/E\text{-모델}}}{(TF)_{E\text{-모델}} + (TF)_{1/E\text{-모델}}} \quad (12)$$

여기서 $(TF)_{E\text{-모델}}$ 은 k_1 에 의한 열화 경로이고 $(TF)_{1/E\text{-모델}}$ 은 k_2 에 의한 열화 경로이다. 식 (12)의 보완 모델을 TDDB 측정 데이터와 함께 수명 예측 그래프로 확인하면 그림 8과 같다. 보완 모델(초록색)은 $E_{ox} = 8.5$ MV/cm 이하 영역에서 E-모델(빨간색)과 같은 정확도를, $E_{ox} = 8.5$ MV/cm 이상 영역에서는 1/E-모델(파란색)과 같은 정확도를 보인다. 이러한 제안한 보완 모델은 E-모델과 1/E-모델 2가지의 물성적 메커니즘을 결합하는데 사용되었지만, 이러한 접근법을 통하여 다른 모델(V-모델, $E^{1/2}$ -모델 등)의 물성적 메커니즘을 추가로 결합하는 것도 가능하다. 결국 수명을 가장 보수적 또는 낙관적으로 예측하는 경우에서 택일을 해야 하는 심각한 제약 없앨 수 있으며, 넓은 전계 영역에서 각 영역의 주요한 메커니즘을 포함하는 모델을 통해 신뢰성 가속 평가의 신속성과 정확성을 향상시킬 수 있다.

4. 결론

본 논문에서는 4세대 VNAND 공정으로 만들어진 Peri 소자의 TDDB 열화 메커니즘을 분석하고, 기존의 수명 예측 모델보다 더 넓은 신뢰성 평가 영역에서 신속성과 정확성을 향상시킬 수 있는 수명 예측 보완 모델을 제시하였다. SiON 절연층 nMOSFET에서 5개의 V_{str} 조건에 대해 CVS 측정 후, SILC 분석을 통해 저전계 영역에서의 전계 기반 열화 메커니즘과 고전계 영역에서의 전류 기반 열화 메커니즘을 확인하였다. 이후 Weibull 분포로부터 TF를 추출하여 기존의 E-모델과 1/E-모델의 수명 예측 한계점을 확인하여 새로운 모델의 필요성을 확인하였다. 따라서 모델의 결합 분리 열화 상수를 추출 및 결합하여 각 모델의 전계 및 전류 기반의 열화 메커니즘을 모두 포함하는 병렬식 상호보완 모델을 제시하였다. 최종적으로 실측한 TDDB 데이터의 수명을 예측할 시, 기존의 E-모델과 1/E-모델에 비해 넓은 전계 영역에서 각 메커니즘을 모두 반영하여 높은 스트레스에서 신속한 신뢰성 평가로 더 정확한 수명을 예측할 수 있음을 확인하였다.

REFERENCES

- [1] Andrea Ghetti, "Gate oxide reliability: Physical and computational models.", pp. 201-258, *Springer*, 2004.
- [2] Dumin, J. David, "Oxide reliability: a summary of silicon oxide wearout, breakdown, and reliability", pp. 123-134, *World Scientific*, 2002.
- [3] K. Yang, T. Liu, R. Zhang, "A comprehensive time-dependent dielectric breakdown lifetime simulator for both traditional CMOS and FinFET technology.", *IEEE Transactions on Very Large Scale Integration Systems*, vol. 26, no. 11, pp. 2470-2482, 2018
- [4] J. Shen, C. Tan, R. Jiang, W. Li, X. Fan, J. Wu, "The TDDB Characteristics of Ultra-Thin Gate Oxide MOS Capacitors under Constant Voltage Stress and Substrate Hot-Carrier Injection." *Advances in Condensed Matter Physics*, vol. 29, no. 3, pp. 65-71, 2018

- [5] A. Martin, P. O'Sullivan, A. Mathewson, "Dielectric reliability measurement methods: a review." *Microelectronics Reliability*, vol. 38, no. 1, pp. 37-72, 1998
- [6] U. Karki, N. S. Gonzalez-Santini, F. Z. Peng, "Effect of gate-oxide degradation on electrical parameters of silicon carbide MOSFETs", *IEEE Transactions on Electron Devices*, vol. 67, no. 6, pp. 2544-2552, 2020
- [7] Samanta, Piyas, "Mechanism of oxide thickness and temperature dependent current conduction in n+ poly Si/SiO₂/p-Si structures—a new analysis." *journal of semiconductors*, vol. 38, no. 10, pp. 104-110, 2017
- [8] Ernest Y. Wu, "Facts and myths of dielectric breakdown processes—", *IEEE Transactions on Electron Devices*, vo. 66, no. 11, pp. 4523-4534, 2019
- [9] Joe W. McPherson, "Time dependent dielectric breakdown physics—Models revisited." *Microelectronics Reliability*, vol. 52, no. 9, pp. 1753-1760, 2012

저자약력

윤 여 혁 (Yeohyeok Yun)

[중신화원]



- 2016년 2월 : 성균관대학교 전자전기공학부 (공학사)
- 2018년 2월 : 포항공과대학교 전자전기공학과 (공학석사)
- 2020년 8월 : 포항공과대학교 전자전기공학과 (공학박사)
- 2020년 9월 ~ 2022년 8월 : 삼성전자 메모리사업부 DRAM PA팀
- 2022년 9월 ~ 현재 : 전주대학교 공과대학 정보통신공학과 조교수

〈관심분야〉 반도체 소자 특성 및 신뢰성