한국정보전자통신기술학회논문지(jkiiect)'23-8, Vol.16 No.4
논문 23-16-04-167 http://dx.doi.org/10.17661/jkiiect.2023.16.4.167

세 개의 부궤환 루프를 가진 저잡음 위상고정루프

최영식*

A Low Noise Phase Locked Loop with Three Negative Feedback Loops

Young-Shig Choi*

요 약 본 논문에서는 3개의 부궤환 루프를 가진 저잡음 위상고정루프를 제안하였다. 기존 구조의 위상고정루프는 하나의 부궤환 루프로 구성되어 있어 잡음 특성 개선이 쉽지 않다. 추가된 부궤환 루프는 지터 특성을 결정하는 전압제어발진기의 입력 전압 크기를 줄여주는 역할을 하여 기존 구조로 쉽지 않은 잡음 특성 개선을 가능하게 해준다. 시뮬레이션 결과는 부궤환 루프가 추가될 때마다 지터 특성이 개선되는 것을 보여주고 있다. 전력의 경우 10% 정도 약간 상승하게 되지만, 지터 특성은 2배 정도 개선된다. 제안된 위상고정루프는 1.8V 180nm CMOS 공정을 이용하여 Hspice로 시뮬레이션 하였다.

Abstract A low-noise phase-locked loop(PLL) with three negative feedback loops has been proposed. It is not easy to improve noise characteristics with a conventional PLL. The added negative feedback loops reduce the input voltage magnitude of voltage controlled oscillator which determines the jitter characteristics, enabling the improvement of noise characteristics. Simulation results show that the jitter characteristics are improved as a negative feedback loop is added. In the case of power consumption, it slightly rises by about 10%, but jitter characteristics are improved by about two times. The proposed PLL was simulated with Hspice using a 1.8V 180nm CMOS process.

Key Words : PLL, Multiple negative feedback, Phase noise, FVSC, Jitter characteristic.

1. 서론

일반적으로 위상고정루프에는 위상 주파수 검출기(PFD), 전하 펌프(CP), 2개의 커패시터와 하나의 저항으로 구성된 2차 루프 필터(LF), 전압 제어 발진기(VCO) 및 분배기로 구성된 하나의 부궤환 루프가 있다[1]. 위상 잡음 특성이 우수한 LC-VCO가 고성능 위상고정루프 설계에 많이 사용된다[2]. 그러나 LC-VCO의 큰 면적으로 인하여 위상고정루프의 크기가 증가한다. 잡음 특성이 우수하지 않은 Ring-VCO 위상고정루프는 작은 전압 제어 영역에서 훨씬 더 넓은 주파수 동작 범위와 작은 크기의 면적을 가진다. 그러나 Ring-VCO 위상고정루프는 일반적으로 위상 잡음과 지터 특성이 좋지 않아 주파수 잡음 특성이 우수한 응용 분야에서는 사용이 제한된다. 위상 잡음 및 지터 특성을 개선하기 위해 PLL의 다양한 구조가 제안되었다. 위상고정루프에서 가장 작은 지터를 나타내는 최적의 루프 대역폭을 찾기 위해 이산 시간 위상고정루프 모델을 사용하였다[3]. 다양한 위상고정루프 설계 변수를 사용한 지터 최적화 방법도 고안되었다[4]. 제안된 이론들은 위상고정루프 설계에는 도움이 되지만 공정 변동에 민감하기 때문에 위상고정루프 잡음 특성 개선에는 크게 도움이 되지 않는다.

This work was supported by a Research Grant of Pukyong National University. (2023-2025)
*Department of Electronic Engineering, Pukyong National University.
**Corresponding Author : Department of Electronic Engineering, Pukyong National University (choiys@pknu.ac.kr)
Received July 24, 2023 Revised July 31, 2023 Accepted August 07, 2023

ILPLL(injection locked PLL)은 주기적으로 VCO에 누적된 지터를 줄이기 위해 제안되었다[5][6]. VCO에 지터 제거 신호를 정확한 시간에 주입하는 것이 쉽지 않다. 분배기를 제거하여 잡음 및 지터 특성을 개선할 수 있는 SSPLL (Sub-Sampling PLL)이 제안되었다[7][8]. 이 구조에서는 위상 고정을 위하여 주파수 추적 루프가 필요하며 주파수 동작 범위가 제한된다. 주파수 전압 변환기가 있는 2개의 부궤환 피드백 루프 PLL로 잡음 특성을 개선하였다[9].

본 논문에서는 기존 하나의 부궤환 루프를 가진 위상고정루프에 2개의 부궤환 루프를 추가하여 잡음 특성을 더욱 더 개선한 위상고정프를 설계하였다. 넓은 면적을 차지하거나 많은 전력을 소모하는 복잡한 보조회로 및 부품 없이 위상고정루프의 위상 잡음 특성을 개선하고 및 동작의 안정성을 향상 시켰다.

2. 세 개의 부궤환 루프를 가진 저잡음 위상고정루프

2.1 기존의 위상고정루프

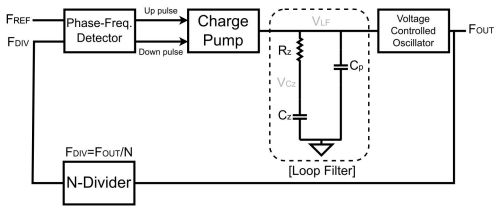

그림 1. 기존의 위상고정루프.
Fig. 1. Conventional PLL.

그림 1과 같은 기존의 위상고정루프는 하나의 부궤환 루프로 구성되어 있다. 전하펌프(CP)는 위상/주파수 검출기(PFD)에 의해 감지된 기준주파수(F_{REF})와 분주기 주파수(F_{DIV})의 위상/주파수 차이만큼 펄스 입력을 받는다. 그리고 이를 바탕으로 전압제어발진기를 구동하는 루프필터에 전하를 공급하는 역할을 한다. 기존 구조의 위상고정루프에서는 전압제어발진기의 입력전압이자 루프필터 전압 출력 전압(V_{LF})을 오로지 전하펌프로만 조절하였다. 분주기 출력 주파수는 위상고정루프 출력 주파수(F_{OUT})에 비해 분주기의 배수(N)만큼 작기 때문에 전압제어발진기의 출력변화를 빠르게 감지하여 제어하기 어렵다. 분주기 출력신호보다 높은 주파수의 전압제어발진기 출력신호를 이용해 위상고정루프 출력신호의 변화를 감지하는 부궤환 루프를 도입하면 성능이 더욱 향상될 수 있다. 본 논문에서 제안하는 구조는 위상고정루프 출력신호의 변화를 감지하는 2개의 부궤환루프를 도입하여, 위상고정루프 출력 신호의 위상잡음 특성과 지터 특성을 개선 할 수 있는 3개의 부궤환 루프를 가진 복수 부궤환루프 위상고정루프를 제안하고 시뮬레이션 하였다.

2.2 주파수-전압 감지 회로(FVSC)

위상고정루프의 특성이 전압제어발진기를 구동하는 루프필터 출력 전압변동 폭에 의하여 결정되는 것을 식 (1)이 보여주고 있다.

$$\triangle \Phi_{out}(t) = K_{vco} \int \triangle V_{LF}(t) dt \qquad (1)$$

수식 (1)과 같이 루프필터 출력 전압 변동폭은 위상고정루프 출력 신호의 특성과 밀접하게 연관되어있다. 루프필터 출력 전압의 변동 폭을 최대한 억제할 수 있다면 더욱 안정하게 동작하면서 성능이 개선된 위상고정루프를 설계할 수 있다. 루프필터의 출력전압을 직접 혹은 간접적으로 변동 폭을 줄여주는 역할이 가능한 주파수 전압 감지 회로(Frequency Voltage Sensing Circuit : FVSC)를 본 논문의 제안하는 구조에 도입하였다.

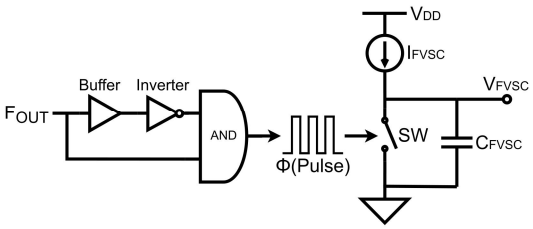

그림 2. 주파수-전압 감지 회로.
Fig. 2. Frequency Voltage Sensing Circuit.

그림 2의 회로는 주파수-전압 감지 회로이며 출력 전압은 전류원(I_{FVSC})의 전류, 스위치(SW) 제어신호(ϕ)의 폭과 간격에 의해 결정된다. 스위치(SW)가 개방되어 있

는 경우 전류원이 커패시터(C_{FVSC})를 충전시켜줘서 전압이 증가하지만, 스위치가 단락되어 있는 경우 접지와 연결되어 전류원이 공급하는 전하와 커패시터의 전하가 방전된다. 이 회로에선 기존 부궤환루프보다 빠르게 동작하는 부궤환루프를 구성하기 위해 출력주파수(F_{OUT})를 입력으로 사용하였다.

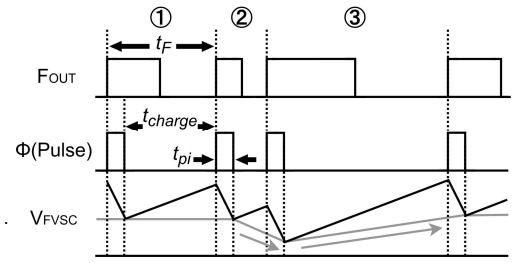

그림 3. 주파수-전압 감지 회로의 전압변화.
Fig. 3. Voltage variation at FVSC.

그림3은 주파수-전압 감지 회로의 동작 원리를 보여주고 있다. 위상고정루프 출력신호 주파수가 변함에 따라 펄스간의 간격(t_F)은 바뀌게 되지만, 제어신호(ϕ)의 폭(t_{pi})은 항상 일정한 값을 가진다. 주파수-전압 변환 회로의 입력신호 주파수가 변함에 따라 커패시터에 전하를 충전하고(t_{charge}) 방전하는(t_{pi}) 시간의 차이가 달라지기 때문에 주파수-전압 감지 회로 출력 전압(V_{FVSC})이 바뀌게 된다. 위상이 고정되어 있고 주파수가 일정한 ①구간에서는 충전시간(t_{charge})과 방전시간(t_{pi})이 균형을 이루어 V_{FVSC}는 일정한 값을 유지한다. 위상고정루프 출력신호 주파수가 커진 ②구간에선 펄스간격(t_F)이 작아지므로 충전시간(t_{charge})이 짧아져서 주파수-전압 감지 회로 출력 전압(V_{FVSC})이 감소한다. 위상고정루프 출력신호 주파수가 작아진 ③구간은 주파수가 감소하여 펄스간격(tF)이 길어지므로 충전시간(t_{charge})이 증가하여 주파수-전압 감지 회로 출력전압(V_{FVSC})이 증가한다. 위상고정루프의 출력주파수가 변하면 주파수-전압 감지 회로 출력전압도 변하므로 조그마한 위상고정루프 출력신호의 주파수변화도 감지할 수 있다.

3. 제안하는 위상고정루프

3.1 3개의 부궤환루프를 가진 위상고정루프

본 논문에서 제안하는 3개의 부궤환루프를 가진 위상고정루프는 그림 4와 같다.

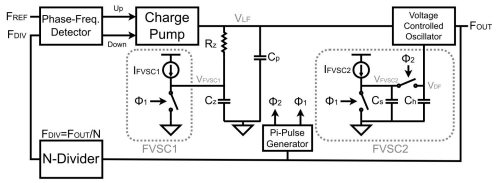

그림 4. 주파수-전압 감지 회로를 포함한 제안하는 위상고정루프.
Fig. 4. Proposed three negative feedback loop PLL with FVSC.

본 논문에서 제안하는 3개의 부궤환루프를 가진 위상고정루프는 그림 4와 같다. 추가된 내부 부궤환루프는 주파수-전압 감지 회로가 루프필터에 연결된 것(FVSC1)과, 2개의 입력단을 가진 VCO에 연결된 것(FVSC2)으로 설계하였다. 기존 외부 부궤환루프는 기존 위상고정루프와 마찬가지로 PFD-CP-LF-VCO-DIV-PFD로 이루어져 있다. 추가된 2개의 내부 부궤환루프는 FVSC1이 포함된 FVSC1-LF-VCO-FVSC1로 구성된 부궤환 루프와, FVSC2가 포함된 FVSC2-VCO-FVSC2로 구성된 부궤환 루프로 되어 있다. 도입된 2개의 내부 부궤환루프는 루프필터 출력전압과, 전압제어발진기 출력 신호 변동폭을 감소시켜 위상고정루프 잡음 특성을 개선 시킨다. 그러므로 제안하는 총 3개의 부궤환루프를 가진 위상고정루프는 기존 하나의 부궤환 루프를 가진 위상고정루프 구조보다 더욱 개선된 성능을 가질 수 있다.

3.2 루프필터 부궤환루프(FVSC1 Loop)

주파수-전압 변환회로가(FVSC1) 루프필터 출력 전압을 제어한다. FVSC1의 경우는 C_Z가 그림 2의 C_{FVSC} 역할을 하므로 그림 4의 R_Z와 C_Z가 만나는 노드 전압(V_{FVSC1})을 조절하는 방식을 통해 루프필터의 전압값을 간접적으로 조절한다. 기준신호 한 주기 동안에 UP 신

호가 발생하면 전하펌프의 전하가 C_P롤 충전시켜 루프필터 출력 전압이 급격히 상승하나 UP 신호가 사라지면 전하가 C_P에서 C_Z로 이동하여 루프필터 출력전압은 서서히 하강한다. Down 신호일 때는 루프필터 출력전압 변화 방향은 반대로 일어난다. 루프필터에서 R_Z와 C_Z가 만나는 노드가 있으며 이 노드의 전압은(V_{CZ} 또는 V_{FVSC1}) 루프필터전압(V_{LF})과 같은 전압변화가 일어난다. 주파수-전압 감지 회로(FVSC1)은 이 노드 전압을 제어하여 루프필터 출력전압을 제어한다.

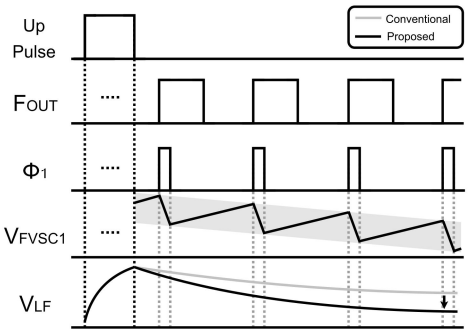

그림 5. UP 신호에 따른 V_{FVSC1} 변화.
Fig. 5. Variation of V_{FVSC1} according to UP signal.

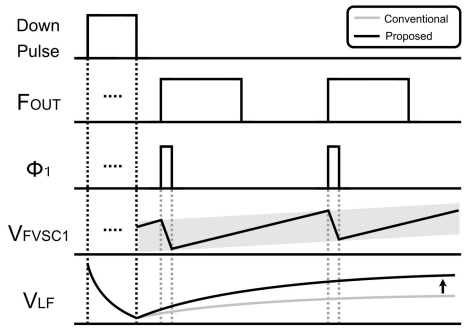

그림 6. Down 신호에 따른 V_{FVSC1} 변화
Fig. 6. Variation of V_{FVSC1} according to Down signal.

그림 5와 그림 6은 FVSC1 부궤환루프의 동작원리를 보여주고 있다. Up 펄스 경우는 루프필터의 출력전압이 상승하여 전압제어발진기의 출력 신호 주파수를 증가시킨다. 이에 따라 주파수-전압 감지 회로가(FVSC1) V_{CZ} 또는 V_{FVSC1}를 감소시켜 루프필터 출력전압(V_{LF})를 감소하게 한다. Down 펄스 경우는 루프필터의 출력전압이 하강하여 전압제어발진기의 출력 신호 주파수를 감소시킨다. 이에 따라 주파수-전압 감지 회로가(FVSC1) V_{CZ} 또는 V_{FVSC1}를 증가시켜 루프필터 출력전압(V_{LF})를 증가하게 한다. FVSC1이 포함된 피드백루프에 의해 루프필터 출력전압 변동폭이 기존 위상고정루프 보다 더 작아진다.

주파수-전압 감지 회로가(FVSC2) 전압제어발진기 2개의 입력중 하나를 제어한다. 전압제어발진기 부궤환 루프는 주파수-전압 감지 회로와 디지털 루프필터의 샘플-홀딩 방식을 사용하였다. 샘플링 커패시터(C_S)에 충전되는 전압(V_{FVSC2})은 FVSC1과 마찬가지로 전류원(I_{FVSC2})과 제어신호1(ϕ_1)의 폭과 간격에 의해 결정된다. 홀딩커패시터(C_h)는 샘플링 커패시터(Cs) 출력 전압을 필터링하는 역할을 하며 전압제어발진기의 조절하는 전압값(V_{DF})을 가진다.

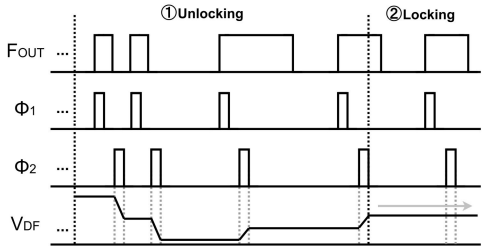

그림 7. 전압제어발진기 피드백 루프(FVSC2) 방식 전압.
Fig. 7. Voltage of FVSC2 loop.

전압제어발진기 피드백 루프의 동작은 그림 7과 같다. 샘플링 커패시터의 전하를 홀딩 커패시터로 전달하기 위해 제어신호2(ϕ_2)가 추가 되었다. ϕ_2는 ϕ_1과 겹치지 않고 펄스폭은 고정이며, 출력주파수에 따라 제어신호 간격만 바뀌는 신호이다. FVSC1과 같이 루프필터 전압이 상승(감소)하면 전압제어발진기 출력 신호 주파수가 증가하여 주파수-전압 감지 회로 출력전압이 감소(상승)하여 부궤환 역할을 한다. 그림 7의 ①구간처럼 위상고정루프 출력신호 주파수가 증가(감소)하면 샘플링 커패시터의 전압(V_{FVSC2})은 감소(증가)한다. 이에 따라 전압제어발진기의 조절하는 전압값(V_{DF})도 감소(증가)한다. 그림 7의 ② 구간처럼 주파수가 일정해지면 V_{DF}는 일정해진다. 루프필터 출력 전압이 상승하여 2개의 전압

제어발진기 입력중 하나를 통하여 전압제어발진기 출력 신호 주파수가 증가한다. 그러면 주파수-전압 감지 회로 출력전압이(V_{FVSC2}) 감소하여 전압제어발진기 입력중 하나를 통하여 전압제어발진기 출력 신호 주파수를 감소시킨다. 이러한 동작을 통해 ②구간과 같이 전압제어발진기의 입력전압이 안정화되어 최종적으로 위상고정루프 출력신호 주파수가 일정하게 된다.

4. 시뮬레이션 결과

표 1. Hspice 시뮬레이션 변수.
Table 1. Parameters of Hspice simulation.

Parameter	Conv	FVSC1	FVSC2	FVSC1+FVSC2
F_{REF}	31.25MHz			
I_{CP}	500㎂			
Loop Filter	C_z=150pF R_z=1.7kΩ C_p=15pF			
K_{VCO}	K_{VCO1}=850MHz/V K_{VCO2}=550MHz/V			
F_{OUT}	1.0GHz			
N_{DIV}	32			
FVSC	–	I_{FVSC1}=5㎂	I_{FVSC2}=5㎂	I_{FVSC1}=5㎂ I_{FVSC2}=5㎂

제안된 위상고정루프의 이론적으로 예측한 동작이 올바르게 나타나는지 확인하기 위하여 표 1과 같이 회로의 파라미터를 정하고 Hspice 시뮬레이션을 진행하였다. 공정변수는 180nm CMOS 공정을 채택하였다. 기존 위상고정루프, 루프필터 피드백 위상고정루프(FVSC1), 전압제어발진기 피드백 위상고정루프(FVSC2)와 두 가지 피드백 루프를 모두 적용한 위상고정루프(FVSC1+FVSC2)로 총 4가지 회로의 시뮬레이션 결과를 확인하였다. 그림 8은 제안한 위상고정루프의 시뮬레이션 결과 중 출력주파수의 고속퓨리에 변환 결과를 나타낸 것이다. 이전 폐루프 보드도에서 살펴본 것처럼 2가지 피드백 루프를 같이 적용한 위상고정루프가 기준 주파수 부근 잡음이 가장 작아 특성이 제일 좋다고 할 수 있다. 이러한 결과는 표 2의 지터 크기를 보면 알 수 있다.

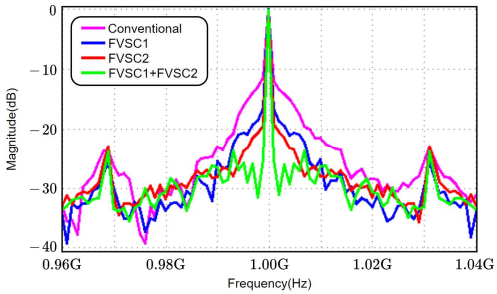

그림 8. 제안한 위상고정루프 출력주파수 고속푸리에 변환 결과.
Fig. 8. Fourier transform of the proposed structure.

표 2. 제안한 위상고정루프 시뮬레이션 결과.
Table 2. Simulation result of the proposed structure.

	Conv	FVSC1	FVSC2	FVSC1+FVSC2
Lock Time	16㎲	2㎲	80㎲	40㎲
Jitter(P2P)	25.76ps	21.66ps	14.89ps	11.18ps
Jitter(RMS)	4.87ps	3.60ps	2.88ps	2.40ps
Power Consumption	42.3mW	43.9mW	45.0mW	46.8mW

5. 결론

본 논문에서 기존 구조의 단일 부궤환 루프 위상고정루프 구조에 2개의 부궤환 루프를 추가하여 3개의 부궤환 루프를 가진 위상고정루프를 제안하였다. 위상고정루프 출력신호의 변화를 감지하는 2개의 부궤환루프를 도입하여 전압제어발진기의 입력 전압 변동폭을 크게 감소시켜 제안된 위상고정루프의 잡음 특성을 크게 개선하였다. 추가된 부궤환루프에 의한 전력 소모는 10% 정도 상승하고, 칩의 크기 증가도 미미하다. 지터 특성은 2배 정도 좋아지므로 제안된 3개의 부궤환 루프를 가진 위상고정루프의 효용성을 실현하였다. 잡음 특성이 우수한 위상고정루프가 필요한 통신용 칩에 사용될 수 있다.

REFERENCES

[1] Floyd M. Gardner, "Charge-Pump Phase-Lock Loop," IEEE J. Tran, on Communications, vol. COM-28, NO, 11, pp. 1849-1858, Nov., 1980.

[2] B. Razavi, Monolithic Phase-Locked Loops and Clock Recovery Circuits. New York: IEEE Press, 1996.

[3] K. Lim, C. Park, D. Kim and B. Kim, "A Low-Noise Phase-Locked Design by Loop Bandwidth Optimization," IEEE J. solid state circuits, vol. 35, no. 6, pp. 807-815, June 2000.

[4] Mozhgan Mansuri and Chih-Kong Ken Yang, "Jitter Optimization based on Phase-Locked Loop Design Parameters," IEEE J. solid state circuits, vol. 37, no. 11, pp. 1375-1382, Nov. 2002.

[5] Sheng Ye, Lars Jansson and Ian Galton, "A Multiple-Crystal Interface PLL with VCO Realignment to reduce Phase Noise," IEEE J. solid state circuits, vol. 37, no. 12, pp. 1795-1803, Dec. 2002.

[6] Z. Zhang, L. Liu. P. Feng and N. Wu, "A 2.4-3.5-GHz Wideband Subharmonically Injection-Locked PLL with Adaptive Injection Timing Alignment Technique," IEEE Tran. VLSI Systems, vol. 25, no. 3, 929-941, Mar. 2017

[7] X. Gao, E. Klumperink, M. Bohsali, and B. Nauta, "A Low-Noise Sub-Sampling PLL in which Divider Noise is eliminated and PD/CP Noise is not multiplied by N2 ," IEEE J. solid state circuits, vol. 44, no. 12, pp. 3253-3263, Dec. 2009.

[8] J-H. Seol, K-J Choo, D. Blaaw, D. Sylvester, T-K Jang, "Reference Oversampling PLL achieving -256-dB FoM and -78-dBc Refence Spur," IEEE J. solid state circuits, vol. 56, no. 10, pp. 2993-3007, Oct. 2021.

[9] X. Jin, K-W Kwon, Y-S Choi and J-H Chun, "A Dual-loop Phase Locked Loop with Frequency to Voltage Converter," J. Semiconductor Technology and Science, vol. 19, no. 3, pp. 292-299, June. 2019.

저자약력

최 영 식 (Young-Shig Choi) **[정회원]**

- 1982년 경북대학교 전자공학과 학사 졸업.
- 1986년 Texas A&M University 전자공학과 석사 졸업.
- 1993년 Arizona State University 박사 졸업.
- 1987년 ~ 1999년 현대전자(현 SK Hynix) 책임연구원
- 2003년 ~ 현재 부경대학교 전자공학과 교수

〈관심분야〉 PLL, DLL 설계