

화학기상증착법을 이용하여 합성한 그래핀과 금속의 접촉저항 특성 연구

김동영 · 정하늘 · 이상현[†]

전남대학교 화학공학부

A Study on Contact Resistance Properties of Metal/CVD Graphene

Dong Yeong Kim, Haneul Jeong, and Sang Hyun Lee[†]

School of Chemical Engineering, Chonnam National University, 77 Yong-bong-ro, Buk-gu, Gwangju 61186, Korea

(Received June 21, 2023; Revised June 29, 2023; Accepted June 30, 2023)

초 록: 본 연구에서는 그래핀 기반 소자의 성능에 영향을 미치는 그래핀과 금속 사이의 전기적 접촉저항 특성을 비교 분석하였다. 화학기상증착법을 이용하여 고품질의 그래핀을 합성하였으며, 전극 물질로 Al, Cu, Ni 및 Ti를 동일한 두께로 그래핀 표면 위에 증착하였다. TLM (transfer length method) 방법을 통해 SiO₂/Si 기판에 전사된 그래핀과 금속의 접촉저항을 측정된 결과, Al, Cu, Ni, Ti의 평균 접촉저항은 각각 345 Ω, 553 Ω, 110 Ω, 174 Ω으로 측정되었다. 그래핀과 물리적 흡착 특성을 갖는 Al과 Cu에 비해 화학적 결합을 형성하는 Ni과 Ti의 경우, 상대적으로 더 낮은 접촉저항을 갖는 것을 확인하였다. 본 연구의 그래핀과 금속의 전기적 특성에 대한 연구 결과는 전극과의 낮은 접촉저항 형성을 통해 고성능 그래핀 기반 전자, 광전자소자 및 센서 등의 구현에 기여할 수 있을 것으로 기대한다.

Abstract: In this study, the electrical contact resistance characteristics between graphene and metals, which is one of important factors for the performance of graphene-based devices, were compared. High-quality graphene was synthesized by chemical vapor deposition (CVD) method, and Al, Cu, Ni, and Ti as electrode materials were deposited on the graphene surface with equal thickness of 50 nm. The contact resistances of graphene transferred to SiO₂/Si substrates and metals were measured by the transfer length method (TLM), and the average contact resistances of Al, Cu, Ni, and Ti were found to be 345 Ω, 553 Ω, 110 Ω, and 174 Ω, respectively. It was found that Ni and Ti, which form chemical bonds with graphene, have relatively lower contact resistances compared to Al and Cu, which have physical adsorption properties. The results of this study on the electrical properties between graphene and metals are expected to contribute to the realization of high-performance graphene-based devices including electronics, optoelectronic devices, and sensors by forming low contact resistance with electrodes.

Keywords: Graphene, Metal, Contact resistance, Chemical vapor deposition, Field effect transistor

1. 서 론

그래핀(Graphene)은 탄소 원자들이 sp²구조로 배열된 원자 한 층으로 이루어졌으며, 높은 전자 이동도 (200,000 cm²/V·s), 열 전도도 (4,000 W/m·K) 및 우수한 기계적 강도 등 뛰어난 물성치를 가지고 있다.¹⁻³⁾ 이처럼 뛰어난 특성을 바탕으로 그래핀을 채널 물질로 활용한 고속 및 고주파수 전계효과트랜지스터(field effect transistor, FET), 유연전자소자, 센서 등의 그래핀 기반의 소자의 구현 및 성능 향상을 위한 연구가 많이 진행되고 있다.⁴⁻⁶⁾ 그래핀과 금속 계면 간 저항인 접촉저항은 고성능 소자 구현에 매우 중요한 요소이며, FET의 특성에 영향성에 대한 연구

가 보고되었다.^{7,8)} 또한, 그래핀과 금속의 접촉에 영향을 미치는 요인으로는 그래핀 층의 수와 품질, 측정 온도, 잔여물 및 금속 종류에 따른 그래핀과의 결합 특성, 일함수(work function), 금속 결정입자의 크기, 접촉 방식 등이 제시되었다.⁹⁻¹³⁾ 하지만, 대부분의 보고된 연구는 기계적으로 박리된 그래핀을 이용하였으며, 그래핀 특성, 소자 제작 공정 및 측정 방법에 따라 접촉저항이 많이 차이를 보인다.¹⁴⁾ 이러한 측면을 고려할 때, 그래핀의 상용화를 위해 대면적 합성이 가능한 화학기상증착법(chemical vapor deposition, CVD)를 이용하여 합성된 고품질 그래핀의 금속과의 전기적 특성의 연구가 필요하다.¹⁵⁾

본 연구에서는 그래핀 트랜지스터를 제작하고 상온과

[†]Corresponding author
E-mail: leeshyun@chonnam.ac.kr

© 2023, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

대기압 하에서 금속/그래핀의 접촉저항을 분석하였다. 고품질 그래핀은 CVD를 이용하여 합성하였으며, 전사된 그래핀의 표면에 전자빔 증착장비를 이용하여 다양한 금속물질을 증착하였다. 앞서 언급된 접촉저항에 미치는 요인 중 가장 주요한 금속과 그래핀의 결합 특성에 따른 차이를 변수로 설정하였으며, 그래핀이 물질의 수소와 반데르 발스 결합을 하는 물리적 흡착 전극으로는 Cu와 Al을, C와 결합하여 탄소화합물을 형성하는 화학적 흡착 전극으로는 Ni과 Ti를 선정하였다. 저항 분석을 하기 위해 채널 패턴을 하는 경우 일반적으로 TLM (transfer length method) 혹은 CBKR (Cross-Bridge Kelvin Resistor) 구조를 사용한다.¹⁶⁾ 그래핀 채널 위에 전극 패터닝을 통한 TLM 방법을 이용하여 IV 및 Transfer curve를 측정할 결과, 물리적 흡착 전극 대비 화학적 흡착을 이용한 전극이 상대적으로 낮은 저항을 가짐을 확인할 수 있었다.

2. 실험 방법

2.1. 그래핀 합성 및 전극 형성

그래핀은 Cu foil을 촉매로 사용하여 화학기상증착법을 이용해 합성하였다. 먼저 Cu foil을 CVD 챔버에 넣고, 1×10^{-3} torr 이하의 진공 분위기를 형성한다. 이후 H₂ 분위기 하에서 1,000 °C까지 승온 후 산화막을 완전히 제거하고자 추가적으로 1시간 동안 열처리를 진행한다. 동일한 온도에서 CH₄를 주입하여 약 30분 동안 유지하여 Cu foil 표면에 그래핀을 합성한 뒤 상온까지 천천히 냉각시킨다. CVD 공정이 끝나면 Cu foil 윗면의 그래핀을 PMMA (polymethyl methacrylate)를 코팅하고 유도결합 플라즈마 반응성 이온 식각(inductively-coupled-plasma reactive-ion etching, ICP-RIE)으로 산소 플라즈마 반응을 통해 뒷면의 그래핀을 제거한다. 이후 과황산암모늄(ammonium persulfate) 희석용액을 이용하여 Cu foil을 에칭한 뒤, 용액 표면에 남아있는 그래핀을 초순수에서 몇 차례 세척 후 전사 공정으로 SiO₂/Si 기판에 전사한다. 그래핀과 기판 사이에 남아있는 수분을 제거하고자 100 °C에서 열처리를 진행하고, 이후 아세톤으로 그래핀 표면의 PMMA를 제거한

다. 그래핀 패턴 및 전극 패턴의 경우 전남대학교 에너지 융복합전문핵심연구지원센터의 마스크리스 얼라이너 (Heidelberg Instruments, mMLA)를 사용하였으며, 전극으로 사용한 Cu, Al, Ni, Ti 박막은 고진공에서 전자빔 증착기를 이용하여 증착하였다. 증착속도는 0.7 Å/s로 금속막두께는 50 nm로 동일하게 제작하였다. 증착된 전극과 그래핀의 계면 특성을 향상시키기 위해 200 °C 및 H₂ 분위기에서 열처리 후 전기적 특성을 측정하였다.

2.2. 그래핀과 금속의 전기적 특성 분석

그래핀의 품질을 분석하기 위해 Cu foil에 합성한 그래핀을 15 × 15 mm의 SiO₂ (300 nm)/Si 기판에 전사한 뒤 라만 분광법을 이용하였다. 먼저 기판에 전사한 직후의 구조적 특성을 마이크로 라만 분광 장치 (Tokyo instrument, Flex G)를 통해 분석하였으며, 그래핀 채널 패턴 공정 중 손상 유무를 확인하고자 공정 후 라만 분광 장치를 통해 재분석하였다.

그래핀 트랜지스터의 저항 특성 파악에는 반도체 특성 검사기 (Keithley, 4200-scs)를 이용하였다. 본 연구의 경우 TLM 방식을 이용하였으며, 채널 사이의 길이는 각 20, 40, 60, 80, 100 μm를 선정하였다. 저항 계산의 경우 채널의 길이(L)에 따른 IV curve를 측정한 뒤, 다음 식(1)에 따라 전체 저항(R_{tot}) 및 접촉 저항(R_c)를 계산하였다. 트랜스퍼 곡선(transfer curve)의 경우 증착한 전극을 소스와 드레인, 실리콘 기판을 게이트로 이용하여 측정하였다.

$$R_{tot} = 2R_c + R_s(d/W_{ch}) \tag{1}$$

여기에서 R_s는 면저항이고, W_{ch}는 채널의 폭을 의미한다.

3. 결과 및 토의

먼저 Cu foil을 통해 합성한 그래핀을 Si 기판에 전사했을 때, 그리고 그래핀 채널 형성 공정 후 그래핀의 손상 유무를 확인하고자 라만 분광법을 사용해 분석하였다. Fig. 1(a)은 Si 기판에 전사한 그래핀을 분석한 결과로

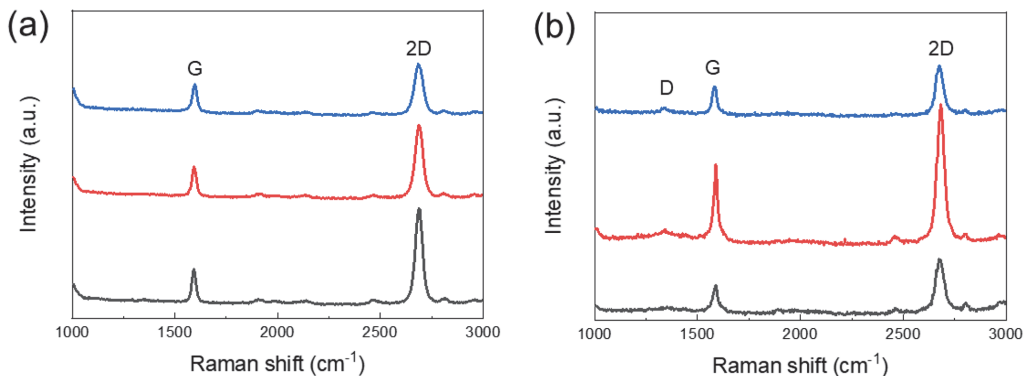


Fig. 1. Raman spectra of Cu graphene on Si (a) after transfer and (b) after patterning process.

1,590 cm^{-1} 과 2,685 cm^{-1} 에서 G 피크와 2D 피크가 각각 나타났으며, 2D 피크와 G 피크의 비율인 $I_{2D/G}$ 의 비율이 약 2정도로 단층 그래핀이 형성된 것을 확인하였다. 또한 그래핀의 결함을 나타내는 1,350 cm^{-1} 에서의 D 피크가 관찰되지 않은 결과로부터 결함밀도가 낮은 고품질 그래핀이 형성된 것을 확인할 수 있다. Fig. 1(b)는 Fig. 1(a)에서 그래핀 패터닝 및 ICP-RIE 공정, PR strip 공정 후의 그래핀을 분석한 결과로 G 피크와 2D 피크가 같은 위치에서 나타났으며 일부에서 미약하게 D 피크가 관찰되었으나 대체로 공정 간 그래핀에 크게 손상이 없음을 확인하였다. 패터닝 공정 후 D 피크의 형성은 ICP-RIE 공정 중 플라즈마에 노출된 그래핀 가장자리(edge) 부분에서 결함이 형성에 기인한 것으로 추정된다.¹⁷⁾

공정 간 그래핀 손상이 없음을 확인하고 그래핀 트랜지스터를 제작하였다. Fig. 2(a)와 2(b)는 그래핀과 금속의 접촉저항을 측정하기 위한 TLM 구조의 단면도와 위에서 본 TLM 패턴 이미지이다. Fig. 2(a)에 보이는 것처럼 CVD를 합성된 그래핀은 300 nm의 SiO_2 를 증착한 Si(100)위에 전사되었으며, 증착 중 원자의 열 부하의 계면의 열 응력에 대한 영향을 고려하여 50 nm의 금속 막을 증착하였다.¹⁸⁾ 또한 Fig. 2(b)의 TLM 방법은 측정 간

전극과 채널 접촉부에 손상이 가지 않기 위해 전극 접촉 부분을 더 넓게 설계하였으며, 각 채널과 전극이 닿는 면적은 동일하게 제작하였다. 제작한 그래핀 트랜지스터를 OM 관찰한 결과(Fig. 2(c)), 그래핀 층 위에 TLM 전극 구조가 잘 형성된 것을 확인할 수 있었다.

제작한 그래핀/금속 TLM 구조를 이용하여 계면저항을 확인하고자 I-V 특성을 측정하였다. 측정 금속으로는 탄소와 화학적 반응성이 좋은 전극 소재 중 Ni와 Ti를 선택하였고, 반응성이 적은 물질로는 Cu와 Al을 사용하였다.¹⁹⁾ 또한, 표면 산화를 방지하기 위하여 각 금속 전극 위에 10 nm의 Au 층을 증착하였다. 그래핀의 경우 전도띠(conduction band)와 가전자띠(valance band)가 K-점에서 만나 에너지 틈(band gap)이 0인 특성을 갖기 때문에 금속/그래핀 간 I-V 특성 측정의 경우 기울기가 선형인 Ohmic 접촉의 특성을 보여야 한다. Fig. 3(a)은 Ti 전극의 I-V 특성을 측정된 결과이며, 기울기는 선형으로 Ohmic 접촉이 형성되었음을 확인했으며, Al, Cu, Ni, Ti 모두 선형의 Ohmic 접촉으로 연결됨을 확인하였다. Fig. 3(a)와 같이 측정된 I-V를 바탕으로 기울기인 총 저항을 구하였고, fitting을 통한 선형 관계식과 위에서 언급한 저항 계산식을 통해 R_c 를 계산하였다. 각 금속에 대한 5개의 샘플

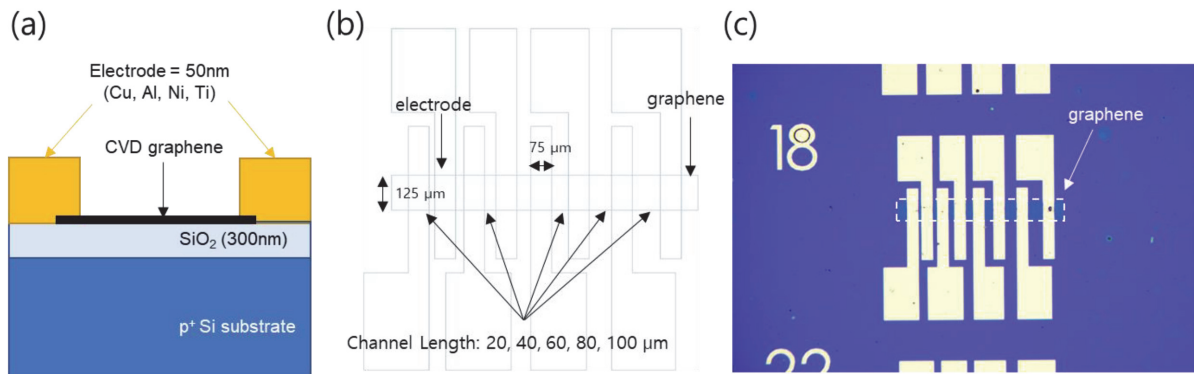


Fig. 2. A schematics of (a) cross-sectional of (b) top of TLM pattern for contact resistance measurement of CVD graphene/metal. c) Optical microscope image of TLM structure with graphene/metal.

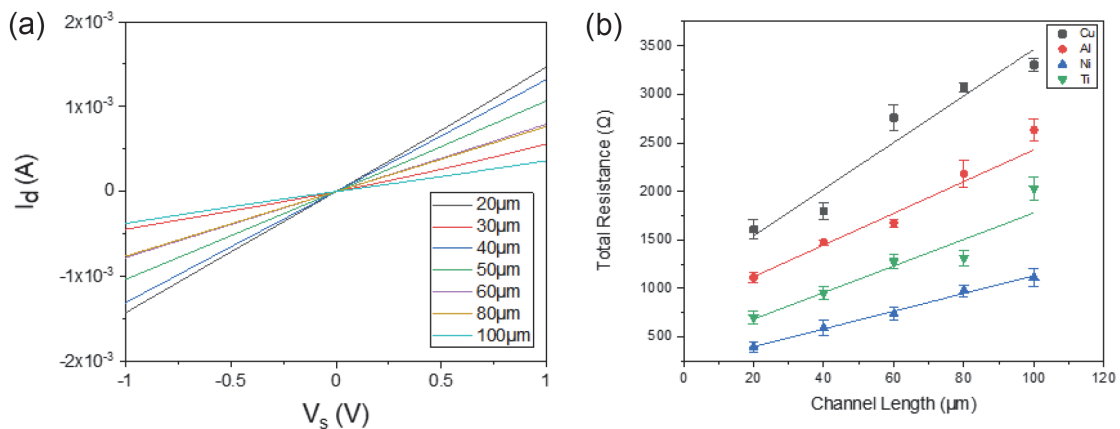


Fig. 3. (a) IV curve of Al electrode and (b) Total resistance of Al, Cu, Ni and Ti electrode.

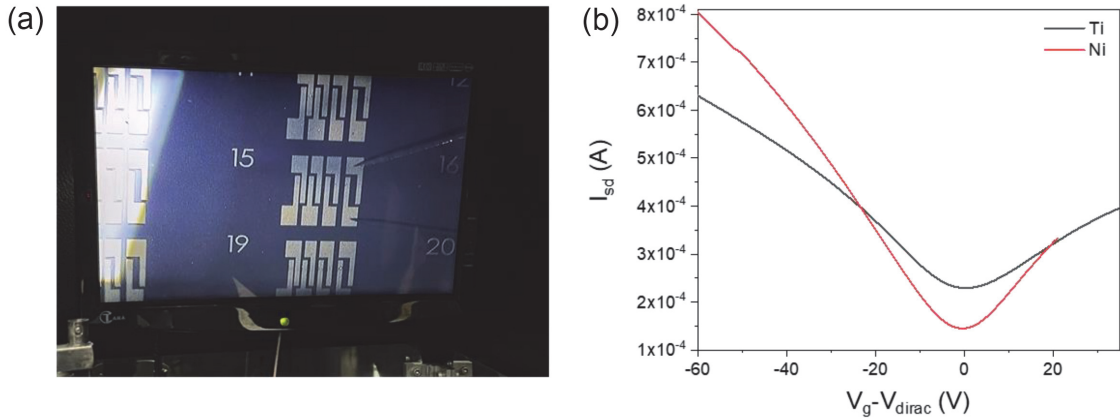


Fig. 4. (a) Image of device measurement of graphene FET and (b) typical transfer curve of CVD graphene FET with Ni and Ti electrode.

플에 대한 평균 R_c 는 Al의 경우 345 Ω , Cu는 553 Ω , Ni는 110 Ω , Ti는 174 Ω 의 값을 얻었다. 측정 결과 기존과 동일하게 화학적 흡착이 물리적 흡착 대비 낮은 저항을 갖는 것을 확인하였으며, 특히 Ni가 그래핀과의 결합에서 가장 낮은 R_c 값을 갖는 것을 확인하였다.

위의 결과를 토대로 접촉저항이 낮은 Ni와 Ti를 이용하여 CVD 그래핀 FET 소자를 제작 및 분석하였다 (Fig. 4(a)). 실리콘 기판의 영향성을 줄이기 위해 HMDS (hexamethyldisilazane) 처리를 진행하였다. FET 특성 향상을 위해 실리콘 기판 표면에 실리콘 표면에 0.1 ml의 HMDS 도포 후 30초간 3000 rpm으로 스핀 코팅을 진행하였으며, 이후 핫플레이트에서 150 $^{\circ}\text{C}$ 의 온도에서 한시간동안 베이킹하여 표면을 소수성 처리하였다. 게이트 전압에 따른 소스-드레인의 전류를 측정하여 트랜스퍼 곡선 (Fig. 4(b))와 식(2)로부터 전자이동도(electron mobility)를 분석한 결과 Ni는 4,861 $\text{cm}^2/\text{V}\cdot\text{s}$ 와 Ti는 4,276 $\text{cm}^2/\text{V}\cdot\text{s}$ 로 각각 계산되었다.

$$\mu_{FE} = (dI_D/dV_{BG})(L/W)(V_D/C_{BG}) \quad (2)$$

여기에서 μ_{FE} 는 전자이동도, I_D 는 드레인 전류, V_{BG} 는 게이트 전압, L 과 W 는 채널의 길이와 너비, V_D 는 드레인 전압, C_{BG} 는 절연층의 유전율을 의미한다.

이는 그래파이트로부터 박리한 그래핀을 통해 제작한 그래핀 트랜지스터의 보고된 전자이동도와 유사한 값으로,²⁰⁾ 접촉저항을 줄임으로써 고성능의 CVD 그래핀 기반 FET 소자를 제작할 수 있음을 확인하였다.

4. 결 론

본 연구에서는 CVD 방법으로 합성한 그래핀과 금속 종류에 따른 접촉저항을 측정 및 비교하였다. 라만분광법을 통해 분석한 결과 단층 혹은 이중층 그래핀이 형성되었으며 공정 간 그래핀에 큰 손상이 없음을 확인하였다. 제작한 그래핀 트랜지스터의 경우 금속/그래핀 간

Ohmic 접촉으로 특성 변화 없이 연결되어 있음을 확인하였다. 금속 종류 별 접촉저항을 분석한 결과 Al은 345 Ω , Cu는 553 Ω , Ni는 110 Ω , Ti는 174 Ω 로 물리적 적층형태인 Cu, Al 대비 화학적 흡착 특성을 갖는 Ni, Ti가 낮은 접촉저항을 갖으며, 특히 Ni가 가장 낮은 접촉저항을 가지는 것을 확인하였다. 또한 CVD 그래핀 FET 소자의 제작 및 특성 분석 결과, Ni와 Ti전극을 사용하였을 때 각각 4,861 cm^2/Vs , Ti는 4,276 cm^2/Vs 의 높은 전자이동도를 구현하였다.

감사의 글

본 연구는 전남대학교 학술연구비 지원에 의하여 연구되었음.

References

1. A. K. Geim and K. S. Novoselov, "The rise of graphene", Nat. Mater., 6, 183-191 (2007).
2. C. Soldano, A. Mahmood, and E. Dujardin, "Production, properties and potential of graphene", Carbon, 48(8), 2127-2150 (2010).
3. Y. Zhu, S. Murali, W. Cai, X. Li, J. W. Suk, J. R. Potts, and R. S. Ruoff, "Graphene and Graphene Oxide: Synthesis, Properties, and Applications", Adv. Mater., 22(35), 3906-3924 (2010).
4. Y. M. Lin, K. A. JenKins, A. V. Garcia, J. P. Small, D. B. Farmer, and P. Avouris, "Operation of graphene transistors at gigahertz frequencies", Nano Lett., 9(1), 422-426 (2009).
5. T. H. Han, H. B. Kim, S. J. Kwon, and T. W. Lee, "Graphene-based flexible electronic devices", Mater. Sci. Eng. R Rep., 118, 1-43 (2017).
6. W. Yuan and G. Shi, "Graphene-based gas sensors", J. Mater. Chem. A., 1, 10078-10091 (2013).
7. K. Nagashio, T. Nishimura, K. Kita, and A. Toriumi, "Contact resistivity and current flow path at metal/graphene contact", Appl. Phys. Lett., 97, 143514 (2010).
8. A. Venugopal, L. Colombo, and E. M. Vogel, "Contact resistance in few and multilayer graphene devices". Appl. Phys.

- Let., 96, 013512 (2010).
9. E. Watanabe, A. Conwill, D. Tsuya, and Y. Koide, "Low contact resistance metals for graphene based devices", *Diam. Relat. Mater.*, 24, 171-174 (2012).
 10. T. Cusati, G. Fiori, A. Gahoi, V. Passi, M. C. Lemme, A. Fortunelli, and G. Iannaccone, "Electrical properties of graphene-metal contacts", *Sci. Rep.*, 7, 5109 (2017).
 11. F. Xia, V. Perebeinos, Y. M. Lin, Y. Wu, and P. Avouris, "The origins and limits of metal-graphene junction resistance", *Nat. Nanotechnol.*, 6, 179-184 (2011).
 12. Y. Zheng, J. Gao, C. Han, and W. Chen, "Ohmic Contact Engineering for Two-Dimensional Materials", *Cell Rep. Phys. Sci.*, 2(1), 100298 (2021).
 13. A. Allain, J. Kang, K. Banerjee, and A. Kis, "Electrical contacts to two-dimensional semiconductors", *Nat. Mater.*, 14, 1195-1205 (2015).
 14. H. Liu, H. Kondo, and T. Ohno, "Contact effects of nickel and copper on electron transport through graphene", *Phys. Rev. B.*, 86(15), 155434 (2012).
 15. S. Bae, H. Kim, Y. Lee, X. Xu, J.-S. Park, Y. Zheng, J. Balakrishnan, T. Lei, H. R. Kim, Y. I. Song, Y.-J. Kim, K. S. Kim, B. Özyilmaz, J.-H. Ahn, B. H. Hong, and S. Iijima, "Roll-to-roll production of 30-inch graphene films for transparent electrodes", *Nat. Nanotech.* 5, 574-578 (2010).
 16. N. Stavitski, J. H. Klootwijk, H. W. Zeijl, A. Y. Kovalgin, and R. A. M. Wolters, "Cross-Bridge Kelvin Resistor Structures for Reliable Measurement of Low Contact Resistances and Contact Interface Characterization", *IEEE Trans. Semicond. Manuf.*, 22(1), 146-152 (2009).
 17. M. C. Prado, D. Jariwala, T. J. Marks, and M. C. Hersam, "Optimization of graphene dry etching conditions via combined microscopic and spectroscopic analysis", *Appl. Phys. Lett.*, 102, 193111 (2013).
 18. B. Li, C. Y. Han, P. T. Lai, and W. M. Tang, "Effects of source/drain-electrode material, thickness and fabrication method on the electrical performance of pentacene thin-film transistor", *Thin Solid Films*, 667, 28-33 (2018).
 19. C. Gong, G. Lee, B. Shan, E. M. Vogel, R. M. Wallace, and K. Cho, "First-principles study of metal-graphene interfaces", *J. Appl. Phys.*, 108(12), 123711 (2010).
 20. A. Venugopal, J. Chan, X. Li, C. W. Magnuson, W. P. Kirk, L. Colombo, R. S. Ruoff, and E. M. Vogel, "Effective mobility of single-layer graphene transistors as a function of channel dimensions", *J. Appl. Phys.*, 109(10), 104511 (2011).