

강유전체를 이용한 음의 정전용량 무접합 이중 게이트 MOSFET의 문턱전압 모델

정학기 

군산대학교 전자공학과

Analytical Model of Threshold Voltage for Negative Capacitance Junctionless Double Gate MOSFET Using Ferroelectric

Hakkee Jung

Department of Electronic Engineering, Kunsan National University, Gunsan 54150, Korea

(Received October 5, 2022; Revised November 1, 2022; Accepted November 4, 2022)

Abstract: An analytical threshold voltage model is presented to observe the change in threshold voltage shift ΔV_{th} of a junctionless double gate MOSFET using ferroelectric-metal-SiO₂ as a gate oxide film. The negative capacitance transistors using ferroelectric have the characteristics of increasing on-current and lowering off-current. The change in the threshold voltage of the transistor affects the power dissipation. Therefore, the change in the threshold voltage as a function of the ferroelectric thickness is analyzed. The presented threshold voltage model is in a good agreement with the results of TCAD. As a results of our analysis using this analytical threshold voltage model, the change in the threshold voltage with respect to the change in the ferroelectric thickness showed that the threshold voltage increased with the increase of the absolute value of charges in the employed ferroelectric. This suggests that it is possible to obtain an optimum ferroelectric thickness at which the threshold voltage shift becomes 0 V by the voltage across the ferroelectric even when the channel length is reduced. It was also found that the ferroelectric thickness increased as the silicon thickness increased when the channel length was less than 30 nm, but the ferroelectric thickness decreased as the silicon thickness increased when the channel length was 30 nm or more in order to satisfy $\Delta V_{th}=0$.

Keywords: Threshold voltage shift, Junctionless, Ferroelectric, Negative capacitance, Double gate

1. 서론

트랜지스터의 크기가 10 nm 이하로 감소하면서 단채널 효과는 더욱 심각해지고 있다. 단채널 효과는 문턱전압이

하 스윙(subthreshold swing, SS)의 저하뿐만이 아니라 문턱전압의 이동 및 DIBL (drain induced barrier lowering)의 증가 등 트랜지스터 특성에 큰 영향을 미치고 있다 [1-3]. 이러한 단채널 효과를 감소시키기 위하여 무접합(junctionless, JL) MOSFET, 터널링(tunneling) FET, GAA (gate-all-around) FET 등 새로운 구조의 트랜지스터에 대한 연구가 활발히 진행 중에 있다 [4-6]. 특히 스케일링 효과에 의하여 발생하는 게이트 산화막의 두께 감소를 보상하기 위한 고유전율 물질의 이용, 고이동도 물질을 이용한 실리콘 채널의 대체, 무접합 구조 이용 등

✉ Hakkee Jung; hkjung@kunsan.ac.kr

Copyright ©2023 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

많은 노력이 이루어지고 있다 [7-9]. 단채널에서 소스/드레인과 채널 간에 발생하는 공정문제 및 공핍층 형성 등의 문제를 무접합 구조가 해결한 후, 이중 게이트(double gate, DG) 구조, GAA 구조 등 게이트 단자전압으로 채널의 캐리어를 제어하려는 노력이 무접합 MOSFET에서 이루어지고 있다 [10,11]. 그러나 이러한 노력에도 SS가 60 mV/dec 이상의 값을 갖는 한계를 극복하지 못하기 때문에 강유전체(ferroelectric)를 이용한 음의 캐패시턴스 효과(negative capacitance, NC)와 무접합 구조를 이용하여 이 한계를 극복하려는 연구가 진행되었다 [12-16]. 트랜지스터의 단채널 효과 중 SS만큼 중요한 요소는 문턱전압의 이동이다. 문턱전압의 변화는 특히 정적 전력소비 등 트랜지스터 특성에 큰 영향을 미친다. 그러므로 SS를 감소시키기 위하여 사용하고 있는 강유전체가 문턱전압을 크게 변화시킨다면 소비전력에 영향을 미칠 것이므로 이에 대한 분석이 필요하다. NC FET는 강유전체의 두께가 증가하면 문턱전압이 증가하나 강유전체의 분극(polarization)과 전기장의 이력현상(hysteresis)에 의하여 온전류(on-current)도 증가하는 것으로 알려져 있다 [17]. 그러나 NC FET에서 발생하는 문턱전압 이동에 대한 연구는 드레인 전압에 대한 문턱전압의 변화 즉, DIBL에 대한 모델을 제시하는 것 외에 거의 이루어지지 않고 있다 [18]. 특히 NC 특성에 영향을 미치는 분극과 전기장 그리고 자유에너지(free energy)의 관계에 대한 연구는 상당수 진척되고 있다 [19-21]. Rassekh 등은 NC FET에 대하여 채널 길이 100 nm의 JLDG MOSFET의 SS 및 DIBL에 대한 모델만을 제시하였다 [22]. Awadhiya 등은 NC FET에 대하여 문턱전압 및 DIBL 모델을 제시하였으나 단지 일반적인 MOSFET의 게이트 구조를 MFMS (metal-ferroelectric-metal-oxide-semiconductor)로 수정하여 해석하였으며 채널 길이 및 강유전체의 두께가 문턱전압에 미치는 영향 등에 대해선 언급하지 않았다 [23]. Saedi 등은 NC FET에 대하여 SS 및 I-V 특성 등을 고찰하였다 [24]. 이와 같이 NC FET에 대한 문턱전압 이동에 대한 연구가 드물기 때문에 본 논문에서는 채널 길이와 강유전체의 두께에 따른 문턱전압 이동(ΔV_{th})에 대하여 고찰하고자 한다. 이를 위하여 NC FET에 대한 문턱전압의 해석학적 모델을 제시하고 이의 타당성을 증명할 것이다. NC FET의 적층 게이트구조로는 온전류에서 장점을 보이는 MFMS 구조를 사용할 것이다 [25,26]. MFMS 구조에서는 산화막과 강유전체 사이에 내부 게이트(inner gate)와 최상층에 외부 게이트(outer gate)가 존재한다. 이 두 게이트에 걸리는 전압을 분석함으로써 강유전체가 문턱전압에 미치는 영향을 고찰할 것이며 강유전체의 두께 변화가

문턱전압에 미치는 영향을 설명할 것이다.

2. 강유전체를 이용한 JLDG FET의 문턱전압 모델

2.1 강유전체를 이용한 JLDG FET의 구조

본 논문에서 사용한 MFMS 구조의 NC JLDG MOSFET의 단면도를 그림 1에 도시하였다. 소스/드레인과 채널은 N_d^+ 로 동일하게 고도핑하였으며 게이트 상하단이 동일한 대칭형 MOSFET를 사용하였다. 본 논문에서는 $N_d^+ = 3.5 \times 10^{19} / \text{cm}^3$ 을 사용하였다. 외부 게이트에 인가한 전압은 V_{gs2} 이며 내부 게이트에 유도된 전압은 V_{gs1} , 강유전체에 걸린 전압은 V_f 이다.

2.2 강유전체를 이용한 JLDG MOSFET의 문턱전압유도

Ding의 전위모델 식 (1)과 문턱전압의 정의를 이용하면 문턱전압의 해석학적 모델을 구할 수 있다 [27].

$$\varphi(x, y) = V_s + \frac{V_{ds}}{L_g} x + \sum_{n=1}^{\infty} \left[C_n e^{k_n y} + D_n e^{-k_n y} - f_n / k_n^2 \right] \sin \frac{n\pi x}{L_g} \quad (1)$$

$$k_n = n\pi / L_g$$

이며 여기서 C_n, D_n, f_n 은 참고문헌 [27]에 표기되어 있으며 V_s 는 소스 전압, V_{ds} 는 드레인 전압, L_g 는 게이트길이이다.

즉, 식 (1)의 전위분포의 최소값이 0이 될 때 게이트 전압을 문턱전압으로 정의한다 [28]. 이 때 JLDG MOSFET

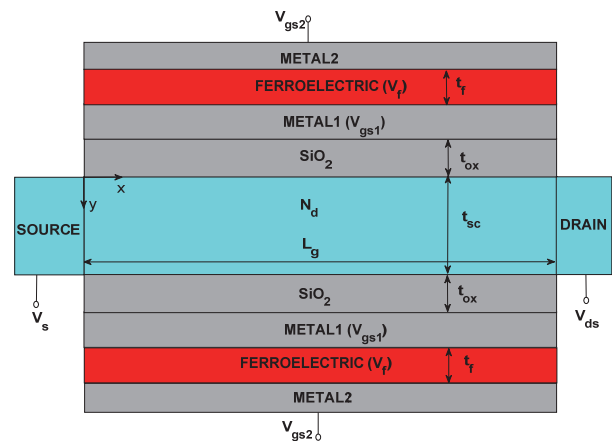


Fig. 1. Schematic diagram of a symmetric NC JLDG MOSFET with ferroelectric material as the stacked gate oxides.

의 특성상 대부분의 전류가 흐르는 중심점 $y=t_{sc}/2$ 에서의 전위분포를 계산하고 이때 전위분포의 최저점 $x=x_{min}$ 에서의 전위값을 구하면

$$\varphi(x_{min}, \frac{t_{sc}}{2}) = V_s + \frac{V_{ds}}{L_g} x_{min} + \sum_{n=1}^{\infty} \left[2C_n e^{k_n \frac{t_{sc}}{2}} - f_n / k_n^2 \right] \sin\left(\frac{n\pi x_{min}}{2}\right) \quad (2)$$

이다. 여기서 t_{sc} 는 실리콘의 두께이다. 이때,

$$\varphi(x_{min}, \frac{t_{sc}}{2}) = 0$$

인 V_{gs} 를 구한다. 식 (2)를 정리하면

$$\begin{aligned} \varphi(x_{min}, \frac{t_{sc}}{2}) &= V_s + \frac{V_{ds}}{L_g} x_{min} + 2 \sum_{n=1}^{\infty} \left[(A_n + B_n V_{gs1}) e^{k_n \frac{t_{sc}}{2}} - f_n / k_n^2 \right] \sin\left(\frac{n\pi x_{min}}{L_g}\right) \\ &= V_s + \frac{V_{ds}}{L_g} x_{min} + \sum_{n=1}^{\infty} \left[2A_n e^{k_n \frac{t_{sc}}{2}} - f_n / k_n^2 \right] \sin\left(\frac{n\pi x_{min}}{L_g}\right) + \sum_{n=1}^{\infty} \left[2B_n e^{k_n \frac{t_{sc}}{2}} \right] \sin\left(\frac{n\pi x_{min}}{L_g}\right) V_{gs1} \end{aligned} \quad (3)$$

$$\begin{aligned} A_n &= \frac{C_{\alpha} f_n}{k_n^2 \left[e^{k_n t_{sc}} (C_{\alpha} + \varepsilon_{si} k_n) + (C_{\alpha} - \varepsilon_{si} k_n) \right]} \\ &\quad - \frac{C_{\alpha} k_n^2}{k_n^2 \left[e^{k_n t_{sc}} (C_{\alpha} + \varepsilon_{si} k_n) + (C_{\alpha} - \varepsilon_{si} k_n) \right]} \left(\frac{2}{n\pi} \right) \left[(V_s + V_{gs1}) (1 - (-1)^n) - (-1)^n V_{ds} \right] \\ B_n &= \frac{C_{\alpha} k_n^2}{k_n^2 \left[e^{k_n t_{sc}} (C_{\alpha} + \varepsilon_{si} k_n) + (C_{\alpha} - \varepsilon_{si} k_n) \right]} \left(\frac{2}{n\pi} \right) (1 - (-1)^n) \end{aligned}$$

이며 이를 0로 놓고 V_{gs1} 에 대하여 풀면

$$V_{gs1} = - \frac{V_s + \frac{V_{ds}}{L_g} x_{min} + \sum_{n=1}^{\infty} \left[2A_n e^{k_n \frac{t_{sc}}{2}} - f_n / k_n^2 \right] \sin\left(\frac{n\pi x_{min}}{L_g}\right)}{\sum_{n=1}^{\infty} \left[2B_n e^{k_n \frac{t_{sc}}{2}} \right] \sin\left(\frac{n\pi x_{min}}{L_g}\right)} \quad (4)$$

와 같이 내부 게이트에 걸린 문턱전압을 구할 수 있으며 이때 강유전체에 걸린 전압 V_f 를 더하면 외부 게이트에 걸린 문턱전압 V_{th} 를 다음과 같이 구할 수 있다.

$$V_{th} = V_f + V_{gs1} \quad (5)$$

$$V_f = 2\alpha t_f Q + 4\beta t_f Q^3 + 6\gamma t_f Q^5 \quad (6)$$

와 같다. 여기서 Q 는 강유전체의 전하밀도를 나타낸다. α, β, γ 는 강유전체 커패시터로부터 추출한 분극 P 와 전기장 E 사이의 P - E 이력곡선으로부터 구할 수 있다. 즉, P - E 이력곡선에서 잔류분극(remanent polarization) P_r 과 보자력장(coercive field) E_c 를 이용하면 다음과 같이 구할 수 있다 [23].

$$\begin{aligned} \alpha &= - \frac{3\sqrt{3}}{2} \frac{E_c}{P_r} (m/F) \\ \beta &= \frac{3\sqrt{3}}{2} \frac{E_c}{P_r^3} (m^5/F/C^2) \end{aligned} \quad (7)$$

본 논문에서는 HZO의 실험 결과인 $P_r = 17 \mu C/cm^2$ 과 $E_c = 1.2 MV/cm$ 을 이용하여 α, β 를 구하여 사용하였으며 $\gamma = 0$ 을 사용하였다 [29].

강유전체의 전하밀도는 참고문헌 [22]의 방법을 이용하여 다음과 같이 구할 수 있다.

$$Q = C_{\alpha} \left[(V_{gs1} - \Delta\varphi_{ms} - \frac{V_{ds}}{2}) + \sum_{n=1}^{\infty} \left[2C_n e^{k_n t_{sc}/2} - f_n / k_n^2 \right] \left(\frac{1}{n\pi} \right) [(-1)^n - 1] \right] \quad (8)$$

여기서 $\Delta\varphi_{ms}$ 은 금속과 반도체의 일함수차이다.

3. 강유전체를 이용한 JLDG MOSFET의 문턱전압 이동 분석

3.1 문턱전압 모델의 타당성

먼저 식 (5)의 타당성을 검증하기 위하여 타 논문 및 이 미 발표한 논문의 TCAD 결과 [30]를 그림 2에서 비교하였다. 표 1은 이 논문에서 이용한 소자 파라미터이다. 결과적으로 $t_f=0$ nm일 때의 결과가 타 논문 [30] 및 TCAD의 결과와 잘 일치하는 것을 알 수 있었다. t_f 가 증가하면 V_f 가 증가하며 식 (5)에서 알 수 있듯이 문턱전압이 증가하여 문턱전압 이동 현상이 감소하는 것을 관찰하였다. 그림 2에 주어진 조건에서 t_f 가 8 nm에서는 문턱전압 이동이 (+)로 전환되는 것을 관찰하였다. 이를 고찰하기 위하여 그림 3에 내부 및 외부 게이트의 문턱전압 그리고 V_f 의 채널 길이에 따른 변화를 도시하였다.

내부 게이트의 문턱전압은 t_f 에 영향을 받지 않으나 V_f 는 식 (6)에서 알 수 있듯이 t_f 와 Q 에 따라 변화한다. 그러나 식 (8)과 그림 3(b)의 내부 그림에서 Q 는 t_f 의 함수가 아니며 채널 길이가 짧아질수록 Q 의 절대값이 증가하므로 채널 길이가 짧아질수록 V_f 도 증가하는 것을 알 수 있다. V_f 는 t_f 에 따라 증가하여 결국 외부 게이트의 문턱전압이 증가하는 것을 그림 3(b)에서 관찰할 수 있다. 특히 채널 길이가 짧아지면 Q 의 효과가 증가하여 문턱전압 이동 효과도 감소하고 있다는 것을 주시하라. 일반적으로 문

Table 1. Device parameters for this analytical threshold voltage model.

Device parameter	Symbol	Value
Channel length	L_g	20~100 nm
Channel width	W	1 μm
Channel thickness	t_{sc}	8~12 nm
SiO ₂ thickness	t_{ox}	1~4 nm
Doping concentration	N_d	$3.5 \times 10^{19}/\text{cm}^3$
Ferroelectric thickness	t_f	0~10 nm
Remanent polarization	P_r	17 $\mu\text{C}/\text{cm}^2$
Coercive field	E_c	1.2 MV/cm

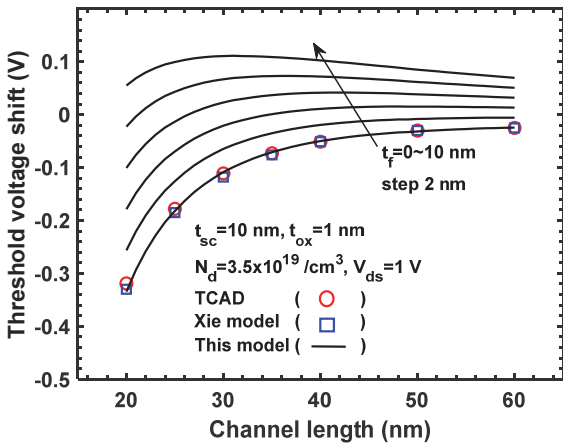


Fig. 2. Threshold voltage shifts for channel length with the thickness of ferroelectric material as a parameter (the red circles denote the results of TCAD and blue squares those of Xie model [30]).

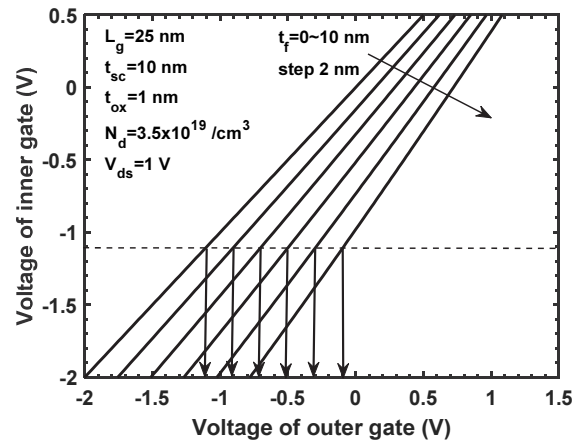


Fig. 4. Relationship between the inner and outer gate voltage with the ferroelectric thickness as a parameter under the given conditions.

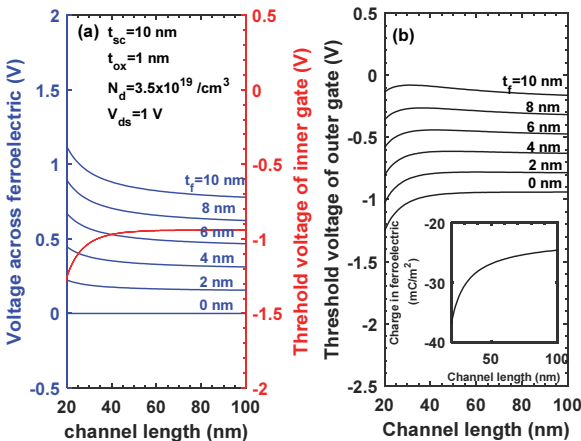


Fig. 3. (a) Voltages across the ferroelectric and threshold voltage of the inner gate for channel length with the thickness of ferroelectric material as a parameter (the red line denote the threshold voltage of the inner gate and the blue the voltage across the ferroelectric) and (b) threshold voltage of the outer gate for channel length with the thickness of ferroelectric material as a parameter (the inset denotes the total charge in ferroelectric).

턱전압의 증가는 드레인전류의 크기를 감소시킬 수 있으나 NC FET의 경우 강유전체의 특성에 의하여 온전류가 증가하는 것으로 알려져 있다 [31,32]. 즉, t_f 의 증가는 문턱전압 이동을 감소시키면서 온전류도 증가시키는 장점을 보이고 있다.

그림 4에 내부 게이트 전압과 외부 게이트 전압의 변화를 강유전체 두께를 파라미터로 도시하였다. 점선은 문턱전압에서 내부 게이트 전압과 이에 해당하는 외부 게이트 전압을 나타내고 있다. 그림 4에서 알 수 있듯이 문턱전압 이하 영역에서는 전압 증폭 현상이 발생하고 있지 않았다. 단지 식 (5)에서 알 수 있듯이 내부 게이트 전압에 강유전체에 걸린 전압이 합해져서 외부 게이트 전압을 형성하고 있다. 그러므로 문턱전압은 V_f 만큼 상승하는 효과가 있을 것이다. 그림 3(a)와 (b)의 내부 그림에서도 알 수 있듯이 Q 는 t_f 와 무관하므로 채널 길이가 일정하면 내부 게이트의 문턱전압은 일정하며 외부 게이트 전압은 단지 t_f 에 선형적으로 비례하면서 증가하고 있는 것을 그림 4에서 관찰할 수 있다.

3.2 강유전체를 이용한 JLDG MOSFET의 문턱전압 이동

전술한 바와 같이 문턱전압 이동은 강유전체 두께와 채널 길이에 따라 변화한다. SiO₂의 두께를 파라미터로 하여 강유전체 두께의 변화에 대한 문턱전압의 변화 ($\Delta V_{th}/\Delta t_f$)와 강유전체 전하 Q 의 변화를 채널 길이에 따라 그림 5에 도시하였다. 그림 5(a)에서 알 수 있듯이 SiO₂의 두께가 증가할수록 $\Delta V_{th}/\Delta t_f$ 는 증가하며 결국 포화된다. 채널 길이가 짧을 경우 SiO₂의 두께와 관계없이 $\Delta V_{th}/\Delta t_f$ 는 거의 일정하였으며 채널 길이가 증가하면 SiO₂의 두께에 따라 $\Delta V_{th}/\Delta t_f$ 가 차이를 보이고 있었다. 그러나 채널 길이 증가에 따라 $\Delta V_{th}/\Delta t_f$ 도 포화되는 것을 알 수 있다. $\Delta V_{th}/\Delta t_f$ 에 영향을 미치는 것은 결국 강유전체 전하이므로 그림 5(b)에 강유전체 전하의 변화를 도시하였다.

채널 길이가 짧을 경우, SiO₂의 두께에 대한 강유전체 전하의 변화는 관찰되지 않았다. 그러므로 그림 5(a)에서 $\Delta V_{th}/\Delta t_f$ 가 단채널에서는 관찰되지 않는 것을 알 수 있다. 또한 주어진 조건에서 SiO₂의 두께가 4 nm 이상에서는 강유전체 전하가 더 이상 변화하지 않는다는 것을 알 수 있으며 단지 채널 길이에 따라 변화하였다. 물론 채널 길이가 증가하면 SiO₂의 두께에 관계없이 포화되고 있었다. 이와 같이 $\Delta V_{th}/\Delta t_f$ 는 강유전체 전하에 따라 좌우되는 것을 관찰하였다. 강유전체 전하가 증가하면 $\Delta V_{th}/\Delta t_f$ 는 감소하는 것을 주시하라.

SiO₂의 두께뿐만 아니라 실리콘 두께 t_{sc} 도 문턱전압에 영향을 미칠 것이다. 실리콘 두께를 파라미터로 하여 강유

전체 두께의 변화에 대한 문턱전압의 변화($\Delta V_{th}/\Delta t_f$)와 강유전체 전하 Q 의 변화를 채널 길이에 따라 그림 6에 도시하였다. 그림 6에서 알 수 있듯이 실리콘 두께가 증가하면 강유전체 두께의 변화에 대한 문턱전압의 변화가 증가하는 것을 알 수 있었으며 채널 길이 변화에 대한 $\Delta V_{th}/\Delta t_f$ 의 변화도 심하였다. 채널 길이가 짧아질수록 실리콘 두께가 $\Delta V_{th}/\Delta t_f$ 에 미치는 영향은 증가하였다. 그림 5와 그림 6을 비교해 보면 실리콘 두께 변화가 산화막 두께 변화보다 $\Delta V_{th}/\Delta t_f$ 에 더 큰 영향을 미치고 있다는 것을 관찰할 수 있다. 그림 6(b)의 강유전체 전하의 변화에서 알 수 있듯이 실리콘 두께가 증가하면 강유전체 전하의 절대값이 증가하여 $\Delta V_{th}/\Delta t_f$ 도 증가하는 것을 알 수 있다. 실리콘 두께가 증가하면 채널 길이 변화에 대한 강유전체 전하의 변화도 증가하는 것을 주시하라. 이와 같은 강유전체 전하의 변화는 $\Delta V_{th}/\Delta t_f$ 의 변화에서 바로 나타나고 있었다.

그림 2에서도 알 수 있듯이 강유전체 두께를 조절하면 문턱전압 이동을 0 V로 할 수 있다. 이와 같은 관계를 관찰하기 위하여 그림 7에 문턱전압 이동이 0 V인 등고선을 강유전체 두께와 채널 길이에 대하여 SiO₂의 두께를 파라미터로 도시하였다. 그림 7에서 알 수 있듯이 문턱전압 이동이 0 V인 등고선은 채널 길이와 강유전체 두께가 서로 반비례의 관계가 있었다. 즉, 채널 길이가 감소하면 문턱전압 이동을 0 V로 만들기 위하여 강유전체 두께는 증가하여야만 한다. 또한 SiO₂의 두께가 증가하여도 동일한 채널 길이에서 더욱 두꺼운 강유전체가 필요하다는 것을 알 수 있었다. $t_{ox}=1$ nm일 때는 채널 길이가 50 nm 이상에서는 강유전체 두께가 3 nm만 되어도 문턱전압 이동이 0 V로 포화되는 것을 관찰하였다. 그러나 $t_{ox}=3$ nm까지 증가

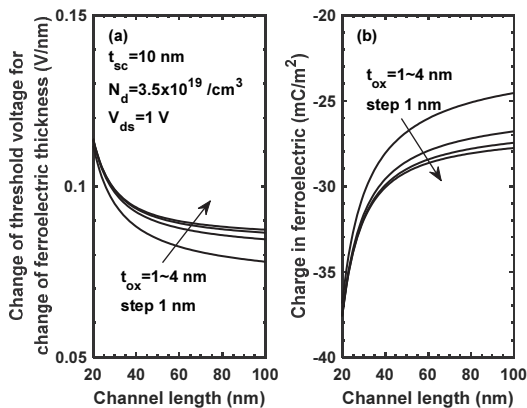


Fig. 5. (a) Changes of threshold voltage for the change of ferroelectric thickness ($\Delta V_{th}/\Delta t_f$), and (b) the charge in ferroelectric with the oxide thickness as a parameter under the given conditions.

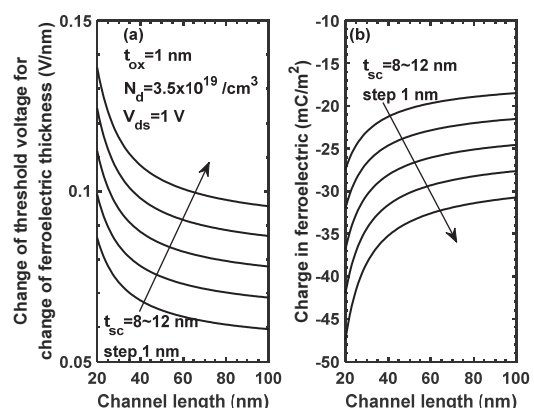


Fig. 6. (a) Changes of threshold voltage for the change of ferroelectric thickness ($\Delta V_{th}/\Delta t_f$), and (b) the charge in ferroelectric with the silicon thickness as a parameter under the given conditions.

하면 채널 길이가 짧을 경우라도 매우 두꺼운 강유전체가 필요하다는 것을 관찰하였다. 채널 길이가 짧을수록 SiO₂ 두께에 따른 문턱전압 이동이 0 V가 되는 강유전체 두께는 크게 변화하는 것을 알 수 있다.

그림 6에서도 알 수 있듯이 실리콘 두께는 문턱전압에 큰 영향을 미치고 있다. 그러므로 실리콘 두께를 파라미터로 하여 문턱전압 이동이 0 V인 등고선을 채널 길이와 강유전체 두께에 대하여 그림 8에 도시하였다. 그림 8에서 알 수 있듯이 실리콘 두께에 따라 $\Delta V_{th} = 0$ 인 곡선은 매우 변화하는 것을 알 수 있다. 특히 채널 길이가 25 nm로 짧을 경우, 실리콘 두께에 관계없이 $\Delta V_{th} = 0$ 곡선이 $t_f \approx 7$ nm에서 $\Delta V_{th} = 0$ 곡선이 나타나고 있었다. 그러나 채널 길이가 증가할수록 실리콘 두께 변화에 대한 $\Delta V_{th} = 0$ 인

등고선의 변화는 매우 증가하여 그림 8에 주어진 조건에서 $L_g = 40$ nm, $t_{sc} = 8$ nm일 경우 $t_f = 6$ nm 정도에서 $\Delta V_{th} = 0$ 인 등고선이 나타나는 반면 $t_{sc} = 12$ nm에서는 거의 1 nm까지 t_f 가 감소하여야만 한다는 것을 관찰하였다. 그러나 채널 길이가 30 nm 이하까지 감소하면 그 경향은 반대로 되어 $t_{sc} = 12$ nm에서 $t_{sc} = 8$ nm일 때보다 더욱 두꺼운 강유전체에서 $\Delta V_{th} = 0$ 인 등고선이 관찰되고 있었다.

4. 결론

본 논문에서는 강유전체를 이용한 JLDG MOSFET의 문턱전압 이동에 대하여 분석하였다. 분석을 위하여 전위분포 모델과 Landau 이론에 의하여 강유전체 전하 및 강유전체 전압을 이용한 분석학적 문턱전압 모델을 제시하였으며 이 모델의 타당성을 입증하였다. 강유전체를 갖는 JLDG MOSFET의 문턱전압 이하 영역에서 강유전체 전압에 의하여 강유전체 두께가 증가할수록 문턱전압은 증가하였다. 그러나 강유전체 두께가 증가할수록 문턱전압 이동은 증가하여 채널 길이가 20 nm까지 감소하여도 문턱전압 이동이 0 V가 되는 강유전체 두께가 존재한다는 것을 관찰하였다. 즉 실리콘 두께 10 nm, 채널 길이 20 nm, SiO₂의 두께 1 nm에서 약 8.5 nm의 강유전체 두께를 사용하면 문턱전압 이동을 0 V로 제작할 수 있다는 것을 관찰하였다. 강유전체 두께의 변화에 대한 문턱전압 이동은 강유전체 전하에 의하여 변화한다는 것을 관찰하였다. 즉 강유전체 전하의 절대값이 증가할수록 강유전체 두께의 변화에 대한 문턱전압 이동은 증가하였으며 SiO₂의 두께 변화보다는 실리콘 두께 변화가 강유전체 두께의 변화에 대한 문턱전압 이동에 더욱 큰 영향을 미치고 있다는 것을 관찰하였다. 향후 트랜지스터의 크기가 감소할수록 더욱 얇은 층의 강유전체가 요구되므로 FinFET, GAA (gate-all-around) FET 등 다양한 트랜지스터의 형태에 따라 더욱 연구되어야 할 것이다.

ORCID

Hakkee Jung

<https://orcid.org/0000-0002-2828-2957>

REFERENCES

- [1] Z. Wei, G. Jacquemod, Y. Leduc, E. de Foucauld, J. Prouvee, and B. Blampey, *Act. Passive Electron. Compon.*, **2019**, 4578501 (2019). [DOI: <https://doi.org/10.1155/2019/4578501>]

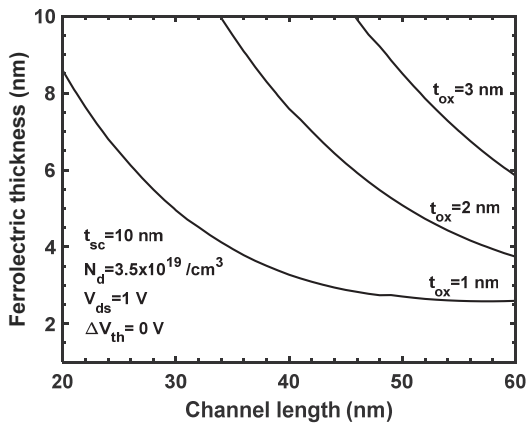


Fig. 7. Contours of $\Delta V_{th} = 0$ for the ferroelectric thickness and channel length with the thickness of SiO₂ as a parameter under the given conditions.

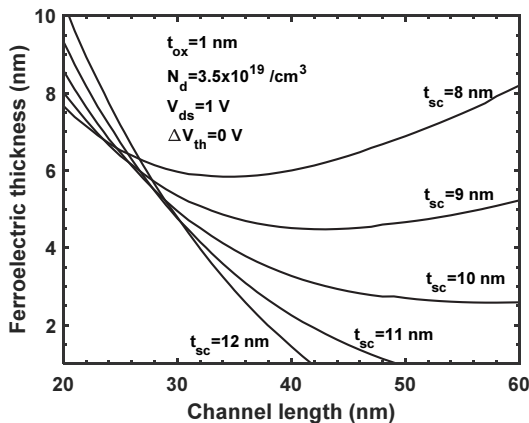


Fig. 8. Contours of $\Delta V_{th} = 0$ for the ferroelectric thickness and channel length with the thickness of silicon as a parameter under the given conditions.

- [2] T. J. Chang, T. Y. Wang, C. I. Wang, Z. D. Huang, Y. S. Jiang, C. Y. Chou, W. C. Kao, and M. J. Chen, *J. Mater. Chem. C*, **9**, 8285 (2021). [DOI: <https://doi.org/10.1039/D1TC00431J>]
- [3] S. Jha and S. K. Choudhary, *Int. J. Nanopart.*, **12**, 112 (2020). [DOI: <https://doi.org/10.1504/IJNP.2020.106002>]
- [4] N. Thoti and Y. Li, *Nanoscale Res. Lett.*, **17**, 53 (2022). [DOI: <https://doi.org/10.1186/s11671-022-03690-8>]
- [5] A. Ganesh, K. Goel, J. S. Mayall, and S. Rewari, *Silicon*, **14**, 4063 (2022). [DOI: <https://doi.org/10.1007/s12633-021-01173-6>]
- [6] V. B. Sreenivasulu and V. Narendar, *Silicon*, **14**, 3823 (2022). [DOI: <https://doi.org/10.1007/s12633-021-01145-w>]
- [7] S. Rollo, D. Rani, W. Olthuis, and C. P. Carcía, *Sens. Actuators, B*, **303**, 127215 (2020). [DOI: <https://doi.org/10.1016/j.snb.2019.127215>]
- [8] J. Park, W. Jang, and C. Shin, *Micromachines*, **12**, 886 (2021). [DOI: <https://doi.org/10.3390/mi12080886>]
- [9] A. Talukdar, A. K. Raibaruah, and K.C.D. Sarma, *Procedia Comput. Sci.*, **171**, 1046 (2020). [DOI: <https://doi.org/10.1016/j.procs.2020.04.112>]
- [10] D. Y. Jeon, *AIP Adv.*, **11**, 055111 (2021). [DOI: <https://doi.org/10.1063/5.0035460>]
- [11] G. Pananakakis, G. Ghibaudo, and S. Cristoloveanu, *Micromachines*, **12**, 330 (2021). [DOI: <https://doi.org/10.3390/mi12030330>]
- [12] A. K. Saha and S. K. Gupta, *J. Appl. Phys.*, **129**, 080901 (2021). [DOI: <https://doi.org/10.1063/5.0038971>]
- [13] M. Hoffmann, M. Gui, S. Slesazeck, R. Fontanini, M. Segatto, D. Esseni, and T. Mikolajick, *Adv. Funct. Mater.*, **32**, 2108494 (2022). [DOI: <https://doi.org/10.1002/adfm.202108494>]
- [14] S. Zhang, H. Lui, J. Zhou, Y. Liu, G. Han, and Y. Hao, *Nanoscale Res. Lett.*, **16**, 21 (2021). [DOI: <https://doi.org/10.1186/s11671-020-03468-w>]
- [15] R. Deepa, M. P. Devi, N. A. Vignesh, and S. Kanithan, *Silicon*, **14**, 2409 (2022). [DOI: <https://doi.org/10.1007/s12633-022-01722-7>]
- [16] S. B. Rahi, S. Tayal, and A. K. Upadhyay, *Microelectron. J.*, **116**, 105242 (2021). [DOI: <https://doi.org/10.1016/j.mejo.2021.105242>]
- [17] H. Lee, Y. Yoon, and C. Shin, *IEEE Electron Device Lett.*, **38**, 669 (2017). [DOI: <https://doi.org/10.1109/LED.2017.2679102>]
- [18] Z. Dong and J. Guo, *IEEE Trans. Electron Devices*, **64**, 2927 (2017). [DOI: <https://doi.org/10.1109/TED.2017.2706182>]
- [19] M. Hoffmann, S. Slesazeck, and T. Mikolajick, *APL Mater.*, **9**, 020902 (2021). [DOI: <https://doi.org/10.1063/5.0032954>]
- [20] S. Kamaei, A. Saeidi, C. Gastaldi, T. Rosca, L. Capua, M. Cavalieri, and A. M. Ionescu, *npj 2D Mater. Appl.*, **5**, 76 (2021). [DOI: <https://doi.org/10.1038/s41699-021-00257-6>]
- [21] E. Paramonova, V. Bystrov, X. Meng, H. Shen, J. Wang, and V. Fridkin, *Nanomaterials*, **10**, 1841 (2020). [DOI: <https://doi.org/10.3390/nano10091841>]
- [22] A. Rassekh, J. M. Sallese, F. Jazaeri, M. Fathipour, and A. M. Ionescu, *IEEE J. Electron Devices Soc.*, **8**, 939 (2020). [DOI: <https://doi.org/10.1109/JEDS.2020.3020976>]
- [23] B. Awadhiya, P. N. Kondekar, S. Yadav, and P. Upadhyay, *Trans. Electr. Electron. Mater.*, **22**, 267 (2021). [DOI: <https://doi.org/10.1007/s42341-020-00230-y>]
- [24] A. Saeidi, F. Jazaeri, I. Stolichnov, C. C. Enz, and A. M. Ionescu, *Sci. Rep.*, **9**, 9105 (2019). [DOI: <https://doi.org/10.1038/s41598-019-45628-8>]
- [25] F. I. Sakib, F. E. Mullick, S. Shahnewaz, S. Islam, and M. Hossain, *Semicond. Sci. Technol.*, **35**, 025005 (2020). [DOI: <https://doi.org/10.1088/1361-6641/ab5b76>]
- [26] G. Pahwa, T. Dutta, A. Agarwal, and Y. S. Chauhan, *IEEE Trans. Electron Devices*, **65**, 867 (2018). [DOI: <https://doi.org/10.1109/TED.2018.2794499>]
- [27] Z. Ding, G. Hu, J. Gu, R. Liu, L. Wang, and T. Tang, *Microelectron. J.*, **42**, 515 (2011). [DOI: <https://doi.org/10.1016/j.mejo.2010.11.002>]
- [28] T. K. Chiang, *IEEE Trans. Electron Devices*, **59**, 2284 (2012). [DOI: <https://doi.org/10.1109/TED.2012.2202119>]
- [29] A. Rassekh, F. Jazaeri, and J. M. Sallese, *IEEE Trans. Electron Devices*, **69**, 820 (2022). [DOI: <https://doi.org/10.1109/TED.2021.3133193>]
- [30] Q. Xie, Z. Wang, and Y. Taur, *IEEE Trans. Electron Devices*, **64**, 3511 (2017). [DOI: <https://doi.org/10.1109/TED.2017.2716969>]
- [31] C. Jiang, R. Liang, J. Wang, and J. Xu, *Solid-State Electron.*, **126**, 130 (2016). [DOI: <https://doi.org/10.1016/j.sse.2016.09.001>]
- [32] M. Kobayashi and T. Hiramoto, *AIP Adv.*, **6**, 025113 (2016). [DOI: <https://doi.org/10.1063/1.4942427>]