

m-GDI 압축 회로를 이용한 고성능 곱셈기

이시은* · 김정범**

High-Performance Multiplier Using Modified m-GDI(: modified Gate-Diffusion Input) Compressor

Si-Eun Lee* · Jeong-Beom Kim**

요약

압축 회로는 고속 전자 시스템에서 널리 사용되며 곱셈기의 피연산자 수를 감소시키기 위해 사용된다. 본 논문에서 설계한 압축 회로는 m-GDI(: modified Gate-Diffusion Input) 기술을 사용하여 회로의 성능을 향상시켰으며, 4-2, 5-2 및 6-2 압축 회로를 각각 8비트 Dadda 곱셈기 사용하여 성능을 비교하였다. 시뮬레이션 결과, 5-2 압축 회로를 사용한 곱셈기는 4-2 압축 회로와 6-2 압축 회로를 사용한 곱셈기에 비해 전파 지연 시간이 각각 13.99%와 16.26% 감소하였고, PDP(: Power Delay Product)가 각각 4.99%와 28.95% 절감되었다. 하지만 5-2 압축 회로를 사용한 곱셈기는 4-2 압축 회로를 사용한 곱셈기에 비해 소비 전력이 10.46% 증가하였다. 결과적으로 5-2 압축 회로를 사용한 곱셈기가 4-2 및 6-2 압축 회로를 사용한 곱셈기보다 우수한 성능을 갖는 것을 확인하였다. 설계한 회로는 TSMC 65nm CMOS 공정을 사용하여 구현되었으며 SPECTER 시뮬레이션을 통해 그 가능성을 검증하였다.

ABSTRACT

Compressors are widely used in high-speed electronic systems and are used to reduce the number of operands in multiplier. The proposed compressor is constructed based on the m-GDI(: modified gate diffusion input) to reduce the propagation delay time. This paper is compared the performance of compressors by applying 4-2, 5-2 and 6-2 m-GDI compressors to the multiplier, respectively. As a simulation results, compared to the 8-bit Dadda multiplier using the 4-2 and 6-2 compressor, the multiplier using the 5-2 compressor is reduced propagation delay time 13.99% and 16.26%, respectively. Also, the multiplier using the 5-2 compressor is reduced PDP(: Power Delay Product) 4.99%, 28.95% compared to 4-2 and 6-2 compressor, respectively. However, the multiplier using the 5-2 compression circuit is increased power consumption by 10.46% compared to the multiplier using the 4-2 compression circuit. In conclusion, the 8-bit Dadda multiplier using the 5-2 compressor is superior to the multipliers using the 4-2 and 6-2 compressors. The proposed circuit is implemented using TSMC 65nm CMOS process and its feasibility is verified through SPECTRE simulation.

키워드

m-GDI, Dadda Multiplier, Wallace Tree Multiplier, Compressor, High-Speed CMOS Circuit
m-GDI, Dadda 곱셈기, Wallace 트리 곱셈기, 압축 회로, 고속 CMOS 회로

* 강원대학교 전자공학과(sonder0802@naver.com)

** 교신저자 : 강원대학교 전자공학과

• 접수일 : 2023. 02. 21

• 수정완료일 : 2023. 03. 18

• 게재확정일 : 2023. 04. 17

• Received : Feb. 21, 2022, Revised : Mar. 18, 2023, Accepted : Apr. 17, 2023

• Corresponding Author : Jeong-Beom Kim

Dept. of Electronics Engineering, Kangwon National University

Email : kimjb@kangwon.ac.kr

I. 서론

지난 수십 년 동안 기존 CMOS 기반 회로는 빠른 속도 및 적은 전력 소모, 더 작은 회로를 설계하기 위해 노력을 기울였다[1]. 이후 여러 기술이 CMOS 기반 회로의 성능을 향상시키기 위해 개발되었으나 그 성능은 큰 변화를 보이지 못했다. GDI(Gate-Diffusion Input)는 저전력 설계 기술로 CMOS에 비해 속도 및 전력 소모, 크기 측면에서 장점을 갖는다. GDI 기술은 단 2개의 트랜지스터를 사용해 광범위하고 복잡한 논리 기능을 생성할 수 있다. 이는 낮은 전력 소비를 초래하는 새로운 디지털 시스템 설계 기술 중 하나이다. m-GDI(modified Gate-Diffusion Input) 기술을 사용한 설계는 고속 작동, 더 적은 트랜지스터 수 및 최소 면적 소비 회로 설계가 가능하다. Dadda 곱셈기에 사용한 제안된 압축 회로는 m-GDI 기술을 기반으로 설계되었다.

고속 시스템에 대한 수요가 날로 증가함에 따라 빠르고 효율적인 시스템 개발이 요구되었다. 이러한 시스템 설계는 수십 년 동안 VLSI 설계 엔지니어의 관심 대상이었다. 압축 회로는 고속 시스템에서 널리 사용되며 곱셈 과정에서 곱셈기의 피연산자 수를 감소시키기 위하여 사용된다. 곱셈 과정은 부분 곱 생성, 부분 곱 감소 및 최종 곱 계산의 총 세 단계로 구성된다. 이때 두 번째 단계인 부분 곱 감소는 전파 지연 시간 및 전력 소모와 관련하여 곱셈기의 성능에 큰 영향을 미친다. 따라서 곱셈기의 성능 향상을 위하여 고속 저전력 압축 회로가 두 번째 단계에서 사용된다. 두 개의 정수를 곱하는 디지털 회로인 이진 곱셈기의 하드웨어인 Wallace 트리 곱셈기와 Dadda 곱셈기는 전가산기와 반가산기를 사용하는 열 압축(Column Compression) 곱셈기의 두 가지 대표 유형이다[2, 3, 4]. 그 중, Dadda 곱셈기의 구조는 생성된 모든 부분 곱을 상위 레이어로 이동시켜 부분 곱 감소를 위한 덧셈에 효율적이다. 본 논문에서는 4-2 압축 회로, 5-2 압축 회로 또는 6-2 압축 회로를 전가산기 및 반가산기 모듈과 함께 사용하여 8비트 Dadda 곱셈기를 설계하였다.

본 논문은 다음과 같이 구성한다. 먼저, II장에서 기술 개념 및 적용에 관해 기술하고, III장에서 압축 회로 개념 및 구조에 관해 설명한다. IV장에서는 시뮬레이션 결과를 분석하며, V장에서 결론을 맺는다.

II. 기술 개념 및 적용

Dadda 곱셈기의 구조는 생성된 모든 부분 곱을 상위 레이어로 이동시켜 부분 곱 감소를 위한 덧셈에 효율적이다. 본 논문에서는 8비트 Dadda 곱셈기에 4-2, 5-2 및 6-2 압축 회로를 각각 사용하여 성능을 비교하였다.

2.1 m-GDI 기술

8비트 Dadda 곱셈기에서 사용한 제안된 압축 회로는 m-GDI 기술을 기반으로 설계되었다. 디지털 회로 설계에 있어 트랜지스터 개수는 회로 설계 복잡성에 크게 영향을 미치는 요인 중 하나이다. 이러한 문제는 GDI 기술을 통해 극복할 수 있다. GDI는 저전력 설계 기술로 속도 및 전력 문제에 대해 여러 장치를 최적화할 수 있다. 따라서 GDI 기술은 TG(Ttransmission Gate) 및 CMOS에 비해 고속 저전력 회로 설계에 적합하다. 또한, GDI 기술은 단 2개의 트랜지스터를 사용해 광범위하고 복잡한 논리 기능을 생성할 수 있다.

기본 셀은 표준 CMOS 인버터와 유사하지만 다음과 같은 중요한 차이점이 있다. 첫째, CMOS는 입력의 2배의 트랜지스터(PMOS와 NMOS)와 인버터로 이루어진다. 반면, GDI 셀 3개의 입력은 G(NMOS 및 PMOS의 공통 게이트 입력), P(PMOS의 소스/드레인에 대한 입력) 및 N(NMOS의 소스/드레인에 대한 입력)을 가지고 있다. 둘째, 표준 CMOS 인버터와 같은 구조이기 때문에 CMOS 기술에 비해 트랜지스터의 개수가 적다. GDI 기술은 논리 스윙(logic swing)을 개선하고 정적 전력 소모를 줄일 수 있는 기법이다. 하지만 GDI 기술의 경우 PMOS와 NMOS의 기판에 VDD 또는 VSS가 연결되어 있지 않기 때문에 저전압 스윙 문제가 발생한다. 즉, PMOS는 약한 논리 0(weak logic 0)과 NMOS는 약한 논리 1(weak logic 1)을 생성한다. 이러한 전압 강하는 회로 성능 저하를 초래한다. 따라서 문턱 전압(threshold voltage) 강하를 극복하기 위하여 반복 회생 인버터 즉 버퍼의 사용이 필수적이다[5].

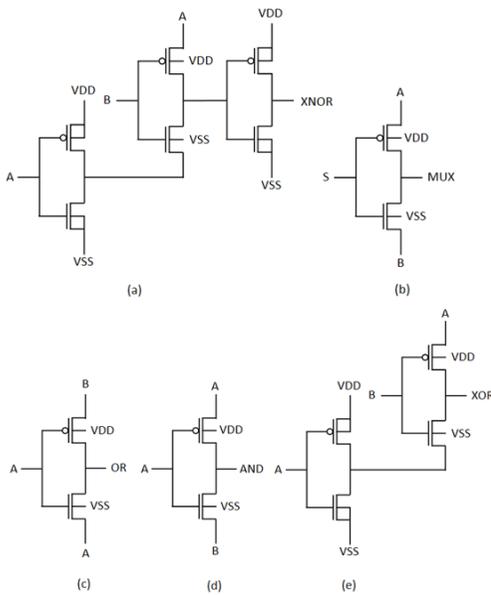


그림 1. (a) m-GDI 기술을 사용한 XNOR 게이트
 (b) m-GDI 기술을 사용한 MUX 게이트
 (c) m-GDI 기술을 사용한 OR 게이트
 (d) m-GDI 기술을 사용한 AND 게이트
 (e) m-GDI 기술을 사용한 XOR 게이트
 Fig. 1 (a) XNOR gate using m-GDI technique
 (b) MUX gate using m-GDI technique
 (c) OR gate using m-GDI technique
 (d) AND gate using m-GDI technique
 (e) XOR gate using m-GDI technique

그림 1은 m-GDI 기술을 사용한 XNOR, MUX, OR, AND, XOR 게이트의 회로도이다. m-GDI 기술은 이러한 GDI 기법에서 차용된 것이다. 구조는 기본 GDI 셀과 동일하지만 PMOS의 기판이 VDD, NMOS의 기판이 VSS에 연결된다. 이는 낮은 전력 소비를 초래하는 새로운 디지털 시스템 설계 기술이다. m-GDI 기술은 앞서 GDI의 단점으로 언급한 문턱 전압 강하를 보완할 수 있다. m-GDI 기술을 사용한 설계는 고속 작동, 낮은 전력 소모, 더 적은 트랜지스터 수 및 최소 면적 소비 회로 설계가 가능하다[6, 7, 8].

2.2 Dadda 곱셈기

Dadda 곱셈기와 Wallace 트리 곱셈기는 두 개의 정수를 곱하는 디지털 회로인 이진 곱셈기의 하드

웨어로 고성능 디지털 시스템에서 인기를 얻고 있는 열 압축 곱셈기의 주요 유형 중 하나이다. Wallace 트리 곱셈기는 대기 시간을 감소시키기 위해 carry save 덧셈 알고리즘을 사용하는 반면, Dadda 곱셈기의 주요 구성 요소는 부분 곱 덧셈의 감소에 사용되는 전가산기와 반가산기이다. 또한, Wallace 트리 곱셈기는 각 층에서 가능한 한 많이 감소시키는 반면, Dadda 곱셈기의 구조는 생성된 모든 부분 곱을 상위 레이어로 이동시켜 부분 곱 감소를 위한 덧셈에 효율적이다. 다음과 같은 이유로 Dadda 곱셈기가 Wallace 트리 곱셈기에 비해 더 빠르고 더 적은 수의 게이트가 필요하다.

따라서 본 연구에서는 4-2 압축 회로, 5-2 압축 회로 및 6-2 압축 회로를 전가산기 및 반가산기 모듈과 함께 사용하여 8비트 Dadda 곱셈기를 설계하여 성능을 비교하였다.

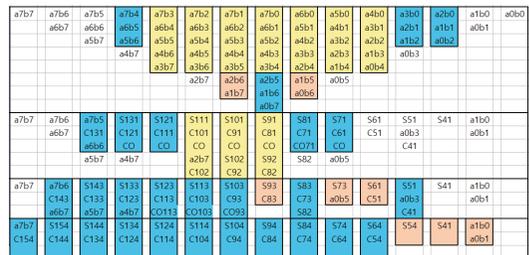


그림 2. 4-2 압축 회로를 사용한 8비트 Dadda 곱셈기 구성도

Fig. 2 Diagram of 8-bit Dadda multiplier using 4-2 compressor

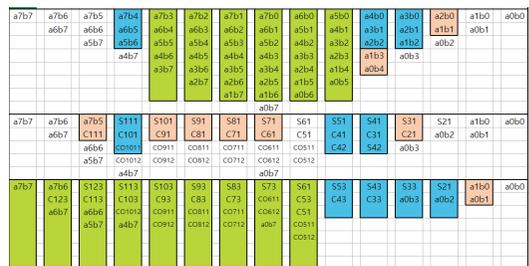


그림 3. 5-2 압축 회로를 사용한 8비트 Dadda 곱셈기 구성도

Fig. 3 Diagram of 8-bit Dadda multiplier using 5-2 compressor

a7b7	a7b6	a7b5	a7b4	a7b3	a7b2	a7b1	a7b0	a6b0	a5b0	a4b0	a3b0	a2b0	a1b0	a0b0
a6b7	a6b6	a6b5	a6b4	a6b3	a6b2	a6b1	a6b0	a5b1	a4b1	a3b1	a2b1	a1b1	a0b1	
		S121	S111	S101	S91	S81	S71	S61	S51	S41	S31	S21	S11	
		C121	C0111	C0101	C091	C081	C071	C061	C051	C42	C41	C31	C21	C11
			C01112	C01012	C0912	C0812	C0712	C0612	C0512					
			C01113	C01013	C0913	C0813	C0713	C0613	C0513					
										S53	S43	S33	S23	
										C43	C33	C23		

그림 4. 6-2 압축 회로를 사용한 8비트 Dadda 곱셈기 구조도
 Fig. 4 Diagram of 8-bit Dadda multiplier using 6-2 compressor

III. 압축 회로 구조

3.1 4-2 압축 회로

4-2 압축 회로는 4개의 부분 곱을 2개의 부분 곱으로 압축하는 조합 회로이다. X1, X2, X3, X4 및 Cin의 5개 입력을 받아들이고 Sum, Cout 및 Carry의 3개 출력을 생성한다. 4-2 압축 회로는 2개의 전가산기로 구성될 수 있다. 즉, XNOR 게이트, NOT 게이트 및 MUX 게이트로 구성할 수 있는 4-2 압축 회로 구조이다.

$$\sum = X1 \oplus X2 \oplus X3 \oplus X4 \quad \dots (1)$$

$$Cout = (X1 \oplus X2) X3 + (X1 \oplus X2)' X1 \quad \dots (2)$$

$$Carry = (X1 \oplus X2 \oplus X3 \oplus X4) Cin + (X1 \oplus X2 \oplus X3 \oplus X4)' X4 \quad \dots (3)$$

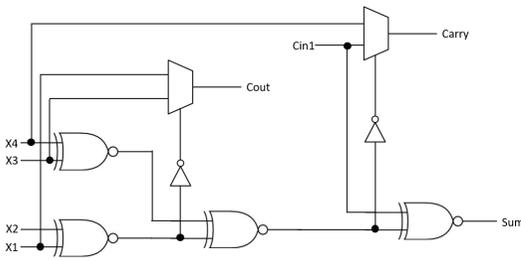


그림 5. 4-2 압축 회로의 회로도
 Fig. 5 Circuit diagram of 4-2 compressor

3.2 5-2 압축 회로

5-2 압축 회로는 5개의 부분 곱을 2개의 부분 곱으로 압축하는 조합 장치입니다. X1, X2, X3, X4, X5 및 Cin1, Cin2의 7개 입력을 받아들이고 Sum, Cout1, Cout2 및 Carry 4개의 출력을 생성합니다. 5-2 압축 회로는 3개의 전가산기로 구성될 수 있습니다. 즉, XNOR 게이트, NOT 게이트 및 MUX 게이트로 구성할 수 있는 5-2 압축 회로 구조이다[9].

$$\sum = X1 \oplus X2 \oplus X3 \oplus X4 \oplus Cin1 \oplus Cin2 \quad \dots (4)$$

$$Cout1 = (X1 \oplus X2) X3 + (X1 \oplus X2)' X1 \quad \dots (5)$$

$$Cout2 = (X1 \oplus X2 \oplus X3 \oplus X4) Cin1 + (X1 \oplus X2 \oplus X3 \oplus X4)' X4 \quad \dots (6)$$

$$Carry = (X1 \oplus X2 \oplus X3 \oplus X4 \oplus Cin1) Cin2 + (X1 \oplus X2 \oplus X3 \oplus X4 \oplus Cin1)' X5 \quad \dots (7)$$

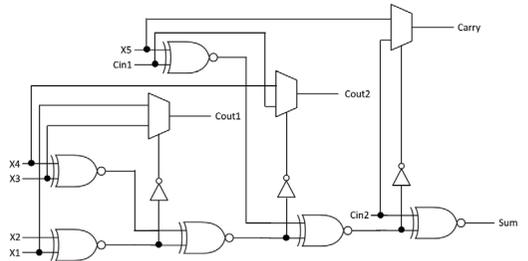


그림 6. 5-2 압축 회로의 회로도
 Fig. 6 Circuit diagram of 5-2 compressor

3.3 6-2 압축 회로

6-2 압축 회로는 6개의 부분 곱을 2개의 부분 곱으로 압축하는 조합 장치입니다. X1, X2, X3, X4, X5, X6 및 Cin1, Cin2, Cin3의 9개 입력을 받아들이고 Sum, Cout1, Cout2, Cout3 및 Carry 5개의 출력을 생성합니다. 6-2 압축 회로는 4-2 압축 회로와 반가산기, XOR 게이트와 AND 게이트, 3-입력 OR 게이트를 사용하여 구성되었다[10].

$$\sum = X1 \oplus X2 \oplus X3 \oplus X4 \oplus X5 \oplus X6 \oplus Cin1 \oplus Cin2 \oplus Cin3 \quad \dots (8)$$

$$Cout1 = (X1 \oplus X2) X3 + (X1 \oplus X2)' X1 \quad \dots (9)$$

$$Cout2 = (X1 \oplus X2 \oplus X3 \oplus X4) Cin1 + (X1 \oplus X2 \oplus X3 \oplus X4)' X4 \quad \dots (10)$$

$$Cout3 = (Cin2 \oplus Cin3)X6 + Cin2Cin3 \quad \dots (11)$$

$$Carry = ((X1 \oplus X2 \oplus X3 \oplus X4 \oplus X5) + Cin2 \oplus Cin3 \oplus X6)Cin1 + (X1 \oplus X2 \oplus X3 \oplus X4 \oplus X5) (Cin2 \oplus Cin3 \oplus X6) \quad \dots (12)$$

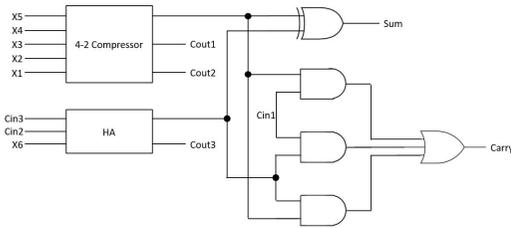


그림 7. 6-2 압축 회로의 회로도
Fig. 7 Circuit diagram of 6-2 compressor

Dadda 곱셈기에서 전가산기와 반가산기를 사용하게 되면 최하단에서 두 개의 부분 곱이 남아있어야 한다. 하지만 압축 회로를 사용하면 Dadda 곱셈기 최하단에 두 개의 숫자만 남을 필요가 없다. 또한, 압축 회로의 중요한 특성은 Cout이 Cin과 독립적이기 때문에 전가산기보다 우수하다는 것이다.

IV. 시뮬레이션 결과 및 비교

본 논문에서는 곱셈기 설계에 각각 4-2, 5-2 및 6-2 m-GDI 압축 회로를 사용하여 성능을 비교하였다. 본 연구에서 TSMC 65nm CMOS 공정을 사용하여 SPECTRE로 시뮬레이션을 진행하였다. 구성한 회로는 1.2V 공급전원, 동작 온도 27°C, 출력단 부하 100fF 조건으로 진행하였다. 상승 시간 (rising time)과 하강 시간 (falling time)을 100ps로 진행하였다. 시뮬레이션은 300ns까지 진행하였을 때의 전파 지연 시간과 소비 전력, PDP(Power Delay Product)을 도출하였다.

표 1. 8비트 Dadda 곱셈기 성능 비교표
Table 1. Comparison table of 8-bit Dadda Multiplier * Comp(: compressor)

	4-2 Comp	5-2 Comp	6-2 Comp
Propagation delay time (ns)	5.6465	4.8565	5.7995
Power consumption (μW)	405.4	447.8	527.8
PDP (fJ)	2289.0	2174.7	3060.9

압축 회로는 m-GDI 기술을 사용하여 TSMC 65nm CMOS 공정으로 AND, OR, XOR, XNOR, MUX 논리 게이트를 구현하였다.

시뮬레이션 결과 제안하는 5-2 압축 회로를 사용한 8비트 Dadda 곱셈기는 4-2 압축 회로와 6-2 압축 회로를 사용한 8비트 Dadda 곱셈기에 비해 전파 지연 시간을 각각 13.99%와 16.26% 감소하였고, PDP를 각각 4.99%와 28.95% 절감하였다. 하지만 5-2 압축 회로를 사용한 곱셈기는 4-2 압축 회로를 사용한 곱셈기에 비해 소비 전력 측면에서 10.46% 증가하였다. 이는 4-2 압축 회로의 입력은 5개, 5-2 압축 회로의 입력은 7개로 8비트 곱셈 연산에 있어 5-2 압축 회로를 사용한 Dadda 곱셈기에 적합하지 않기 때문이다. 결과적으로 5-2 압축 회로를 사용한 곱셈기가 4-2 및 6-2 압축 회로를 사용한 곱셈기보다 우수한 성능을 갖는 것을 확인하였다. 4-2 압축 회로는 부분 곱의 덧셈 과정의 단계가 많기 때문이다. 또한, 6-2 압축 회로에는 9개의 입력이 있지만 8비트 부분 곱에는 8개의 부분 곱만 존재한다. 따라서 입력이 9개인 6-2 압축 회로는 부분 곱의 개수 합이 9개 되지 않기 때문에 비효율적이다.

V. 결 론

본 논문에서는 8비트 곱셈기 설계에 5-2 m-GDI 압축 회로와 각각 4-2, 6-2 m-GDI 압축 회로를 사용하여 성능을 비교하였다. 5-2 m-GDI 압축 회로를 사용한 곱셈기의 성능은 4-2, 6-2 압축 회로를 사용한 곱셈기에 비해 우수한 성능을 보였다. 이에 따라 5-2 압축 회로를 사용한 8비트 Dadda 곱셈기는 전파 지연

시간과 PDP 측면에서 4-2 및 6-2 압축 회로를 사용한 곱셈기보다 우수함을 확인하였다. 향후 연구는 비트 수가 확장된 곱셈기에 m-GDI 기술을 사용할 때 전파 지연 시간과 소비 전력 감소를 목표로 하는 연구가 필요하다. 특히 m-GDI를 사용하는 5-2 압축 회로 곱셈기에서 곱셈기의 구조 변경 또는 5-2 압축 회로 구조 변경을 통해 소비 전력 감소에 관한 연구가 필요하다.

감사의 글

본 논문은 2022년도 정부(산업통상자원부)의 재원으로 한국산업기술진흥원의 지원을 받아 수행된 연구임(P0017011, 2022년 산업혁신인재성장지원사업)

References

[1] S. Shubham, C. Hijal, S. Pritam and B. Manoj, "8-bit ALU design using m-GDI technique." *2020 4th International Conference on Trends in Electronics and Informatics*, Tirunelveli, India, June 2020, pp. 17-22

[2] A. Shahzad and Y. Kong, "Low-area Wallace multiplier." *Vlsi Design* vol. 2014, no. 1, Jan. 2014, pp. 1-1.

[3] E. Mohd and K. Achyut, "Design and Verification of 4 X 4 Wallace Tree Multiplier." *International Journal of Analytical and Experimental Modal Analysis (IJAEMA)* vol. X1, Oct. 2019, pp.657-660.

[4] K. C. Bickerstaff, E. E. Swartzlander and M. J. Schulte, "Analysis of column compression multipliers," In *Proceedings 15th IEEE Symposium on Computer Arithmetic*. ARITH-15, Vail, CO, USA. Jun 2001, pp. 33-39

[5] A. Morgenshtein, A. Fish and I.A. Wagner, "Gate-diffusion input (GDI)-a technique for low power design of digital circuits: analysis and characterization." *2002 IEEE International symposium on circuits and systems. Proceedings* (Cat. No. 02CH37353). Vol. 1. IEEE, 2002.

[6] U. Ramadass and P. Dhavachelvan, "Modified gate diffusion input technique: a new technique for enhancing performance in full adder circuits."

Procedia Technology, vol. 6, 2012, pp. 74-81

[7] G. Nayan, R. K. Prasad, P. K. YG Praveen and Dr. M Z Kurain, "A Review on Modified Gate Diffusion Input Logic: An Approach for Area and Power Efficient Digital System Design." *Proceedings of the Second International Conference on Emerging Trends in Science & Technologies For Engineering Systems*, Karnataka, India. Jul 2019, pp. 17

[8] A. Morgenshtein, A. Fish and I.A. Wagner, "Gate-diffusion input (GDI): a power-efficient method for digital combinatorial circuits, *2002 IEEE transactions on very large scale integration (VLSI) systems*, vol. 10, no. 5, Oct. 2002, pp.566-581.

[9] K. B. Priya and R. Sudarmani, "Performance analysis of Dadda multiplier using 5: 2 compressor and its applications." *International Journal of Advanced Information Science and Technology*, vol. 5, no. 4, Apr. 2016, pp. 72-78.

[10] R. Ali. "CMOS high-performance 5-2 and 6-2 compressors for high-speed parallel multipliers." *Informacije MIDE M*, vol. 50, no. 2, 2020, pp. 115-124.

저자 소개

이시은(Si-Eun Lee)



2022년 2월 : 강원대학교 전자공학과 졸업(공학사)
 2022년 2월 ~ 현재 : 강원대학교 대학원 BIT의료융합학과 석사과정

※ 관심분야 : MAC 회로 설계, 저 전력회로 설계

김정범(Jeong-Beom Kim)



1985년 2월 : 인하대학교 전자공학과 졸업(공학사)
 1987년 2월 : 인하대학교 대학원 전자공학과 졸업(공학석사)

1997년 2월 : 포항공대학교 대학원 전자전기공학과 졸업(공학박사)

1987년 ~ 1992년 : 금성반도체 중앙연구소 선임연구원
 1997년 ~ 1998년 : 현대전자 시스템IC 연구소 책임연구원
 1999년 ~ 현재 : 강원대학교 전자공학과 교수

※ 관심분야 : VLSI 설계, 저 전력회로 설계