

폴리실라잔 고체 전해질 층과 은 활성 전극의 공정이 멤리스터의 전기적 특성에 미치는 영향

Effect of the Processes of Polysilazane Solid Electrolyte Layer and Silver Active Electrode on the Electrical Characteristics of Memristor

양 희 수*, 오 경 석*, 김 동 수*, 권 진 혁**, 김 민 회***

Hui-Su Yang*, Gyeong-seok Oh*, Dong-Soo Kim*, Jin-Hyuk Kwon**, Min-Hoi Kim***

Abstract

Effect of the processes of polysilazane solid electrolyte layer and silver (Ag) active electrode on the electrical characteristics of memristor was investigated. The memristor with the solid electrolyte annealed at higher temperature exhibited the higher set voltage and better memory retention characteristics than that annealed at lower temperature. The increase in the set voltage and the improvement of the memory retention characteristic at high annealing temperature were attributed to a reduction in the void density and an increase in the void uniformity inside the solid electrolyte, respectively. In the case where the polysilazane solution's concentration is high, the memristor exhibited rapid degradation of low resistive state even annealed at high temperature. Lastly, it was shown that the memristor with the solution-processed Ag active electrode showed WORM property unlike that with the vacuum-processed Ag active electrode. The WORM property was possibly due to morphological defects present in the solution-processed Ag active electrode.

요 약

폴리실라잔 고체 전해질 층과 은(Ag) 활성 전극의 공정이 멤리스터의 전기적 특성에 미치는 영향을 살펴보았다. 더 높은 온도에서 어닐링된 고체 전해질을 갖는 멤리스터가 더 낮은 온도에서 어닐링된 고체 전해질을 갖는 소자보다 더 높은 set voltage 및 더 나은 메모리 유지 특성을 보였다. 어닐링 온도 증가에 따른 set voltage의 증가 및 메모리 유지 특성의 향상은 각각 고체 전해질 층 내부의 빈 공간의 감소 및 균일도 증가 때문인 것으로 사료된다. 고체 전해질 층을 비교적 높은 온도에서 어닐링 할지라도, 폴리실라잔 용액의 농도가 지나치게 높은 경우에는 멤리스터의 저저항상태가 유지되지 못했다. 마지막으로, 용액공정으로 형성한 Ag 활성 전극을 갖는 멤리스터는 진공공정으로 형성한 Ag 활성 전극을 갖는 소자와 달리 WORM 특성을 갖는 것으로 나타났다. 이러한 WORM 특성은 용액공정 Ag 활성 전극에 존재하는 형태적 결함 때문인 것으로 사료된다.

Key words : memristor, polysilazane, active electrode, solution-process, WORM

* Dept. of Creative Convergence Engineering, Hanbat National University

** Research Institute of Printed Electronics & 3D Printing, Industry University Cooperation Foundation, Hanbat National University

★ Corresponding author

E-mail : jhkwon@hanbat.ac.kr, mhkim8@hanbat.ac.kr, Tel : +82-42-821-1973

※ Acknowledgment

Manuscript received Jan. 5, 2023; revised Feb. 8, 2023; accepted Feb. 13, 2023.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

멤리스터는 간단하게 저항값을 조절할 수 있는 전자소자로서 고밀도 비휘발성 메모리와 인공신경망 소자로 응용이 가능하며 큰 이목을 끌고 있다[1-3]. 용액공정을 통한 멤리스터 제조기술은 진공공정 대비 공정비용 절감에 유리하다는 장점을 가진다. 특히 용액공정 기반에서 다양한 유·무기 합성고분자를 활용해 멤리스터의 고체 전해질 층을 형성하려는 시도가 활발하게 이루어지고 있다[4-6].

최근 실리콘 산화물이 멤리스터를 위한 고체 전해질 소재로서 큰 관심을 얻고 있다[5, 6]. 용액공정 기반에서 실리콘 산화물 박막을 형성하기 위해 polysilazane(폴리실라잔)과 같은 전구체 물질이 활용된다. 전자재료 박막의 물리·화학적 특성은 공정 시 형성 조건의 영향을 크게 받는다. 가령, 폴리실라잔으로부터 실리콘 산화물 박막을 얻을 때 어닐링 온도에 따라 화학적 조성에 변화가 일어나는 것으로 알려져 있다[7].

한편 용액공정으로 멤리스터의 활성 전극을 형성하려는 시도는 고체 전해질 층 대비 비교적 적게 이루어지고 있다. 멤리스터를 구성하는 각 층을 용액공정으로 형성하면 용액공정 기반 소자 제조기술의 경제성을 높일 수 있다. 이에 따라 멤리스터 동작의 핵심적인 역할을 담당하는 고체 전해질 층과 활성 전극을 용액공정으로 형성하고, 얻어지는 소자의 전기적 특성을 자세하게 분석할 필요가 있다.

본 연구에서는 폴리실라잔 고체 전해질 층과 은(Ag) 활성 전극의 공정이 멤리스터의 전기적 특성에 미치는 영향을 살펴보았다. 고체 전해질 층의 형성 조건 및 활성 전극의 공정 방식을 달리해 멤리스터 소자들을 제작하였다. 제작한 멤리스터 소자들의 전류-전압 및 메모리 유지 특성을 비교, 분석하였다.

II. 본론

1. 멤리스터 소자 제작

그림 1은 멤리스터 소자 구조 및 제작 과정을 보여준다. 유리 기판을 acetone과 isopropyl alcohol을 사용해 초음파 세척하고 건조시켰다. 진공 열증착기(GVTECH, CVEV-2000-1501)를 사용해 50 nm 두께의 하부 금(Au) 전극을 0.1 nm/s 속도로 열증착 하였다. O-Xylene 용매에 5 wt.% 및 8 wt.% 농도로 폴리실라잔을 녹이고 25°C에서 8 시간 동안 스티어링하여 용액을 만들었다. 그

후 유리기판 위에 폴리실라잔 용액을 3000 rpm으로 30 초 동안 스프인코팅한 후 100°C 또는 450°C에서 어닐링하여 고체 전해질 층을 형성하였다(그림 1(a)). 그림 1(b)와 1(c)는 고체 전해질 층 위에 상부 Ag 활성 전극을 진공공정과 용액공정으로 형성한 방법을 나타낸다. 진공공정의 경우, 웨도우 마스크를 통해 50 nm 두께의 Ag 전극을 열증착 함으로써 상부 활성 전극을 형성하였다. 진공공정 Ag 전극을 갖는 소자의 면적은 0.01 mm²였다. 용액공정의 경우, Reverse Offset 장비를 사용하였는데 Reverse Offset 인쇄는 그림 1(c)처럼 얇은 blanket 롤에 잉크를 코팅하여 인쇄하는 방식으로 수 μm 이하의 선폭을 구현할 수 있다는 장점이 있다[8]. Ag 잉크(ANP, Silverjet DGH ink for Reverse Offset)를 인쇄한 후 400°C에서 sintering(소결) 하여 약 450 nm 두께의 Ag 활성 전극을 형성하였다. 용액공정 Ag 전극을 갖는 소자의 면적은 0.005 mm²였다. Ag 잉크는 Ag particle(35~40%) 및 octane(40~45%), terpineol(5~10%), tetradecane(20~40%)이 함유 되어있었다.

두께측정장비(KLA, Alpha-Step D-300)를 사용해 고체 전해질 층 박막 두께를 측정하였다. 제작된 멤리스터의 전기적 특성은 반도체 특성 분석기(Hewlett Packard, HP 4551A)를 사용하여 측정하였다.

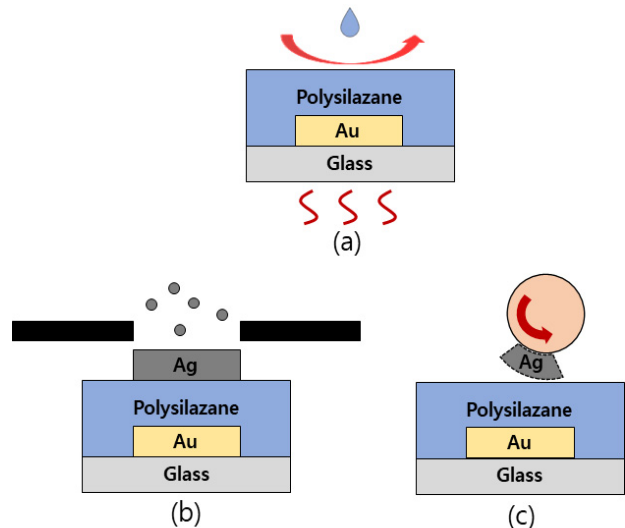


Fig. 1. (a) Formation of the solid electrolyte layer using spin-coating and formations of the active electrodes using (b) the vacuum process through thermal deposition and (c) the solution process through reverse-offset printing.

그림 1. (a) 스프인코팅을 통한 고체 전해질 층 형성, (b) 열증착을 통한 진공공정 기반 및 (c) Reverse Offset 인쇄를 통한 용액공정 기반 활성 전극 형성.

2. 진공공정으로 형성한 Ag 활성 전극을 갖는 멤리스터의 전기적 특성분석

필라멘트가 형성되지 않은 멤리스터 소자 Ag 활성 전극에 양의 전압을 인가하면 Ag의 이온화가 발생한다. Ag 이온들이 고체 전해질 층의 빈 공간을 통해 이동하여 하부 전극에 쌓이게 된다. 이에 따라 금속 필라멘트가 형성되어 저항이 줄어들고 전류가 증가하게 된다. 한계 전류는 8 μ A로 설정하였고, 전류가 한계 전류에 도달한 시점의 전압을 set voltage(V_{set})라고 정의하였다. 필라멘트가 형성된 소자에 한계 전류 설정 없이 음의 전압을 걸어주었다. 음의 전압을 인가했을 때 첫 번째 sweep과 두 번째 sweep이 만나는 전압을 reset voltage(V_{reset})으로 정의하였다.

그림 2는 고체 전해질 층의 어닐링 온도에 따른, 진공공정으로 형성한 활성 전극을 갖는 멤리스터(VP-Ag-멤리스터)의 전기적 특성을 보여준다. 그림 2(a)와 2(c)처럼 5 wt.% 폴리실라잔 용액을 사용한 경우에 100 $^{\circ}$ C, 450 $^{\circ}$ C에서 어닐링한 고체 전해질을 갖는 소자들의 V_{set} 은 각각 0.43 ± 0.16 V, 1.63 ± 0.17 V로, 높은 어닐링 온도에서 V_{set} 이 증가하였다. 5 wt.% 폴리실라잔 용액을 사용한 경우에 100 $^{\circ}$ C, 450 $^{\circ}$ C에서 어닐링하여 얻은 박막의 두께는 각각 94 nm, 85 nm로 큰 차이가 없었다. 하지만 어닐링 온도가 증가함에 따라 Si-O 결합이 증가하면서 박막 내부에 빈 공간의 밀도가 감소하여[6,7] Ag 이온의 이동이 어려워져 V_{set} 이 증가한 것으로 사료된다. 반면에 V_{reset} 은 어닐링 온도에 따른 큰 차이가 관찰되지 않았다. 이는 reset 동작 시 공통적으로 히드록시기, 산소 공공 등의 내부 결함들이 Ag 필라멘트 파괴 과정에 간섭하였기 때문인 것으로 보인다[6].

그림 2(b)와 2(d)는 고체 전해질 층의 어닐링 온도에 따른, VP-Ag-멤리스터의 메모리 유지 특성 변화를 보여준다. Low Resistance State(LRS)와 High Resistance State(HRS)는 각각 set 과정과 reset 과정 후 0.1 V 이하의 작은 전압을 인가하여 흐르는 전류를 저항값으로 계산하여 나타낸 것이다. 450 $^{\circ}$ C 어닐링의 경우에는 LRS가 안정적으로 유지되는 반면, 100 $^{\circ}$ C 어닐링의 경우에는 LRS 저항이 비교적 높고 메모리 유지 성능이 제대로 구현되지 않았다. 100 $^{\circ}$ C에서 어닐링한 고체 전해질 층의 경우, 폴리실라잔 고분자 사슬과 Si-O 결합의 상태들이 심각하게 혼재된 상태로 빈 공간의 균일도가 낮아 불안정한 필라멘트가 형성된다. 이에 따라 메모리 유지 성능이 제대로 구현되지 않은 것으로 보인다.

앞선 비교 분석에서 더 나은 메모리 유지 특성을 나타

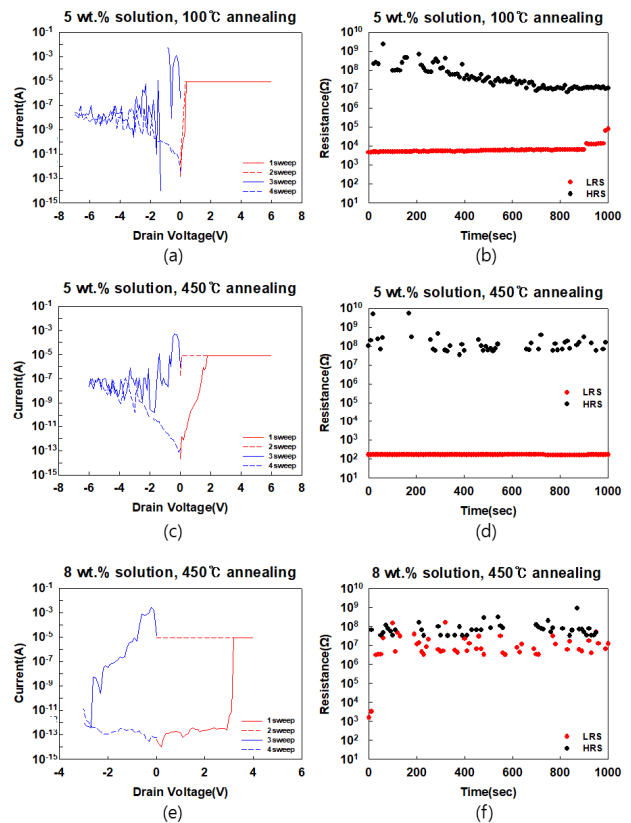


Fig. 2. (a) current-voltage and (b) memory retention characteristics of the VP-Ag-memristor with the 5 wt.% solid electrolyte layer annealed at 100 $^{\circ}$ C and (c) current-voltage and (d) memory retention characteristics of that at 450 $^{\circ}$ C. (e) current-voltage and (f) memory retention characteristics of the VP-Ag-memristor with the 8 wt.% solid electrolyte layer annealed at 450 $^{\circ}$ C.

그림 2. 5 wt.% 폴리실라잔 용액을 100 $^{\circ}$ C에서 어닐링한 VP-Ag-멤리스터의 (a) 전류-전압 특성 및 (b) 메모리 유지 특성 그리고 450 $^{\circ}$ C에서 어닐링한 경우의 (c) 전류-전압 특성 및 (d) 메모리 유지 특성. 8 wt.% 폴리실라잔 용액을 450 $^{\circ}$ C에서 어닐링한 VP-Ag-멤리스터의 (e) 전류-전압 특성 및 (f) 메모리 유지 특성.

낸 450 $^{\circ}$ C 어닐링 조건에서, 두께에 관한 효과를 좀 더 알아보기 위해 8 wt.% 용액 조건을 선택하여 소자를 제작하였다. 이러한 450 $^{\circ}$ C 어닐링 및 8 wt.% 용액 조건으로 제작한 VP-Ag-멤리스터의 전류-전압 특성이 그림 2(e)에 제시되었다. 5 wt.% 용액 조건으로 제작한 소자와 동일하게 set 동작과 reset 동작이 가능하였다. 그림 2(f)는 해당 소자의 메모리 유지 특성을 보여주는데 LRS 상태가 유지되지 못하고 저항값이 증가하는 것을 볼 수 있다. 8 wt.% 폴리실라잔 용액을 사용해 형성한 고체 박막의 두께(140 nm)는 5 wt.% 조건 대비 약 50% 더 큰 두께를 갖는 것으로 나타났다. 즉, 폴리실라잔 용액의 농

도가 더 높은 경우 두께가 증가하여 고체 전해질 층 내의 전기장의 세기가 감소하였고, 이에 따라 더 얇은 필라멘트가 형성되어 불안정한 메모리 유지 특성이 나타나는 것으로 판단하였다. 따라서 450°C에서 어닐링한 폴리실라잔을 사용할 경우에 폴리실라잔 용액의 농도가 5 wt.%인 경우가 8 wt.%인 경우보다 더 나은 메모리 유지 특성을 얻을 수 있음을 알 수 있다. 멤리스터의 전기적 특성 변화는 조건 별 최소 15개 이상의 소자로부터 그 경향성을 확인한 것이다.

3. 용액공정으로 형성한 Ag 활성 전극을 갖는 멤리스터의 전기적 특성분석

450°C에서 어닐링된 폴리실라잔 위에 용액공정(Reverse Offset printing)으로 Ag 전극을 제작한 멤리스터(SP-Ag-멤리스터)의 전기적 특성이 그림 3에 제시되었다. 그림 3(a)는 5 wt.% 용액으로 제작한 고체 전해질 층을 갖는 SP-Ag-멤리스터의 전류-전압 특성을 보여준다. VP-Ag-멤리스터와 다르게, SP-Ag-멤리스터는 음의 전압이 인가되어도 reset 동작이 발생하지 않았다(그림 3(a)). Ag 잉크 인쇄 후에 소결 과정 중 다량의 용매가 빠르게 증발하면서 Ag 활성 전극에 pore나 crack과 같은 형태적 결함이 발생하였을 가능성이 있다[9]. 그 결과 고체 전해질 층에 접한 Ag 활성 전극 표면의 높은 거칠기로 인해 set 과정에서 강도 높은 전기장의 국소화가 유도될 수 있다. 이에 따라 SP-Ag-멤리스터 내부에 VP-Ag-멤리스터 대비 더 두꺼운 Ag 필라멘트가 형성되어 reset 동작이 불가능해진 것으로 사료된다. 그림 3(c)는 8 wt.% 용액으로 제작된 고체 전해질 층을 갖는 SP-Ag-멤리스터의 전류-전압 특성을 보여준다. 5 wt.%인 경우와 다르게 음의 전압이 인가되었을 때 전도성 필라멘트가 파괴되는 reset 동작이 관측된다.

그림 3(b)와 3(d)에서 5 wt.% SP-Ag-멤리스터의 LRS가 8 wt.% 소자 대비 낮은 저항 상태와 함께 안정적인 저항상태가 유지되는 것이 보인다. 용액의 폴리실라잔 농도가 더 낮은 경우에 고체 전해질 층 두께가 비교적 얇아져 동일한 인가전압에 대하여 더 센 전기장이 형성된다. 그 결과 더 두꺼운 필라멘트가 형성되어 보다 안정적인 메모리 유지 특성이 얻어진 것으로 판단하였다. 이로부터 5 wt.% 용액 및 450°C 어닐링 조건으로 형성한 고체 전해질 층을 갖는 SP-Ag-멤리스터는 reset 동작이 불가능한 write-once-read-many-times (WORM) 특성을 가진다고 할 수 있다.

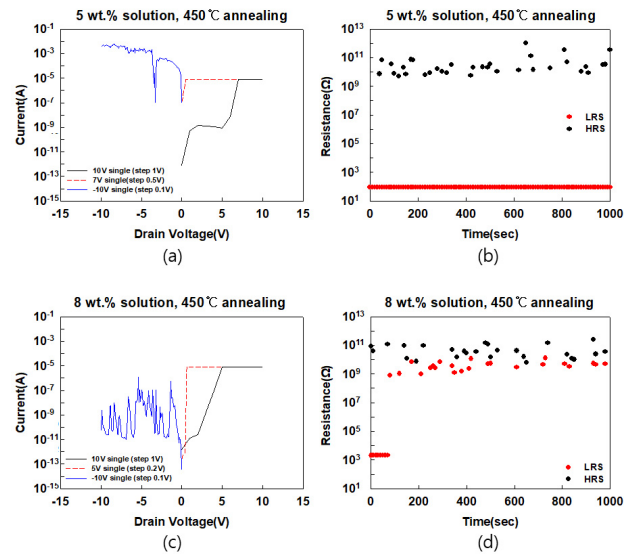


Fig. 3. (a) current-voltage and (b) memory retention characteristics of the SP-Ag-memristor with the 5 wt.% solid electrolyte layer annealed at 450°C and (c) current-voltage and (d) memory retention characteristics of that with 8 wt.%.

그림 3. 5 wt.% 폴리실라잔 용액을 450°C에서 어닐링한 SP-Ag-멤리스터의 (a) 전류-전압 특성 및 (b) 메모리 유지 특성과 8 wt.%를 사용한 경우의 (c) 전류-전압 특성 및 (d) 메모리 유지 특성

III. 결론

본 연구에서는 폴리실라잔 고체 전해질 층과 Ag 활성 전극의 공정이 멤리스터의 전기적 특성에 미치는 영향을 살펴보았다. 더 높은 온도에서 어닐링된 고체 전해질을 갖는 멤리스터가 더 낮은 온도에서 어닐링된 고체 전해질을 갖는 소자보다 더 높은 set voltage 및 더 나은 메모리 유지 특성을 보였다. 용액공정으로 형성한 Ag 활성 전극을 갖는 멤리스터는 진공공정으로 형성한 Ag 활성 전극을 갖는 소자와 달리 WORM 특성을 갖는 것으로 나타났다. 본 연구는 저가의 멤리스터를 위한 공정과 소자 특성의 기초를 제공한 것으로 볼 수 있다.

References

[1] Shen, Zongjie et al. "Advances of RRAM devices: Resistive switching mechanisms, materials and bionic synaptic application," *J. Nanomater.*, vol.10, no.8, p.1437, 2020.

DOI: 10.3390/nano10081437

[2] Indiveri, Giacomo et al. "Integration of nanoscale memristor synapses in neuromorphic computing architectures," *Nanotechnology*, vol.24, no.38, p.384010, 2013.

DOI: 10.1088/0957-4484/24/38/384010

[3] Sun, Pengxiao et al. "Thermal crosstalk in 3-dimensional RRAM crossbar array," *Sci. Rep.*, vol.5, no.1, pp.1-9, 2015.

[4] Kim, Min-Hwi et al. "Fluoropolymer-based organic memristor with multifunctionality for flexible neural network system," *npj Flexible Electronics*, vol.5, no.1, pp.1-8, 2021.

DOI: 10.1038/s41528-021-00132-w

[5] Li, Pengfei et al. "Room-temperature, solution-processed SiO_x via photochemistry approach for highly flexible resistive switching memory," *ACS Appl. Mater. Interfaces*, vol.12, no.50, pp.56186-56194, 2020. DOI: 10.1021/acscami.0c16556

[6] Li, Pengfei et al. "Resistance Switching Behavior of a Perhydropolysilazane-Derived SiO_x-Based Memristor," *J. Phys. Chem. Lett.*, vol.12, no.44, 10728-10734, 2021.

DOI: 10.1021/acs.jpcclett.1c03031

[7] Tu, Huynh Thi Cam et al. "Investigation of Polysilazane-Based SiO₂ Gate Insulator for Oxide Semiconductor Thin-Film Transistors," *IEEE Trans Electron Devices IEEE T ELECTRON DEV*, vol.60, no.3, pp.1149-1153, 2013

DOI: 10.1109/TED.2013.2241440

[8] Choi, Young-Man et al. "Effect of PDMS blanket deformation on printability in reverse-offset printing," *Trans. Korean Soc. Mech. Eng. B*, vol.8, no.8, pp.709-714, 2014.

DOI: 10.3795/KSME-B.2014.38.8.709

[9] Liu, Shujie et al. "Structure Inheritance in Nanoparticle Ink Direct-Writing Processes and Crack-Free Nano-Copper Interconnects Printed by a Single-Run Approach," *Materials*, vol.12, no.9, pp.1559, 2019. DOI:10.3390/ma12091559

BIOGRAPHY

Hui-Su Yang (Member)



2020~present : BS-MS integrated degree course of Creative convergence Engineering, Hanbat Nat'l Univ.

Gyeong-Seok Oh (Member)



2017~present : BS-MS integrated degree course of Creative convergence Engineering, Hanbat Nat'l Univ.

Dong-Soo Kim (Member)



1991~2001 : MS, Ph.D. degrees in Mechanical Engineering from Yung Nam University

1991~2011 : Nano Mechanical System Research Division at Korea Institute of Machinery & Materials as the general manager(KIMM)

2012~present : Professor, Hanbat Nat'l Univ.

Jin-Hyuk Kwon (Member)



2021 : Ph.D degree in Electronic and Electrical Engineering, Kyungpook National University.

2021~present : Postdoctoral researcher, Hanbat National University.

Min-Hoi Kim (Member)



2013 : Ph.D degree in Electrical and Computer Engineering, Seoul National University, Korea.

2013~present : Professor, Hanbat Nat'l Univ.