

90nm 공정용 4Kb Poly-Fuse OTP IP 설계

강혜린*, 리롱화*, 김도훈*, 권순우*, 부쉬라 마흐누르*, 하판봉*, 김영희*

Design of 4Kb Poly-Fuse OTP IP for 90nm Process

Hyelin Kang*, Longhua Li*, Dohoon Kim*, Soonwoo Kwon*, Bushra Mahnoor*,
Panbong Ha*, Younghee Kim*

요약 본 논문에서는 아날로그 회로 트리밍과 Calibration 등에 필요한 4Kb Poly-Fuse OTP IP를 설계하였다. NMOS Select 트랜지스터와 Poly-Fuse 링크로 구성된 Poly-Fuse OTP 셀의 BL 저항을 줄이기 위해 BL은 Metal 2와 Metal 3를 stack하였다. 그리고 BL 라우팅 저항을 줄이기 위해 4Kb 셀은 64행 × 32열 Sub-block 셀 어레이 2개로 나뉘었으며, BL 구동회로는 Top과 Bottom으로 나뉘어진 2Kb Sub-block 셀 어레이의 가운데에 위치하고 있다. 한편 본 논문에서는 1 Select 트랜지스터에 1 Poly-Fuse 링크를 사용하는 OTP 셀에 맞게 코어회로를 제안하였다. 그리고 OTP IP 개발 초기 단계에서 프로그램되지 않은 Poly-Fuse의 저항이 5kΩ까지 나올수 있는 경우까지를 고려한 데이터 센싱 회로를 제안하였다. 또한 Read 모드에서 프로그램되지 않은 Poly-Fuse 링크를 통해 흐르는 전류를 138μA 이하로 제한하였다. DB HiTek 90nm CMOS 공정으로 설계된 Poly-Fuse OTP 셀 사이즈는 11.43μm × 2.88μm (=32.9184μm²)이고, 4Kb Poly-Fuse OTP IP 사이즈는 432.442μm × 524.6μm (=0.227mm²)이다.

Abstract In this paper, we designed a 4Kb poly-fuse OTP IP (Intellectual Property) required for analog circuit trimming and calibration. In order to reduce the BL resistance of the poly-fuse OTP cell, which consists of an NMOS select transistor and a poly-fuse link, the BL stacked metal 2 and metal 3. In order to reduce BL routing resistance, the 4Kb cells are divided into two sub-block cell arrays of 64 rows × 32 rows, with the BL drive circuit located between the two 2Kb sub-block cell arrays, which are split into top and bottom. On the other hand, in this paper, we propose a core circuit for an OTP cell that uses one poly-fuse link to one select transistor. In addition, in the early stages of OTP IP development, we proposed a data sensing circuit that considers the case where the resistance of the unprogrammed poly-fuse can be up to 5kΩ. It also reduces the current flowing through an unprogrammed poly-fuse link in read mode to 138μA or less. The poly-fuse OTP cell size designed with DB HiTek 90nm CMOS process is 11.43μm × 2.88μm (=32.9184μm²), and the 4Kb poly-fuse OTP IP size is 432.442μm × 524.6μm (=0.227mm²).

Key Words : CMOS process, eFuse, Intellectual Property, OTP, PolyFuse

1. 서론

시스템 반도체 칩에 사용되는 비휘발성 메모리

(Non-Volatile Memory)인 eFuse OTP (electrical Fuse One-Time Programmable) 메모리 IP (Intellectual Property)는 추가 공정이 필요 없다

This work was supported by the Technology Innovation Program (or Industrial Strategic Technology Development Program - Development of Next-Generation Intelligent Semiconductor Technology) (20025751, Development of Foundation Library PPA Performance Enhancement Technology) funded By the Ministry of Trade, Industry & Energy (MOTIE, Korea).

* Department of Electronic Engineering, Changwon National University

* Corresponding Author : Department of Electronic Engineering, Changwon National University (youngkim@changwon.ac.kr)

Received November 28, 2023

Revised December 10, 2023

Accepted December 14, 2023

[1-4]. OTP 메모리 IP는 아날로그 회로 트리밍과 calibration, 칩 ID, 암호 키(Encryption Key), 양산 기록 (Production Record) 등을 저장하는 역할을 한다[3].

eFuse OTP 메모리 셀은 eFuse 링크에 수 십 mA의 과전류를 흘려 eFuse를 Blowing하여 eFuse OTP 셀을 선택적으로 프로그램하며, 한번 프로그램하면 다시 프로그램이 불가능한 한 번만 프로그램 가능한 OTP 메모리이다[5-10]. eFuse OTP 셀의 프로그램하기 이전 상태에서 eFuse 링크의 초기 저항은 50~100Ω 정도에 분포한다[7]. 그리고 eFuse 링크를 과전류로 Blowing하는 경우 eFuse 링크를 통해 프로그램 전류가 흐르면서 Thermal Rupture에 의해 프로그램 된다. 이때 Program-Verify-Read 모드에서 10kΩ의 센싱 저항으로 eFuse OTP IP를 설계한 경우 eFuse 링크의 프로그램된 저항은 10kΩ 이상이 된다. 이와 같이 eFuse OTP 셀은 50~100Ω 정도의 Conductive State와 10kΩ 이상의 Highly Resistive State 중 하나로 프로그램 된다[7-8]. 한편 eFuse 링크로 Poly-Fuse가 많이 사용되고 있는데 poly-Fuse OTP IP의 초기 개발 단계에서 eFuse 링크의 초기 저항이 5KΩ 정도에 이르는 공정이 있을 수 있는 점도 설계에서 고려해야 한다.

본 논문에서는 90nm CMOS 공정을 이용하여 4Kb PF OTP IP를 설계하였다. eFuse OTP 셀의 eFuse 링크는 Poly-Fuse를 사용하였으며, eFuse OTP IP의 레이아웃 사이즈를 줄이기 위해 그림 1(a)의 NMOS eFuse OTP 셀을 사용하였다. BL의 저항을 1/2로 줄이기 위해 4Kb 셀 어레이는 64행 × 32열의 2Kb Sub-block 셀 어레이가 2개로 나뉘어져 있으며, 단위 PF (Poly-Fuse) OTP 셀에서 열 방향의 BL을 Metal 2와 Metal 3 Layer를 Stack하여 레이아웃하기 위해 행 방향의 WL은 Metal 1으로 라우팅하였다. 그리고 한 개의 Select 트랜지스터와 한 개의 PF 링크로 구성된 OTP 셀의 동작에 맞게 코어 회로를 제안하였다. Detection Read 모드에서 10kΩ의 센싱 저항으로 설계된 경우 10년의 Data Retention 시간 동안 프로그램된

PF 링크는 프로그램된 셀로 읽혀져야 하기 때문에 Detection Read 모드에서 10KΩ 이상의 저항으로 프로그램된 경우만 프로그램된 셀로 Pass시키고 대신 Read 모드에서 사용자가 사용할 때는 5KΩ 이상이면 프로그램된 셀로 읽혀지도록 OTP IP 회로를 설계하였다. 그리고 Read 모드에서 프로그램되지 않은 PF 링크는 138μA 이하의 전류가 흐르도록 전류를 제한하였다. 마지막으로 PF OTP IP의 초기 개발 단계에서 eFuse 링크의 초기 저항이 5KΩ 정도에 이르는 경우를 가정하여 Read 모드와 Detection Read 모드에서 프로그램된 PF의 센싱 저항을 각각 7.5KΩ과 12.5KΩ이 되도록 회로를 제안하였다.

2. 회로설계

eFuse OTP 셀은 프로그램 모드와 읽기 모드에서 OTP 셀을 선택해주는 Select 트랜지스터와 기억소자 한 개가 있으면 된다[9]. MOS 트랜지스터를 사용한 eFuse OTP 셀은 그림 1(a)에서 보는 바와 같이 프로그램 모드와 읽기 모드에서 Select 트랜지스터로 PMOS 트랜지스터를 사용한 PMOS eFuse OTP 셀[1]과 그림 1(b)에서 보는 바와 같이 NMOS 트랜지스터를 사용한 NMOS eFuse OTP 셀[11]이 있다. 그리고 그림 1(c)에서 보는 바와 같이 프로그램 모드에서 SL (Source Line) 포트를 통해 큰 프로그램 전류를 흘려주는 NMOS 트랜지스터와 읽기 모드에서 BL (Bit Line) 포트를 통해 작은 전류의 읽기 전류를 흘려주는 NMOS 트랜지스터로 구성되어 있는 듀얼 포트 eFuse OTP 셀[7]로 구분된다. 그림 1(b)의 NMOS eFuse OTP 셀은 그림 1(a)의 PMOS eFuse OTP 셀에 비해 동일한 프로그램 전류를 구동하는 경우 NMOS 트랜지스터의 채널 폭이 PMOS 트랜지스터의 채널 폭보다 작아도 되므로 eFuse OTP 셀의 레이아웃 사이즈를 줄일 수 있다. 그리고 듀얼 포트 eFuse OTP 셀은 BL의 기생 커패시턴스를 줄이므로 eFuse OTP IP의 속도를 빠르게 할수 있는 장점이 있는 반면, 단위 셀의 레이아웃 사이즈가 증가하여 eFuse OTP IP의 레이

아웃 사이즈가 증가하는 단점이 있다. 그림 1의 MOS 트랜지스터를 사용한 eFuse 셀 이외에도 다이오드를 이용한 eFuse OTP 셀에 대한 연구결과도 있으나 프로그램 특성 확보가 쉽지 않기 때문에 간단하게 구현할 수 있는 방식은 아니다 [9]. 그림 1(c)의 eFuse OTP 셀을 이용하여 90nm 공정으로 Unit 셀을 레이아웃하였을 때 셀 사이즈는 $15.434\mu\text{m} \times 4.17\mu\text{m}$ ($=64.36\mu\text{m}^2$)으로 큰 편이다.

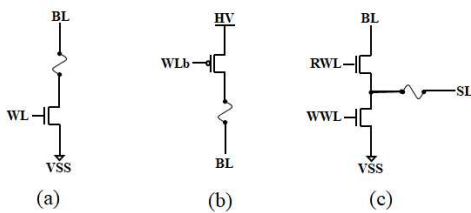
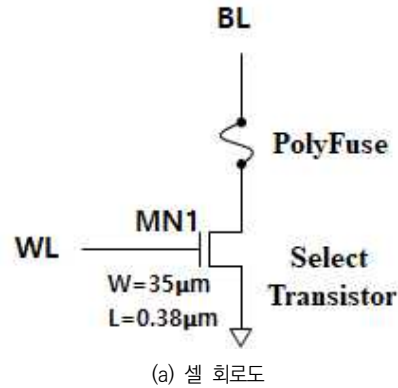


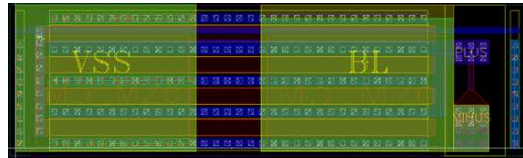
그림 1. MOS 트랜지스터를 사용한 eFuse OTP 셀 회로도 (a) NMOS eFuse OTP 셀 회로도 (b) PMOS eFuse OTP 셀 회로도 (c) 듀얼 포트 eFuse OTP 셀 회로도.
 Fig. 1. eFuse OTP cell schematic with MOS transistors: (a) NMOS eFuse OTP cell schematic, (b) PMOS eFuse OTP cell schematic and (c) dual-port eFuse OTP cell schematic.

한편 프로그램된 eFuse 링크는 10년의 Retention 시간동안 $10\text{K}\Omega$ 이상으로 프로그램된 저항이 낮아져서 프로그램되지 않은 셀로 읽혀질수 있는 문제점이 있다[12]. 그리고 프로그램되지 않은 eFuse 링크는 Read 모드에서 큰 전류가 흐르면서 EM (Electro-Migration) 현상에 의해 Blowing 되는 문제가 발생할 수 있다[12].

그림 2는 본 논문에서 사용한 PF OTP 셀의 회로도와 레이아웃 이미지를 보여주고 있다. PF OTP 셀 회로도에는 그림 2(a)에서 보는 바와 같이 3.3V NMOS Select 트랜지스터와 PF로 구성되어 있으며, 그림 2(b)는 셀 레이아웃 이미지를 보여주고 있다. PF OTP 셀 사이즈는 $11.43\mu\text{m} \times 2.88\mu\text{m}$ ($=32.9184\mu\text{m}^2$)이다. 그림 2(b)의 단위 PF OTP 셀에서 열 방향의 BL을 Metal 2와 Metal 3 Layer를 Stack하여 레이아웃하기 위해 행 방향의 WL은 Metal 1으로 라우팅하였다.



(a) 셀 회로도



(b) 셀 레이아웃 이미지

그림 2. 사용된 poly-fuse OTP 셀.
 Fig. 2. poly-fuse OTP cells used: (a) cell circuit and (b) cell layout image.

PF OTP IP의 동작 모드에 따른 PF OTP Cell 바이어스 조건은 표 1에서 보는 바와 같이 DIN 데이터를 '1'로 프로그램하는 PF OTP 셀은 WL과 BL 모두 VPP (=5V) 전압을 인가되고 선택된 OTP 셀의 PF 링크에 25mA 정도의 프로그램 전류가 흐르면서 PF 링크는 Blowing되는 반면, DIN이 '0'인 경우 BL은 0V가 인가되기 때문에 PF 링크를 통해 프로그램 전류가 흐르지 않으면서 PF 링크는 초기 상태의 저항인 100Ω 정도를 그대로 유지한다. 한편 프로그램 모드에서 PF OTP IP에서 선택되지 않은 WL 전압은 0V가 인가되므로 그림 2(a)의 OTP 셀 회로에서 보이는 Select 트랜지스터 MN0를 OFF시켜 Select 트랜지스터에 전류가 흐르지 않는다. 이 경우 선택되지 않는 행에 있는 PF OTP 셀의 PF 링크는 Unblown 상태를 유지한다. Program-Verify-Read 모드인 Detection Read 모드는 프로그램된 저항을 Typical 조건 (TT Model Parameter, VDD=1.2V, 25°C)에서 $10\text{k}\Omega$ 으로 설계하였다.

표 1. 동작 모드에 따른 PF OTP Cell 바이어스 조건.
Table 1. PF OTP cell bias conditions according to operating modes.

	Program Mode		Read Mode	
	VPP	VPP	VDD	VDD
WL	0	1	X	X
DIN	0	1	0	VDD
BL	OV	VPP	0	VDD
DOUT	X	X	0	1
PolyFuse	100Ω	> 10KΩ	100Ω	> 5KΩ

90nm CMOS 공정으로 설계된 4Kb PF OTP IP의 주요 특징은 표 2에서 보는 바와 같다. 메모리 용량은 512Byte인 4Kb이다. 그리고 Read 모드와 Detection Read 모드는 8bit씩 Read하는 반면, 프로그램 모드에서 프로그램하는 bit는 한 bit이다. 프로그램 전압인 VPP 전압은 프로그램 모드에서 $5V \pm 0.1V$ 이고, Read 모드와 Detection Read 모드는 $1.2V \pm 10\%$ 이다. Read 모드의 동작 온도는 $-40^{\circ}C \sim 125^{\circ}C$ 이고, Detection Read 모드와 프로그램 모드의 동작 온도는 $25^{\circ}C$ 이다. 한편 프로그램 시간 (Program Time)은 표 2에서 보는바와 같이 최소 $20\mu s$ 이다.

표 2. 설계된 4Kb PF OTP IP의 주요 특징.
Table 2. Major features of designed 4Kb PF OTP IP.

Item	Description	
Main Memory Density	512 x 8 bits	
Data bus Interface	Read Mode	x 8 bits
	Detection Read Mode	x 8 bits
	Program Mode	x 1 bit
Operating Voltage	Read Mode	VDD = $1.2V \pm 10\%$, VPP = $1.2V \pm 10\%$
	Detection Read Mode	VDD = $1.2V \pm 10\%$, VPP = $1.2V \pm 10\%$
	Program Mode	VDD = $1.2V \pm 10\%$, VPP = $5.0V \pm 0.1V$
Random Access Time	Read Mode	Max. 440ns
	Detection Read Mode	Max. 490ns
	Program Time	Min. $20\mu s$ per bit
DOUT Status in Read Mode	Initial Cell Status	Low
	Programmed Bit by DIN	DOUT = Low (@ DIN = Low), DOUT = High (@ DIN = High)
Size	$432.442\mu m \times 524.6\mu m$	
Isolation Type	Isolation	

프로그램 모드에서 BL에 걸리는 전압 강하 (Voltage Drop)을 줄이기 위해 BL 구동회로는 셀 어레이의 Edge에 위치하는 것보다 셀 어레이의 중간에 위치하는 것이 유리하다. 그래서 본 논문에서는 BL 구동회로를 Top과 Bottom에 있는 64행 x 32열의 셀 어레이의 중간에 배치하므로 BL의 저항을 1/2로 줄였다. 그림 3은 64행 x 32열의 2Kb Sub-block 셀 어레이 회로도를 보여주고 있다.

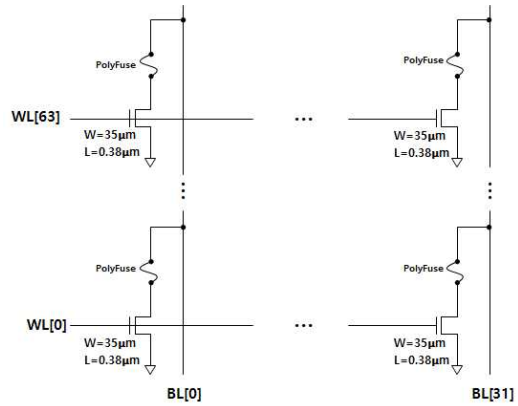


그림 3. 64행 x 32열의 2Kb Sub-block 셀 어레이 회로도.
Fig. 3. 2 Kb sub-block cell array schematic of 64 rows x 32 rows.

그림 1(c)의 Dual Port eFuse OTP 셀을 사용하는 코어 회로는 각 행마다 프로그램 모드에 사용되는 WWL (Write Word-Line)과 Read 모드와 Detection Read 모드에 사용되는 RWL (Read Word-Line) 신호를 구동하는 회로가 필요하다. 그리고 각 열마다 프로그램 모드에 사용되는 SL (Source Line) 신호를 구동하는 회로와 Read 모드와 Detection Read 모드에 사용되는 BL (Bit-Line) 데이터를 센싱하는 센싱회로가 필요하다. 그런데 본 논문에서 poly-fuse OTP 셀로 사용하는 그림 2(a)의 회로는 각 행마다 라우팅되는 WL 신호와 각 열마다 라우팅되는 BL 신호관련 회로만 있으면 된다. 그래서 본 논문에서는 코어 회로인 WL 구동회로, BL 구동회로, BL 스위치 회로, BL 스위치 선택 회로와 DL 센싱회로를 제안하였다.

그림 4의 WL 구동회로는 하나의 Sub-array 블

력에서 행 어드레스 RA[10:5]를 디코딩하여 64개의 WL중 한 WL을 구동해주는 회로이다. 표 1에서 보는바와 같이 선택되는 WL 신호는 VPP 전압으로 구동해야 하므로 그림 4(a)의 WL 구동회로에서 보는 바와 같이 로직 전압인 VDD 전압을 VPP 전압으로 스위칭 전압을 바꾸어주는 VDD-to-VPP Level Shifter 회로가 필요하다. 그리고 2개의 64행 × 32열의 Sub-array 블록을 선택해주는 신호는 WLEN과 WLENb 신호이며, 이들 신호는 행 어드레스 RA[11]의 Decoding이 반영되어 있는 신호이다.

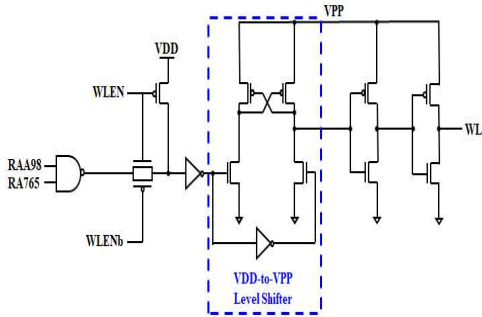


그림 4. 제안된 WL 구동회로.
Fig. 4. Proposed WL driver.

그림 4의 BL 구동회로는 Read 모드와 Detection Read 모드의 경우 MP1과 MN1 트랜지스터는 OFF 상태가 되므로 BL 신호는 High-Impedance 상태를 유지한다. 그래서 선택된 PF OTP 셀의 데이터가 BL을 통해서 읽어내도록 한다. 프로그램 모드에서는 열 어드레스인 CA[4:0]의 디코딩에 의해 선택되는 BL 구동회로는 DIN이 '1'이면 BL 전압을 VPP로 구동하고 DIN이 '0'이면 BL 전압은 VSS (=0V)를 구동하도록 설계되어 있다. 그림 5의 BL 구동회로는 MP1 트랜지스터의 게이트 전압을 VPP 또는 0V로 구동해야 하므로 VDD-to-VPP Level Shifter 회로를 필요로 한다. 한편 프로그램 모드에서 선택되지 않은 BL들은 0V 전압을 구동한다. 이와같이 프로그램 모드에서 선택되지 않은 BL에 연결된 PF OTP 셀들은 PF 링크에 프로그램 전류가 흐르지 않으므로

Unprogrammed 상태를 유지한다.

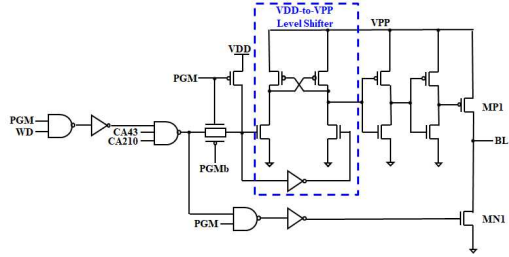


그림 5. 제안된 BL 구동회로.
Fig. 5. Proposed BL driver.

그림 6과 그림 7은 Read 모드와 Detection Read 모드에서 PF OTP 셀 어레이에서 왼쪽부터 연속되는 4개 BL중 열 어드레스인 CA[4:3]에 의해 선택되는 TG (Transmission Gate)에 의해 BL의 Read 데이터를 DL (Data-Line)으로 전달하는 BL 스위치 회로와 BL 스위치 선택 회로를 보여주고 있다. 그림 6의 BL 스위치 회로에서 TG1, TG2, TG3와 TG4는 프로그램 모드에서 선택되는 BL 전압이 VPP (=5V)의 전압이 인가되므로 소자의 신뢰성을 고려하여 3.3V MOS 소자를 사용하였다. 그리고 TG5는 PF OTP 셀의 PF 링크의 저항을 측정하기 위한 스위치로 1.2V MOS 소자를 사용하였다. 그림 7은 BL 스위치 선택 회로로 VDD-to-VPP Level Shifter 회로를 포함하고 있다.

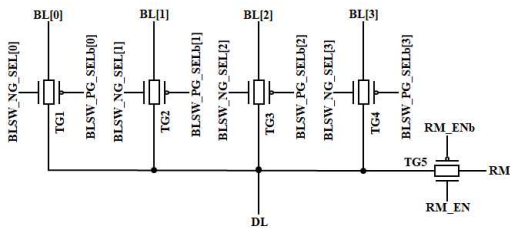


그림 6. 제안된 BL 스위치 회로.
Fig. 6. Proposed BL switch circuit.

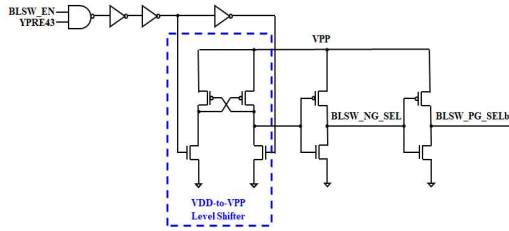


그림 7. 제안된 BL 스위치 선택 회로.
Fig. 7. Proposed BL switch select circuit.

그림 8은 Read와 Detection Read 모드인 경우 Typical 조건 (VDD=1.2V, TT, 25°C)에서 프로그램된 PF 링크의 센싱 저항을 각각 5KΩ과 10KΩ이 되도록 MP11과 MP13의 PMOS Pull-up Load 트랜지스터의 Width/Length를 사이징하였다. 그리고 PF OTP IP의 초기 개발 단계에서 PF 링크의 초기저항이 5KΩ 정도에 이르는 것을 대비하여 Read와 Detection Read 모드에서 프로그램된 PF 링크의 센싱 저항을 각각 7.5KΩ과 12.5KΩ이 되도록 MP12과 MP14의 PMOS Pull-up Load 트랜지스터 W/L를 사이징하였다. 제안된 센싱 회로는 Clocked Inverter를 이용하여 센싱하는 회로이다.

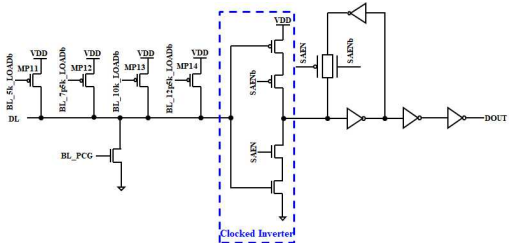


그림 8. 제안된 DL 센싱 회로.
Fig. 8. Proposed DL sensing circuit.

DB HiTek 90nm CMOS 공정을 이용하여 설계된 4Kb PF OTP IP의 레이아웃 사이즈는 432.442 μm × 524.6 μm (=0.227mm²)이다. 그림 9는 설계된 4kb PF OTP IP의 레이아웃 이미지를 보여주고 있다.

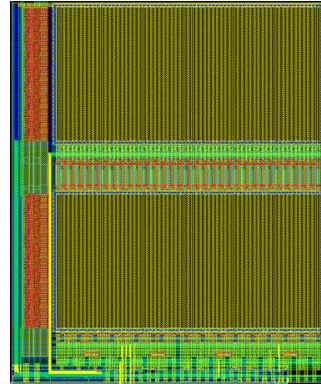
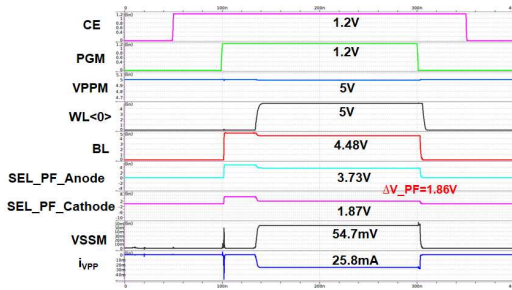


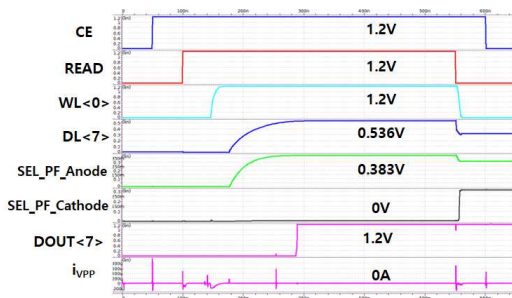
그림 9. 설계된 4kb poly-fuse OTP IP의 레이아웃 이미지.
Fig. 9. Layout image of the designed 4kb poly-fuse OTP IP.

3. 모의실험 결과

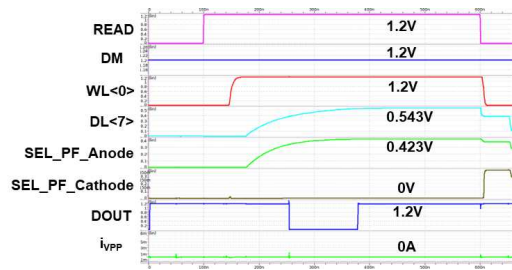
그림 10은 Typical 모의실험 조건에서 동작 모드별 4Kb PF OTP IP의 Post-layout 모의실험 결과를 보여주고 있다. 그림 10(a)는 1.2V VDD와 5V VPP 전압을 인가하고 프로그램 모드를 모의실험 했을 때 코어 회로관련 WL, BL과 PF 링크의 Anode와 Cathode에 대한 전압 파형을 보여주고 있다. 모의실험 결과 PF 링크 양단에는 1.86V의 전압이 걸리고 25.8mA의 프로그램 전류가 흐르므로 PF 링크의 Initial 저항을 72Ω으로 계산된다. 그림 10(b)와 그림 10(c)는 프로그램된 PF OTP 셀에 대한 Read 모드와 Detection Read 모드에 대한 모의실험 결과로 WL이 활성화 (Activation) 되고 DL 센싱 회로의 DL Pull-up Load에 의해 DL이 Pull-up 되면서 DOUT에 '1'의 데이터가 출력되는 것을 볼 수 있다.



(a) 프로그램 모드



(b) Read 모드



(c) Detection Read 모드

그림 10. Typical 모의실험 조건에서 동작 모드별 PF OTP IP의 post-layout 모의실험 결과.

Fig. 10. Post-layout simulation results of poly-fuse OTP IP by operation mode under typical simulation conditions: (a) program mode, (b) read mode and (c) detection read mode.

표 3은 모의실험 조건별 Read 모드와 Detection Read 모드에 대한 프로그램된 PF OTP 셀의 센싱 저항에 대한 모의실험 결과를 보여주고 있으며, 1.2V VDD, 25°C, TT Model Parameter 에서 센싱 저항은 각각 5kΩ과 10kΩ의 모의실험 결과가 나온 것을 볼 수 있다.

표 3. 동작 모드별 센싱 저항에 대한 모의실험 결과 (a) read 모드 (b) detection read 모드.

Table 3. Simulation results of sensing resistance by operation mode: (a) read mode and (b) detection read mode.

(a)

VDD	Temp	SS	SF	TT	FS	FF
1.08V	-40°C	3KΩ	2.5KΩ	3.8KΩ	5.4KΩ	4.4KΩ
	25°C	4.2KΩ	3.6KΩ	5KΩ	6.8KΩ	4.3KΩ
	125°C	6.4KΩ	5.5KΩ	7.1KΩ	8.6KΩ	6.8KΩ
1.2V	-40°C	3.4KΩ	2.9KΩ	3.9KΩ	5KΩ	4.1KΩ
	25°C	4.5KΩ	3.9KΩ	5KΩ	6.2KΩ	5KΩ
	125°C	6.5KΩ	5.5KΩ	6.7KΩ	7.5KΩ	6.3KΩ
1.32V	-40°C	3.5KΩ	3KΩ	3.8KΩ	4.6KΩ	3.8KΩ
	25°C	4.6KΩ	4KΩ	4.9KΩ	5.5KΩ	4.6KΩ
	125°C	6.4KΩ	5.6KΩ	6.3KΩ	6.6KΩ	5.6KΩ

(b)

VDD	Temp	SS	SF	TT	FS	FF
1.08V	-40°C					
	25°C	9.1KΩ	7.7KΩ	10.3KΩ	13.2KΩ	10.8KΩ
	125°C					
1.2V	-40°C					
	25°C	9.3KΩ	8KΩ	10KΩ	11.7KΩ	9.8KΩ
	125°C					
1.32V	-40°C					
	25°C	9.3KΩ	8.1KΩ	9.6KΩ	10.4KΩ	8.8KΩ
	125°C					

한편 프로그램되지 않은 PF 링크는 Read 모드에서 큰 전류가 흐르면서 EM 현상에 의해 Blowing 되는 문제를 해결하기 위해 그림 6의 TG1, TG2, TG3와 TG4의 PMOS와 NMOS 트랜지스터의 Width를 조정하여 프로그램되지 않은 PF 링크를 통해 흐르는 전류를 138μA로 억제하였다.

표 4. Read 모드에서 모의실험 조건별 프로그램되지 않은 poly-fuse 링크를 통해 흐르는 전류에 대한 모의실험 결과.
Table 4. Simulation results of current flowing over an unprogrammed poly-fuse link by simulation condition in read mode.

VDD	Temp	Read_Mode				
		SS	SF	TT	FS	FF
1.08V	-40°C	59.2 μ A	80.2 μ A	71.6 μ A	63.6 μ A	85.5 μ A
	25°C	51.3 μ A	68.9 μ A	61.9 μ A	55.5 μ A	74.1 μ A
	125°C	44.2 μ A	58.8 μ A	53.5 μ A	48.4 μ A	63.7 μ A
1.2V	-40°C	80.3 μ A	105 μ A	94.8 μ A	85.4 μ A	111 μ A
	25°C	68.7 μ A	89.5 μ A	81.3 μ A	73.7 μ A	95.3 μ A
	125°C	58.1 μ A	75.5 μ A	69.3 μ A	63.4 μ A	81.2 μ A
1.32V	-40°C	104 μ A	132 μ A	121 μ A	110 μ A	138 μ A
	25°C	88.3 μ A	112 μ A	103 μ A	94.1 μ A	119 μ A
	125°C	73.9 μ A	94.1 μ A	87 μ A	80.3 μ A	101 μ A

4. 결론

PF OTP IP는 아날로그 회로 트리밍과 Calibration, 칩 ID, 암호 키, 양산 기록 등을 저장하기 위해 필요하다.

본 논문에서는 90nm CMOS 공정을 이용하여 eFuse 링크로 PF 링크를 사용한 4Kb PF OTP IP를 설계하였다. 90nm 공정으로 Dual Port eFuse OTP 셀을 레이아웃 하였을 때 셀 사이즈는 15.434 μ m \times 4.17 μ m (=64.36 μ m²)인 반면, 한 개의 NMOS Select 트랜지스터와 한 개의 PF 링크로 구성된 PF OTP 셀 사이즈는 11.43 μ m \times 2.88 μ m (=32.9184 μ m²)으로 줄었다. 그리고 PF OTP 셀에서 BL의 기생하는 저항을 줄이기 위해 열 방향의 BL을 Metal 2와 Metal 3 Layer를 Stack하였다. 10년의 Data Retention 시간을 고려하여 Detection Read 모드에서 PF 링크의 프로그램된 저항이 10k Ω 이상인 경우만 프로그램된 셀로 Pass시키고, 대신 Read 모드에서는 프로그램된 저항이 5K Ω 이상이면 Pass되도록 DL 센싱 회로를 설계하였다. 한편 PF OTP IP의 초기 개발 단계에서 eFuse 링크의 초기 저항이 5K Ω 정도에 이르는 경우를 고려하여 Read 모드와 Detection Read 모드에서 프로그램된 PF의 센싱 저항을 각각 7.5K Ω 과 12.5K Ω 이 되도록 회로를 제안하였다.

한편 한 개의 Select 트랜지스터와 한 개의 PF 링크로 구성된 PF OTP 셀로 구성된 셀 어레이를

구동해 주는 제안된 코어회로를 이용하여 설계된 메모리 IP의 레이아웃 면적은 432.442 μ m \times 524.6 μ m (=0.227mm²)이다. 향후 웨이퍼가 나오면 Read Mode에서 프로그램되지 않은 eFuse 링크에 큰 전류가 흐르면서 EM 현상에 의해 Blowing 되는지를 포함한 PF OTP IP의 특성을 평가해 볼 계획이다.

REFERENCES

- [1] S. H. Kulkarni et al., "A 4kb metal-fuse OTP-ROM macro featuring a 2V programmable 1.37 μ m² 1T1R bit cell in 32nm high-k metal-gate CMOS," *IEEE Solid-State Circuits*, vol. 45, no. 4, pp. 863-868, April 2010.
- [2] W. Y. Jung et al., "Design of eFuse OTP memory with wide operating voltage range for PMICs," *Journal of Semiconductor Technology and Science*, vol. 18, no. 1, pp. 115-122, Jan 2014.
- [3] Y. H. Kim, "eFuse OTP memory circuit," Korea Patent 10-1762919, July 24, 2017.
- [4] H. Park et al., "Design of small-area differential paired eFuse OTP memory for power IC," *JKIIECT*, pp. 107-115, April 2015.
- [5] J. Safran, A. Leslie, et al., "A compact eFuse programmable array memory for SOI CMOS," *Symposium on VLSI Circuits*, pp. 72-73, June 2007.
- [6] N. Robson et al., "Electrically programmable fuse (eFuse): From memory redundancy to autonomous chip," *Proceedings of Custom Integrated Circuits Conference*, pp. 799-804, Sep. 2007.
- [7] J. H. Lee et al., "Design of an asynchronous eFuse one-time programmable memory IP of 1 kilo bits based on a logic process", *Journal of KIMICS*, vol. 13, no. 7, pp. 1371-1378, July 2009.
- [8] D. H. Kim et al., "Design and measurement of a 1-kbit eFuse one-time programmable memory IP based on a BCD process," *Journal of IEICE Trans. Electron*, vol. E93-C, No. 8, pp. 1365-1370, Aug. 2010.
- [9] S. H. Lee et al., "Design of an NMOS-diode eFuse OTP memory IP for CMOS image sensors," *JKIICE*, vol. 20, no. 2, pp. 306-316, Feb. 2016.

[10] S. Hutchins et al., "A high-output power 1-V charge pump and power switch for configurable, in-field-programmable metal eFuse on Intel 4 logic technology," *IEEE Solid-State Circuits Letters*, vol. 6, pp. 9-12, 2023.

[11] G. Uhlmann et al., "A commercial field-programmable dense eFuse array memory with 99.999% sense yield for 45nm SOI CMOS," *Digest of Technical Papers, IEEE International Solid-State Circuits Conference*, pp. 406-407, Feb. 2008.

[12] Y. H. Kim et al., "Design of 1-Kb eFuse OTP memory IP with reliability considered," *Journal of Semiconductor Technology and Science*, vol. 11, no. 2, pp. 88-94, June 2011.

저자약력

강혜린 (Hye-Lin Kang)

[학생회원]



- 2022년 2월 : 창원대학교 전자공학과 (공학사)
- 2022년 3월 ~ 현재 : 창원대학교 전자공학전공 석사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

리 롱화 (Long-Hua Li)

[학생회원]



- 2020년 6월 : 연변대학교 전자정보통신학과 (공학사)
- 2022년 6월: 연변대학교 전자정보통신학과 (공학석사)
- 2022년 9월 ~ 현재 : 창원대학교 전자공학전공 박사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

김도훈 (Do-Hoon Kim)

[학생회원]



- 2022년 2월 : 경남대학교 전자공학과 (공학사)
- 2022년 3월 ~ 현재 : 창원대학교 전자공학전공 석사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

권순우 (Soon-Woo Kwon)

[학생회원]



- 2022년 2월 : 강릉원주대학교 전자공학과 (공학사)
- 2022년 3월 ~ 현재 : 창원대학교 전자공학전공 석사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

부쉬라 마흐누르 (Bushra Mahnoor)

[학생회원]

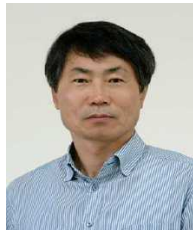


- 2017년 11월 : Electrical Engineering, University of engineering and technology peshawar (공학사)
- 2023년 3월 ~ 현재 : 창원대학교 전자공학전공 석사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계

하판봉 (Pan-Bong Ha)

[종신회원]



- 1981년 2월 : 부산대학교 전기공학과 (공학사)
- 1983년 2월 : 서울대학교 전자공학과 (공학석사)
- 1993년 2월 : 서울대학교 전자공학과 (공학박사)
- 1987년 3월 ~ 현재 : 창원대학교 전자공학전공 명예교수

〈관심분야〉 임베디드 시스템, SoC 설계

김 영 희 (Young-Hee Kim)

[중신회원]



- 1989년 2월 : 경북대학교 전자공학과 (공학사)
- 1997년 2월 : 포항공과대학교 전기전자공학과 (공학석사)
- 2000년 8월 : 포항공과대학교 전기전자공학과 (공학박사)
- 1989년 1월 ~ 2001년 2월 : 현대전자 책임연구원
- 2001년 3월 ~ 현재 : 창원대학교 전자공학전공 교수

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계