

# Dual CDS를 수행하는 CMOS 단일 슬로프 ADC를 위한 개선된 잡음 및 지연시간을 가지는 비교기 설계

장헌빈\*, 천지민\*\*

## Design of a Comparator with Improved Noise and Delay for a CMOS Single-Slope ADC with Dual CDS Scheme

Heon-Bin Jang\*, Jimin Cheon\*\*

**요약** 본 논문은 CMOS Image Sensor(CIS)에 사용되는 single-slope ADC(SS-ADC)의 노이즈와 출력의 지연을 개선한 비교기 구조를 제안한다. 노이즈와 출력의 지연 특성을 개선하기 위해 비교기의 첫 번째 단의 출력 노드와 두 번째 단의 출력 노드 사이에 커패시터를 삽입하여 miller effect를 이용한 비교기 구조를 설계하였다. 제안하는 비교기 구조는 작은 capacitor를 이용하여 노이즈와 출력의 지연 및 layout 면적을 개선하였다. Single slop ADC에서 사용되는 CDS 카운터는 T-filp flop과 bitwise inversion 회로를 사용하여 설계하였고 전력 소모와 속도가 개선되었다. 또한 single slop ADC는 analog correlated double sampling(CDS)와 digital CDS를 함께 동작하는 dual CDS를 수행한다. Dual CDS를 수행함으로써 fixed pattern noise(FPN), reset noise, ADC error를 줄여 이미지 품질이 향상된다. 제안하는 comparator 구조가 사용된 single-slope ADC는 0.18 $\mu$ m CMOS 공정으로 설계되었다.

**Abstract** This paper proposes a comparator structure that improves the noise and output delay of a single-slope ADC(SS-ADC) used in CMOS Image Sensor (CIS). To improve the noise and delay characteristics of the output, a comparator structure using the miller effect is designed by inserting a capacitor between the output node of the first stage and the output node of the second stage of the comparator. The proposed comparator structure improves the noise, delay of the output, and layout area by using a small capacitor. The CDS counter used in the single slop ADC is designed using a T-filp flop and bitwise inversion circuit, which improves power consumption and speed. The single-slope ADC also performs dual CDS, which combines analog correlated double sampling (CDS) and digital CDS. By performing dual CDS, image quality is improved by reducing fixed pattern noise (FPN), reset noise, and ADC error. The single-slope ADC with the proposed comparator structure is designed in a 0.18- $\mu$ m CMOS process.

**Key Words** : CMOS image sensor(CIS), CDS, single-slope ADC, comparator, miller capacitor, noise

### 1. 서론

현재 CMOS Image Sensor(CIS)는 스마트폰, 전자자동차, 디지털카메라 등 매우 다양한 애플리케이션에서 사용되고 있다. CIS의 크기가 점점 작아질

수록 CIS 내부의 픽셀 pitch가 작아진다. 이러한 이유로 대부분의 CIS는 칩 면적이 작고 선형성이 높은 single-slope ADC(SS-ADC) 구조를 채택하고 있다. 이미지 품질에 영향을 미치는 readout 노이즈

This research was supported by Kumoh National Institute of Technology (2021).

Authors would like to thank the IC Design Education Center in Korea for supporting the EDA tools.

\*Department of Semiconductor System Engineering, Kumoh National Institute of Technology

\*\*Corresponding Author : School of Electronic Engineering, Kumoh National Institute of Technology (jimmin.cheon@kumoh.ac.kr)

Received December 01, 2023

Revised December 05, 2023

Accepted December 08, 2023

즈를 줄이기 위해서는 single-slope ADC의 노이즈를 줄여야 한다. Single-slope ADC 회로 중 비교기의 노이즈 특성이 큰 영향을 미치기 때문에 비교기의 노이즈를 줄일 필요가 있다[1,2].

비교기의 출력 노이즈에 영향을 미치는 대역폭을 줄이기 위해 비교기의 첫 번째 출력과 공급 전압 사이에 커패시터를 추가하여 대역폭을 제한하는 설계 기법이 사용되었다. 하지만 이 설계 기법은 커패시터가 커지기 때문에 비교기의 지연시간이 증가한다. 이를 개선하기 위한 설계 기법은 첫 번째 단 출력과 두 번째 단 출력 사이에 커패시터를 추가하여 miller effect를 사용함으로써 커패시터의 크기를 줄이는 것이다. 작은 커패시터를 추가하여 비교기의 지연시간을 줄일 수 있고 커패시터의 크기가 작아져 레이아웃 면적도 줄일 수 있다[3-5].

CIS의 이미지 품질을 결정하는 중요한 요소 중 하나는 Fixed pattern noise(FPN)이다. 픽셀 FPN은 픽셀의 dark current, 픽셀 transistor mismatch, 소스 팔로워 transistor 간의 threshold voltage 차이로 인해 발생 된다. 따라서 FPN을 줄이기 위해 correlated double sampling(CDS)이 사용된다. CDS에는 커패시터와 스위치를 사용하는 analog CDS 방식과 카운팅 방법에 따른 digital CDS 방식 그리고 analog CDS와 digital CDS 두 가지 방식을 모두 사용하는 dual CDS로 총 세 가지 유형이 있다[4].

따라서 본 논문에서 single-slope ADC는 노이즈를 줄이기 위해 miller capacitor가 사용된 비교기 구조와 FPN을 줄이기 위해 analog CDS와 digital CDS를 모두 사용하는 dual CDS를 사용하여 설계되었다[9].

### 2.1 제안하는 Comparator 구조

그림 1(a)은 기존 single-slope ADC에 사용되는 기본적인 비교기 구조이다. 회로가 간단하고 비교기 내에 커패시터를 사용하지 않아 비교기의 지연시간이 매우 짧은 장점을 갖는다. 하지만 넓은 대역폭을 가지고 있어 출력 노이즈가 큰 값을 가진다.

그림 1(b)는 첫 번째 단의 출력 노드와 전원 전

압 사이에 커패시터를 추가하여 비교기의 대역폭을 제한함으로써 사용하는 대역 외 주파수 대역의 노이즈를 줄여 비교기의 노이즈를 감소시키는 구조이다. 제한된 대역폭은 노이즈를 줄이지만 커패시터가 추가되어 그림 1(a)에 비해 비교기의 지연 시간이 증가한다. 지연 시간을 개선하기 위해 비교기에 사용되는 전류를 증가시키는 방법이 있지만 전력소모가 증가하고 ADC 성능이 저하되는 문제가 있어 다른 방법으로 출력 노이즈를 개선할 필요가 있다.

그림 1(c)는 제안하는 구조로 miller 커패시터를 이용한 비교기 구조이다. 첫 번째 단의 출력 노드와 두 번째 단의 출력 노드 사이에 miller 커패시터를 구성하여 그림 1(b)보다 작은 커패시터 크기를 가진다. 따라서 비교기의 지연 시간이 개선된다.

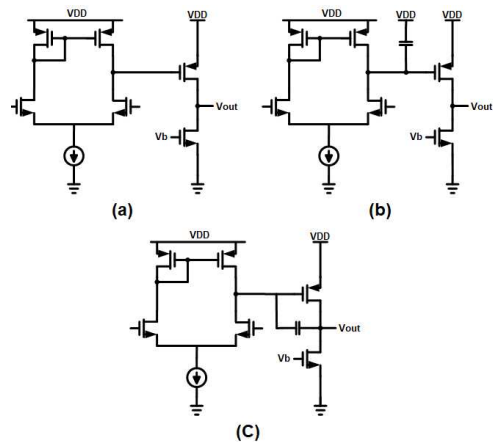


그림 1. 비교기 구조  
Fig. 1. Comparator schematic

### 2.2 Comparator Simulation Results

표 1. 비교기 시뮬레이션 설정  
Table 1. Comparator Simulation Setting

Structure	Bandwidth [kHz]	Capacitor [fF]
Conventional (a)	866	-
Capacitor (b)	60	500
Proposed (c)	60	20

시뮬레이션을 위해 각 비교기의 전류를 동일하게 설정하고 기본 구조의 비교기를 제외한 나머지 비교기 구조에 커패시터를 추가하여 대역폭을 60kHz로 제한하였다. 제안된 비교기 구조는 밀러 효과로 20fF의 작은 커패시터를 사용하여 기존 비교기 구조와 비교했을 때 면적 증가가 거의 없으면서도 대역폭을 약 6.9% 수준으로 줄일 수 있다. 또한 제안된 비교기 구조는 밀러 효과로 500fF의 큰 커패시터를 사용하는 커패시터 비교기 구조와 동일한 대역폭을 가져갈 수 있다. 커패시터 비교기 구조의 경우 커패시터 용량이 500fF 이므로 제안된 비교기 구조보다 25배 더 큰 커패시터 면적을 필요로 한다.

그림 2는 비교기의 지연 시뮬레이션 결과 그래프이다. 비교기의 입력으로 인가되는 각 신호가 만나는 시점부터 비교기의 출력이 변하는 시점까지 걸리는 시간을 지연시간으로 설정하고 시뮬레이션을 진행했다.

그림 1(a) 기본 구조의 경우 비교기 내에 커패시터가 존재하지 않기 때문에 가장 작은 지연시간을 가진다. 그림 1(b) 커패시터 구조는 noise를 줄이기 위해 커패시터를 추가한 형태로 큰 커패시터의 영향으로 인해 지연시간이 늘어난 것을 확인할 수 있다. 그림 1(c) 제안하는 구조는 miller 커패시터를 구성하여 miller effect를 통하여 커패시터의 크기를 줄여 지연시간을 줄인 것을 확인할 수 있다. 표 2를 통해 제안된 구조가 miller 커패시터를 사용하여 커패시터 구조에 비해 출력 지연시간을 개선하는 것을 확인할 수 있다.

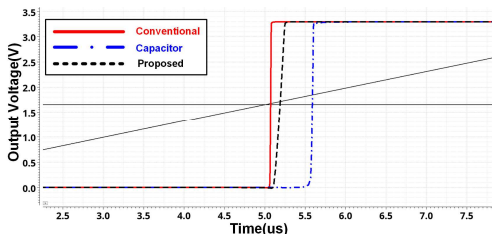


그림 2. 비교기 지연시간 시뮬레이션 결과  
Fig. 2. Comparator delay time simulation results

표 2. 비교기 지연시간 시뮬레이션 결과  
Table 2. Comparator Delay simulation Results

Structure	Delay time [ns]
Conventional (a)	72.12
Capacitor (b)	587.60
Proposed (c)	189.19

그림 3은 각 비교기의 구조가 다르기 때문에 비교기 고유의 노이즈 크기가 다를 수 있다. 그래서 비교기 고유의 노이즈를 측정할 input referred noise의 시뮬레이션 결과이다. 비교기 구조별 input referred noise는 그래프상 비슷한 값을 가지는 것을 확인할 수 있다. 수식 1은 CDS 전달 함수 수식이다.

$$\frac{1}{1 + \left(\frac{w}{w_c}\right)^2} \times 4 \times \sin^2\left(\frac{w \times \Delta T}{2}\right) \quad (1)$$

$w_c$ 는 비교기의 cut-off 주파수이고  $\Delta T$ 는 CDS sampling interval을 나타내는 파라미터이다. 그림 4는 비교기 대역폭이 866kHz일 때의 그래프와 비교기 대역폭이 60kHz일 때의 CDS 전달 함수 그래프이다. 수식 1을 보면 비교기의 대역폭이 CDS 전달 함수에 영향을 미치고 대역폭이 줄어들면 노이즈가 감소하는 것을 확인할 수 있다. 그림 5는 각 비교기 구조의 input referred 노이즈와 CDS 전달 함수를 곱하여 각 비교기 구조별 출력 노이즈를 확인한 결과 그래프이다. 대역폭을 제한한 비교기 구조가 출력 노이즈를 줄인 것을 확인할 수 있다[8]. 표 3은 노이즈 시뮬레이션 결과를 적분하여 노이즈의 크기를 구한 결과 값이다. 기본 비교기 구조와 제안된 비교기 구조의 read-out 노이즈는 각각  $95.04\mu\text{Vrms}$ ,  $47.02\mu\text{Vrms}$ 이다. 따라서 제안된 비교기 구조를 사용하면 기본 비교기 구조에 비해 read-out 노이즈를 41% 줄일 수 있다[12].

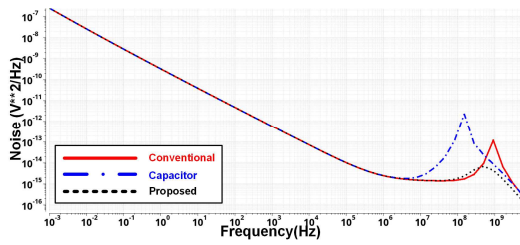


그림 3. 비교기 입력 노이즈  
Fig. 3. Comparator input referred noise

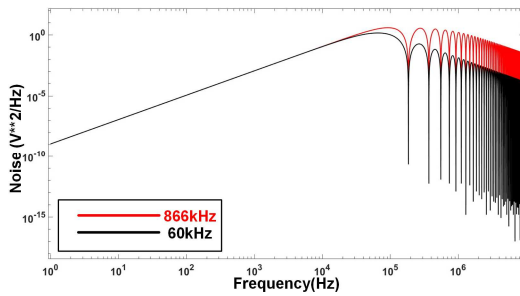


그림 4. CDS 전달함수  
Fig. 4. CDS Transfer function

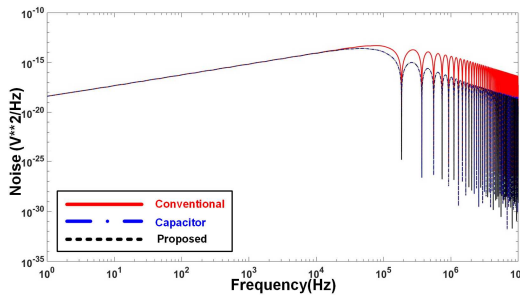


그림 5. 비교기 출력 노이즈  
Fig. 5. Comparator Output Noise

표 3. 비교기 노이즈 시뮬레이션 결과  
Table 3. Comparator Noise simulation Results

Structure	Input Noise [mVrms]	Output Noise [ $\mu$ Vrms]
Conventional(a)	10.29	95.04
Capacitor (b)	10.30	47.03
Proposed (c)	10.29	47.02

### 3 Single-Slope ADC with Dual CDS

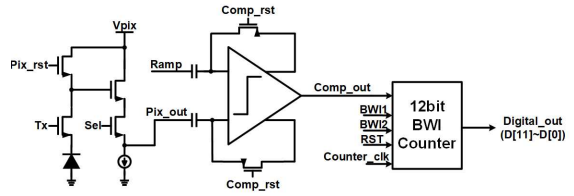


그림 6. 단일 슬로프 ADC 블록 다이어그램  
Fig. 6. Block diagram of SS-ADC

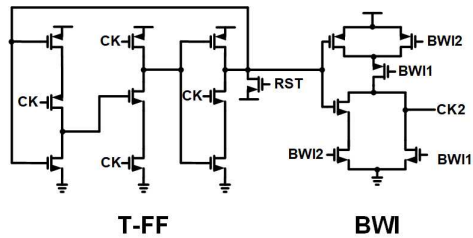
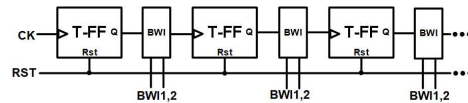


그림 7. BWI CDS 카운터  
Fig. 7. BWI CDS counter

그림 6은 dual CDS를 수행할 수 있는 SS-ADC의 블록 다이어그램이다. 픽셀의 출력은 비교기의 한쪽 입력으로 연결되고 램프 신호는 비교기의 다른 한쪽 입력으로 연결된다. 이 두 신호는 커패시터를 통해 CDS를 수행하게 되고 픽셀의 아날로그 신호는 최종적으로 12비트 디지털 코드로 변환되어 출력된다.

그림 7은 bitwise inversion(BWI)회로와 T-Flip Flop(T-FF)를 합쳐 만든 CDS counter 회로이다. BWI CDS 카운터를 사용하여 카운터 면적을 줄이면서 속도와 전력 소모를 개선했다[7].

그림 8는 SS-ADC의 dual CDS 타이밍 다이어그램이다. Sel 신호는 행을 선택하는 신호이다. 픽셀의 출력이 비교기에 연결되는 동안 Sel 신호는 '1'로 유지되며 한 행의 ADC 동작이 수행된다. SS-ADC의 첫 번째 동작으로 '리셋 샘플링'을 한다. Pixel\_rst 신호가 인가되고 픽셀 리셋 전압이 비교

기의 커패시터로 전달된다. 두 번째 동작은 '비교기 리셋' 단계에서는 Comp\_rst가 낮아지고 비교기의 입력과 출력이 동일한 리셋 레벨로 설정된다. 이때 픽셀에 연결된 커패시터의 한 쪽은 픽셀 리셋 전압으로 설정되고 다른 쪽은 비교기 리셋 전압으로 설정된다. 세 번째 동작은 램프 신호와 픽셀 출력신호가 같아질 때까지 '리셋 카운팅'을 한다. 네 번째 동작은 BW1 동작을 수행하여 각각의 비트는 반전된다. 다섯 번째 동작은 '신호 샘플링'이다. Tx신호가 인가되며 포토다이오드에서 나온 전자에 의해 빛의 세기에 따라 픽셀의 출력 전압이 낮아진다. 픽셀 출력과 비교기는 AC 커플링되어 있어 포토다이오드의 신호만 비교기의 입력으로 전달된다. 이것은 analog CDS를 수행한 것이며 픽셀 FPN을 줄이게 된다.

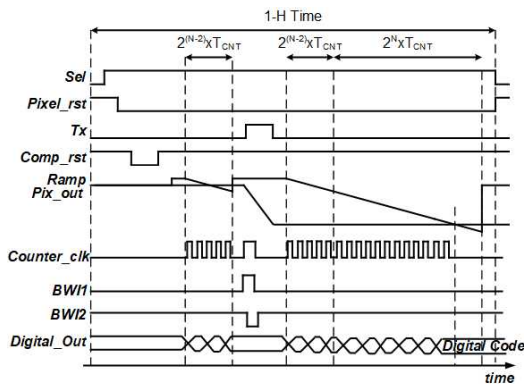


그림 8. 단일 슬로프 ADC 블록 다이어그램  
Fig. 8. Timing diagram of SS-ADC

여섯 번째 동작은 픽셀의 '신호 카운팅'이며 리셋 전압에 픽셀이 빛을 받아 생긴 유효 전압이 더해진 신호 값에서 리셋 카운팅한 값을 빼는 동작을 한다. 순전히 픽셀이 빛을 받아 생긴 유효한 값만을 얻을 수 있다. 이것은 digital CDS 방식을 수행한 것이며 비교기 간의 오프셋을 효과적으로 제거한다. 따라서 dual CDS 방식은 analog CDS의 픽셀 FPN과 디지털 CDS의 컬럼 FPN을 제거함으로써 CIS 성능을 향상시킬 수 있다[4,10].

그림 9는 제안된 비교기 구조를 사용한 단일 슬

로프 ADC 시뮬레이션 결과이다. Counter\_out은 카운터의 12비트 출력을 십진수로 표현한 것이다. 시뮬레이션에서 픽셀 출력의 초기 전압은 2.4V이고 빛을 받은 후 픽셀 출력은 1.9V이다. 즉, 신호 전압은 0.5V이고 최대 신호 전압이 1V인 경우이다. 따라서 Counter\_out은 십진수로 2048 출력되게 된다. 카운터의 최종 출력은 이론적 값과 일치하는 것을 확인할 수 있다[11].

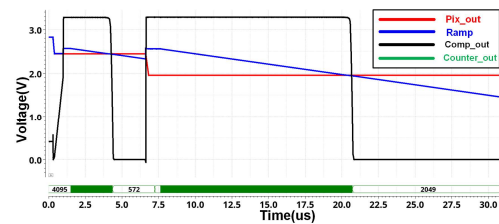


그림 9. 제안된 구조를 사용한 단일 슬로프 ADC 시뮬레이션 결과

Fig. 9. Simulation results of SS-ADC with proposed comparator

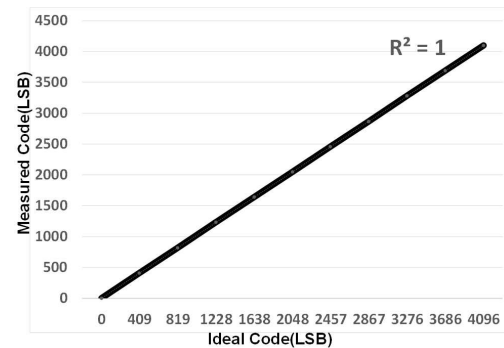


그림 10. 단일 슬로프 ADC 변환 결과

Fig. 10. SS-ADC Conversion results

표 4는 이상적인 테스트 입력이 0.1V 간격으로 SS-ADC 입력에 인가될 때의 출력 디지털 코드를 보여준다. 이때 디지털 코드는 십진수로 표현하였다. 그림 10은 표4를 이용하여 만든 그래프이고 이상적인 코드값과 측정된 코드값 사이에 차이가 거의 없어 일정한 기울기를 갖는 직선을 확인하였다. 따라서 제안하는 비교기를 사용하여 SS-ADC를 설계해도 문제없이 동작하는 것을 확인할 수 있다.

표 4. 0.1V 간격으로 변환한 시뮬레이션 결과(십진수)  
Table 4. Simulation results in 0.1V intervals(Decimal)

신호 전압 [V]	이상적인 Code	실제 Code
0	0	0
0.1	409	409
0.2	819	819
0.3	1228	1229
0.4	1638	1639
0.5	2048	2048
0.6	2457	2458
0.7	2867	2868
0.8	3276	3278
0.9	3686	3687
1	4096	4097

#### 4. 결론

본 논문에서는 miller 커패시터를 사용한 비교기 구조를 제안한다. 제안하는 비교기는 출력의 지연과 노이즈를 줄였다. CDS 카운터는 T-FF과 BWI 회로를 사용하여 전력 소모와 속도가 개선되었다. 이와 같은 특성의 비교기와 카운터를 이용하여 dual-CDS를 수행하는 12-비트 단일 슬로프 ADC를 설계하고 ADC 동작이 문제없이 동작하는 것을 검증하였다. 따라서 제안하는 비교기로 dual CDS를 수행하도록 SS-ADC를 설계한다면 readout 노이즈가 41% 감소 되어 이미지 품질이 개선될 수 있다.

#### REFERENCES

- [1] Sungsoo Choi, Seunghyun Lim, Moosup Lim, Kyo Jin Choo and Jung Hoon Park, "Back-side illuminated 28M-pixel APS-C sensor with high performance", Int. Image Sensor Workshop, 2015.
- [2] S. Lim, J. Lee, D. Kim, and G. Han, "A high-speed CMOS image sensor with column-parallel two-step single-slope ADCs" IEEE Trans. Electron Devices, vol.56, no. 3, pp. 393-393, Mar. 2009.
- [3] J. Cheon and G. Han, "Noise analysis and simulation method for a single-slope ADC with CDS in a CMOS image sensor", IEEE Trans. Circuits Syst. I, vol. 55, no. 10, pp. 2980-29887, Nov. 2008.
- [4] Bu-Young Um, Jong-Ryul Kim, Sang-Hoon Kim, Jae-Hoon Lee, Jimin Cheon, Jaehyuk Choi and Jung-Hoon Chun, "Design and Evaluation of a CMOS Image Sensor with Dual-CDS and Column-parallel SS-ADCs", JSTS journal of semiconductor technology and science, vol.17, no.1, pp.110-119, Feb. 2017.
- [5] Junichiro Azami and Kanagawa. "SOLID-STATE IMAGE SENSOR AND CAMERA SYSTEM". US Patent20100091167A1, filed Oct 6, 2009, and issued Apr 15, 2010.
- [6] Assim Boukhayma, Arnaud Peizerat, Antoine Dupret and Christian Enz, "Design optimization for low light CMOS image sensors readout chain". IEEE. filed June 22, 2014, and issued Oct 23, 2014.
- [7] D. Lee and G. Han, "High-speed, low-power correlated double sampling counter for column-parallel CMOS imagers", ELECTRONICS LETTERS, vol. 43, no. 24, Nov. 2007.
- [8] S.-F. Yeh, K.-Y. Chou, H.-Y. Tu, C. Y.-P. Chao, and F.-L Hsueh, "A 0.66e-rms temporal-readout-noise 3-D-stacked CMOS image sensor with conditional correlated multiple sampling technique," IEEE J. Solid-State Circuits, vol. 53, no. 2, pp. 537-537, Feb. 2018.
- [9] Canxing Piao, Yeonsoo Ahn, Donguk Kim, Jihoon Park, Jubin Kang, Seong-Jin Kim, Jung-Hoon Chun, and Jaehyuk Choi, "A Low-Power Indirect Time-of-Flight CMOS Image Sensor with Fixed Depth Noise Compensation and Dual-Mode Imaging for Depth Dynamic Range Enhancement," IEEE Trans. Circ. Syst. I: Regular Papers, vol. 69, no. 10, pp. 3989-3999, Oct. 2022.
- [10] Q. Liu, A. Edward, M. Kinyua, E. G. Soenen, and J. Silva-Martinez, "A low-power digitizer for back-illuminated 3-D-stacked CMOS image sensor readout with passing window and double auto-zeroing techniques," IEEE J.

Solid-State Circuits, vol. 52, no. 6, pp. 1591-1604, Jun. 2017.

- [11] M. Sakakibara, Koji Ogawa, Shin SaKai and Teruo Hirayama, "A 6.9- $\mu\text{m}$  pixel-pitch back-illuminated global shutter CMOS image sensor with pixel-parallel 14-bit subthreshold ADC", IEEE J. Solid-State Circuits, vol. 53, no. 11, pp. 3017-3025, Nov. 2018.
- [12] Kaiming Nie, Wanbin Zha, Xiaolin Shi, Jiawen Li and Jiangtao Xu "A Single Slope ADC With Row-Wise Noise Reduction Technique for CMOS Image Sensor", IEEE Trans. Circuits Syst. vol. 67, no. 9, pp. 2873-2882, Sep. 2020.

---

## 저자약력

---

### 장 현 빈 (Heon-Bin Jang)

[학생회원]

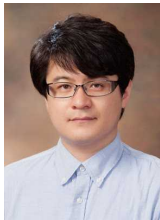


- 2022년 2월 : 금오공과대학교 정보전자전공 (공학사)
- 2023년 3월 ~ 현재 : 금오공과대학교 반도체시스템전공 (공학석사)

<관심분야> CMOS Image Sensor, ADC, PLL

### 천 지 민 (Jimin Cheon)

[종신회원]



- 2003년 2월 : 연세대학교 전기전자전공 (공학사)
- 2005년 2월 : 연세대학교 전기전자공학 (공학석사)
- 2010년 2월 : 연세대학교 전기전자공학 (공학박사)
- 2010년 3월 ~ 2012년 11월 : 삼성전자 책임연구원
- 2012년 11월 ~ 2013년 8월 : SK telecom 매니저
- 2013년 9월 ~ 현재 : 금오공과대학교 전자공학부 교수

<관심분야> CMOS Image Sensor, ADC/DAC