

고전압 전력반도체 소자 개발을 위한 단위공정에서 식각공정과 이온주입공정의 영향 분석

최규철¹, 김경범¹, 김봉환², 김종민¹, 장상목^{1*}¹동아대학교 화학공학과

49315 부산광역시 사하구 낙동대로 550번길 37(하단동)

²넥스젠 파워

21984 인천광역시 연수구 송도과학로 56

(2023년 9월 19일 접수; 2023년 10월 23일 수정본 접수; 2023년 11월 1일 채택)

Analysis of the Effect of the Etching Process and Ion Injection Process in the Unit Process for the Development of High Voltage Power Semiconductor Devices

Gyu Cheol Choi¹, KyungBeom Kim¹, Bonghwan Kim², Jong Min Kim¹, and SangMok Chang^{1*}¹Department of Chemical Engineering

37, Nakdong-daero 550beon-gil, Saha-gu, Busan 49315, Republic of Korea

²NEXGEN POWER CO.

56, Songdogwahak-ro, Yeonsu-gu, Incheon 21984, Republic of Korea

(Received for review September 19, 2023; Revision received October 23, 2023; Accepted November 1, 2023)

요 약

파워반도체는 전력의 변환, 변압, 분배 및 전력제어 등을 담당하는데 사용되는 반도체이다. 최근 세계적으로 고전압 파워반도체의 수요는 다양한 산업분야에 걸쳐 증가하고 있는 추세이며 해당 산업에서는 고전압 IGBT 부품의 최적화 연구가 절실한 상황이다. 고전압 IGBT 개발을 위해서 wafer의 저항값 설정과 주요 단위공정의 최적화가 완성칩의 전기적특성에 큰 변수가 되며 높은 항복전압(breakdown voltage) 지지를 위한 공정 및 최적화 기술 확보가 중요하다. 식각공정은 포토리소그래피공정에서 마스크회로의 패턴을 wafer에 옮기고, 감광막의 하부에 있는 불필요한부분을 제거하는 공정이고, 이온주입공정은 반도체의 제조공정 중 열확산기술과 더불어 웨이퍼 기판내부로 불순물을 주입하여 일정한 전도성을 갖게 하는 과정이다. 본 연구에서는 IGBT의 3.3 kV 항복전압을 지지하는 ring 구조형성의 중요한 공정인 field ring 식각실험에서 건식식각과 습식식각을 조절해 4가지 조건으로 나누어 분석하고 항복전압확보를 위한 안정적인 바디junction 깊이형성을 최적화하기 위하여 TEG 설계를 기초로 field ring 이온주입공정을 4가지 조건으로 나누어 분석한 결과 식각공정에서 습식 식각 1스텝 방식이 공정 및 작업 효율성 측면에서 유리하며 링패턴 이온주입조건은 도핑농도 9.0E13과 에너지 120 keV로, p-이온주입 조건은 도핑농도 6.5E13과 에너지 80 keV로, p+ 이온주입 조건은 도핑농도 3.0E15와 에너지 160 keV로 최적화할 수 있었다.

주제어 : 고전압 전력반도체, 공정최적화, 단위공정, 식각공정, 이온주입공정

Abstract : Power semiconductors are semiconductors used for power conversion, transformation, distribution, and control. Recently, the global demand for high-voltage power semiconductors is increasing across various industrial fields, and optimization research on high-voltage IGBT components is urgently needed in these industries. For high-voltage IGBT development, setting the resistance value of the wafer and optimizing key unit processes are major variables in the electrical characteristics of the finished chip. Furthermore, the securing process and optimization of the technology to support high breakdown voltage is also important. Etching is a process of transferring the pattern of the mask circuit in the photolithography process to the wafer and removing unnecessary parts at the bottom of the photoresist film. Ion implantation is a process of injecting impurities along with thermal diffusion technology into the wafer substrate during the semiconductor manufacturing process. This process helps achieve a certain conductivity. In this study, dry etching and wet etching were controlled during field ring etching, which is an important process for

* To whom correspondence should be addressed.

E-mail: smjang@dau.ac.kr; Tel: +82-51-200-7726; Fax: +82-51-200-7728

doi: 10.7464/ksct.2023.29.4.255 pISSN 1598-9712 eISSN 2288-0690

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

forming a ring structure that supports the 3.3 kV breakdown voltage of IGBT, in order to analyze four conditions and form a stable body junction depth to secure the breakdown voltage. The field ring ion implantation process was optimized based on the TEG design by dividing it into four conditions. The wet etching 1-step method was advantageous in terms of process and work efficiency, and the ring pattern ion implantation conditions showed a doping concentration of $9.0E13$ and an energy of 120 keV. The p-ion implantation conditions were optimized at a doping concentration of $6.5E13$ and an energy of 80 keV, and the p⁺ ion implantation conditions were optimized at a doping concentration of $3.0E15$ and an energy of 160 keV.

Keywords : High voltage power semiconductor, Process optimization, Unit process, Etching process, Ion implantation process

1. 서 론

반도체라고 하면 대부분이 메모리 반도체를 생각하고 우리나라의 경우 우수한 기술력으로 세계 메모리 반도체 시장에서 우위를 점하고 있다[1]. 그러나 메모리 반도체 이외의 비메모리 반도체 분야는 아직도 선진 기업의 기술을 따라가지 못하고 있다. 비메모리 반도체는 정보 처리를 목적으로 제작된 반도체로서 ‘시스템 반도체’라고 불리고 있으며, 각종 전자 제품의 두뇌 역할을 담당하는 칩으로 많이 사용되고 있으므로 필수품이다. 특히 전력반도체의 경우 시스템에 알맞은 전력을 배분하여 제어하거나 변환할 수 있는 기능을 가진 반도체 소자로서 전기자동차의 개발에 있어서 아주 중요한 역할을 담당하고 있다.

전력반도체(Insulated gate bipolar transistor, IGBT)는 내전압이 100 V 이상이거나 정격전류가 1 A 이상인 소자를 총칭하는 것으로 알려져 있다[2]. 특히 신재생 에너지의 인버터 산업 분야에서 600~1,700 V 이하의 전력 소자가 사용되었으나, 최근 2.5 kV 이상의 소자에 대한 연구가 활발하다[3]. IGBT는 빠르게 전기의 흐름을 통하게 하거나 막는 동작을 할 수 있도록 만들어진 고전력 스위칭 반도체로서 주로 전동차, 전기자동차, 에너지저장시스템, 신재생에너지 송배선, 에어컨 등의 인버터나 컨버터에 사용된다. 최근 세계적으로 고전압 전력반도체의 수요는 다양한 산업분야에 걸쳐 증가하고 있는 추세이며 4차 산업혁명을 이끌어 나가는 산업들이 고기능화, 자동화로 변화됨에 따른 수요기기들의 고도화에 적극 대응하기 위해서 핵심 전장부품인 고전압 IGBT의 공정기술연구가 절실하게 필요하다. 고전압 IGBT개발을 위해서 wafer의 저항값 설정부터 주요 단위공정의 조건들이 완성된 칩의 전기적특성에 큰 변수가 되고, 기기장치의 스위칭역할을 하는 소자이므로 높은 항복전압(breakdown voltage) 지지와 포화전압($V_{CE(sat)}$)을 낮추게 하는 공정을 구현함으로써 소자의 작동 시 손실을 최소화라는 측면에서 제조공정 기술력확보에 연구의 필요성이 있다[4-7]. 본 연구에서는 IGBT의 전기적 특성에 있어 내압을 결정하는 중요한 핵심 단위 공정에서 식각 공정과 이온주입공정의 영향을 분석하고자 하였다.

2. 이 론

IGBT는 고전압을 필요로 하는 기기 등에 탑재되어 사용되므로 고효율에 손실률이 적어야 하는 특성을 가지고 있으므로 항복 전압을 유지하기 위하여 다양한 방법이 사용되고 있는데

전계를 분산시키는 필드 링을 사용하는 방법이 있다[8]. 특히 3.3 kV IGBT의 항복 전압을 지지하기 위해서 링 패턴의 역할이 무엇보다 중요하다는 것은 이전의 연구를 통하여 이미 잘 알려진 내용이다[9,10]. 높은 항복 저항을 얻기 위한 단위 공정으로 필드 링 공정, 식각공정, 이온 주입 공정 등이 있다. 식각 공정(etch process) 은포토리소그래피공정에서 마스크회로의 패턴을 wafer에 옮기고, 감광막의 하부에 있는 불필요한부분을 제거하는 공정이다. 식각공정에는 화학약품에 의한 습식식각 방식과 가스를 이용한 건식식각방식이 있고, 두 가지 모두 화학반응을 기본으로 한다. 습식식각은 식각하고자 하는 웨이퍼 대상막의 성질에 따라 여러 가지 약품을 다양하게 희석시켜 일정한 온도를 유지하면서 약품의 화학적반응을 이용하여 막을 제거하는 공정기술이며 습식식각의 중요한 제어요소들을 어떻게 조절하는가에 따라 양호한 식각결과를 얻을 수 있다. 건식식각은 가스를 이용하여 식각하는 방법으로 그 원리는 밀폐된 용기를 진공장치(진공상태에서 식각률 증가, 식각의 산포 우수) 이용하여 일정한 압력을 유지시키면서 챔버(chamber)내부에 막질의 종류에 따라 정해진 식각용 가스를 유입시킨다. 챔버로 유입된 가스를 인가된 고주파 전압에 의해 발생된 플라즈마로 이온화시켜 가스이온화에 의해 나온 이온을 화학, 물리적 반응을 이용하여 막을 제거하는 방식이다. 이온주입공정(ion implantation process)은 반도체의 제조공정 중 열산화기술과 더불어 웨이퍼 기판내부로 불순물을 주입하여 일정한 전도성을 갖게 하는 과정이다. 웨이퍼 기판내부의 주입 깊이를 에너지에 의해 정확하게 조절할 수 있기 때문에 균일성 및 재현성이 뛰어나며 양산 측면에서도 상당히 유용하게 활용되는 공정기술이다. 식각공정으로 포토공정이 완료된 웨이퍼를 불산을 이용하여 식각 하면 산화막을 선택적으로 감광액에 의해 보호받은 부분은 남고, 감광액에 의해 보호받지 못한 부분은 제거시켜 포토마스크 위의 패턴과 같은 산화막 패턴이 웨이퍼 위에 형성된다. Figure 1은 앞 공정을 진행하고, field ring이온주입을 진행하는 공정의 모식도이다. 그림에서 산화막이 open되어있는 곳으로 이온주입이 이루어지는 부분이다. 이온주입공정은 칩에 전기가 흐를 수 있도록 불순물을 주입하여 전도성의 반도체를 만드는 것이다[11].

이온주입공정을 완료한 후 감광액을 황산조에서 처리하여 제거하고 웨이퍼 표면의 물기를 완전히 제거한다. 다음 공정으로 2차 산화막을 성장시킨 후 p⁺ buffer 패턴을 만들기 위해 포토리소그래피공정을 진행한다. p⁺ buffer 회로가 새겨져 있는 마스크를 이용하여 p⁺ 패턴을 형성한다. 그 다음 p⁺ buffer 식각공정으로 건식식각장비로 조건은 CF₄ 빔, 1,000 W, 120 sec/

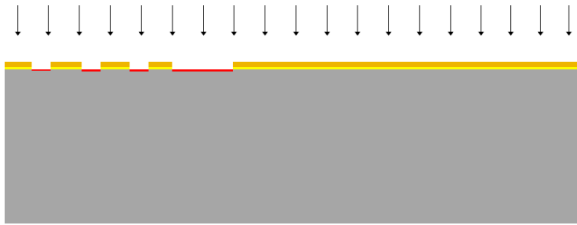


Figure 1. Schematic illustration of field ring ion implantation.

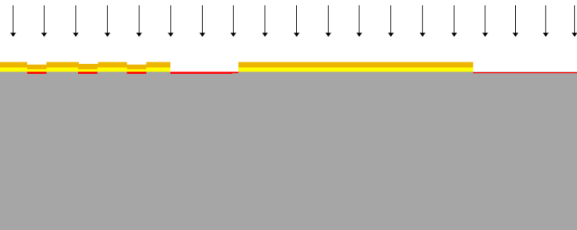


Figure 2. Schematic illustration of p+ buffer ion implantation.

500 W, 50 sec에서 2스텝으로 진행한다. 건식식각은 1980년대 이후 반도체의 집적도가 계속 높아지면서 플라즈마를 이용한 방법으로 미세공정을 가능하게 한다. 플라즈마는 고체에 에너지를 가하면 액체가 기체가 되는데 다시 이 기체 상태에 높은 에너지를 가하면 원자속의 전자가 분리되어 플라즈마상태가 된다. 플라즈마는 에너지 상태가 보통 기체보다 높기 때문에 반응성이 높아 실리콘이나 글라스 같은 물질을 제거할 수 있다. Figure 2는 p+ buffer 이온주입을 진행하는 모식도이다[11]. p+ buffer 이온주입공정이 완료된 후 감광막을 황산조에서 처리하여 제거하고, 웨이퍼 내에 주입된 불순물을 확산시키는 공정을 진행한다.

3. 실험방법

3.1 Si 웨이퍼 준비

링 패턴을 설계하기 위해 기본적인 공정진행 순서에 준하여 첫 번째 공정인 field oxide막은 버티칼 확산로(Alpha-808SDN, Tokyo Electron Limited, Inc)에서 Si 웨이퍼(8 in, flat N-type, Sumco Corp.)에 1.7 μm 두께로 산화막을 성장시킨 후 필드 링 포토 리소그래피 공정으로 포지티브 감광액으로 도포(YPP-

Table 1. Split test conditions for ring etch process

Test	Etching	Applicability	Condition	Remarks
1st	Dry	O	1,000 W 120 sec and 500 W 50 sec 2step Etch	CF4 beam
	Wet	O	870 Sec Etch	
2nd	Dry	O	1,000 W 70 sec and 500 W 50 sec 2step Etch	CF4 beam
	Wet	O	1,671 sec Etch	
3rd	Dry	X		
	Wet	O	1,500 sec, Bake 150°C 20 min, 1300 sec 2step Etch	
4th	Dry	X		
	Wet	O	2,800 sec 1step Etch	

1700, Youngchang Chemical Co. Ltd.)한 후 스텝퍼(NSR-2205i10C, Nikon, Japan)에서 노광을 실시하였다. 링 패턴을 형성하기 위한 최적의 식각 조건을 찾기 위하여 시료 웨이퍼 제작은 확산로를 활용하여 준비된 Si 웨이퍼(8인치, N-형, 비저항 160 Ωcm, 180 Ωcm, 300 Ωcm)에 산화막 17,000 Å을 성장시켰다.

3.2 링 식각공정 실험

IGBT의 3.3 kV 항복전압을 지지하는 ring 구조형성의 중요한 공정으로 field ring 식각실험이고, 실험방법은 건식식각과 습식식각을 조절하여 4가지 조건으로 나눠서 실험하여 ring식각조건을 최적화시키는 것이다. 1차 실험조건은 건식 2스텝 진행 후 습식 870 sec로 진행하고, 2차 실험조건은 건식식각 2스텝 진행 후 습식식각 1,671 sec로 진행하고, 3차 실험조건은 습식식각만 1,500 sec 진행 후에 베이크 150°C 20 min하고 1,300 sec로 2스텝 진행한다. 4차 실험조건은 습식식각 2,800 sec 1스텝으로 진행한다. Table 1에서는 각 실험을 위해 설정된 조건들이며, 실험 시료용 웨이퍼는 산화막 두께 17,000 Å 성장한 것을 사용한다. 건식식각은 식각 시간에 따라서 산화막의 식각 정도가 달라지고 식각 후 패턴의 최적 step coverage를 확보하기 위해(Rainbow 4520 Lam Research Corp.) CF4 beam을 각 실험조건으로 진행하였고, 습식식각은(EWS802 (NH4F:HF=10:1) (Kaijo Corp.))에서 각 실험조건으로 진행한다. 4가지 실험방법

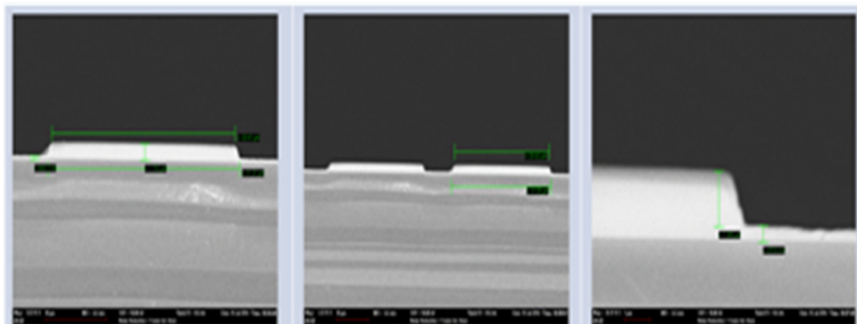


Figure 3. Cross-sectional SEM images of field ring developed by 1st etch test.

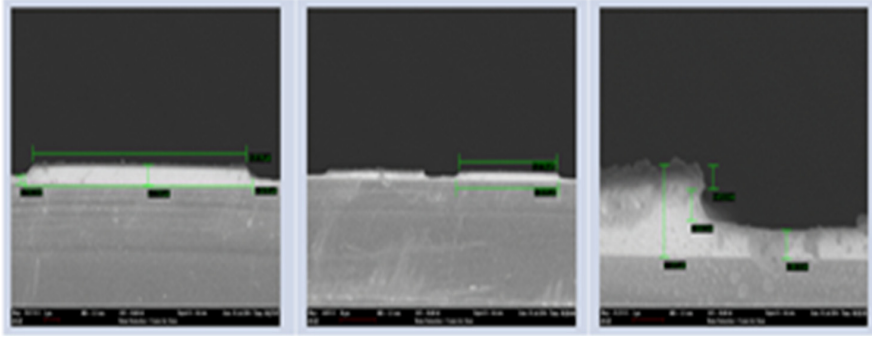


Figure 4. Cross-sectional SEM images of field ring developed by 2nd etch test.

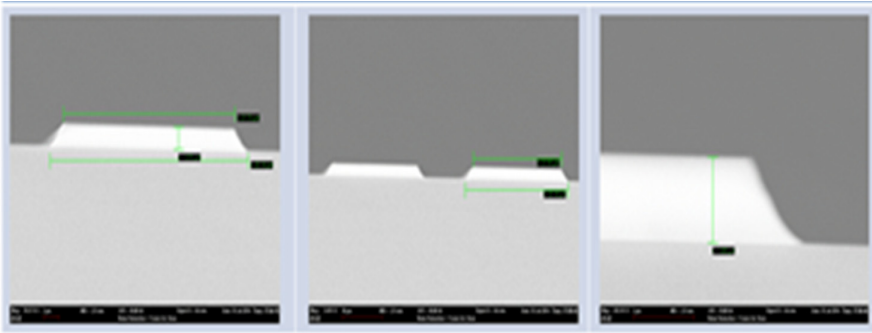


Figure 5. Cross-sectional SEM images of field ring developed by 3rd etch test.

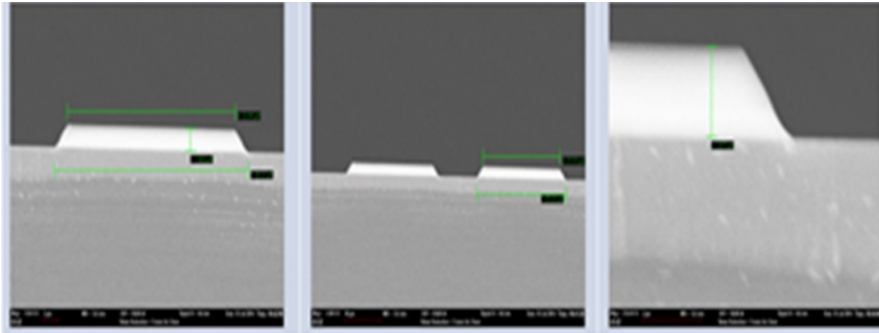


Figure 6. Cross-sectional SEM images of field ring developed.

으로 진행하면서 monitoring wafer를 각 1장씩 포함하여 식각 공정진행 후 ring 패턴의 결과를 SEM으로 분석한다[12,13].

Figure 3은 1차 테스트로 건식식각 조건 1,000 W 120 sec, 500 W 50 sec로 2step 진행하여 산화막 12,000 Å 식각하고, 습식식각 조건은 불산조에서 870 sec 로 산화막 5,000 Å 식각한 후의 SEM이미지사진이다. 식각공정이 완료된 wafer를 검토한 결과 step coverage는 61.78로 측정되었고, ring과 ring 패턴 사이에 산화막이 잔존하는 것을 확인하였다. 그 원인으로는 건식식각 때 발생한 polymer에 의한 masking 현상으로 습식식각 때 polymer가 산화막 위에 잔존하여 습식식각 후에도 산화막이 남아 있는 것으로 추정된다(Figure 7).

Figure 4는 2차 테스트로 건식식각 조건 1,000 W 70 sec, 500 W 50 sec로 2 step 진행하여 산화막 7,500 Å 식각하고, 습식식각 조건은 불산조에서 870 sec 진행하여 산화막 10,000 Å 식각한 후의 SEM 이미지사진이다. 식각공정이 완료된 wafer를 검토한 결과 step coverage는 47.61로 측정되었고, ring과 ring 패턴 사

이에 산화막이 잔존하는 것을 확인하였다. 그 원인으로는 1차 테스트와 동일하게 건식식각 때 발생한 polymer에 의한 masking 현상으로 습식식각 때 polymer가 산화막 위에 잔존하여 습식식각 후에도 산화막이 남아 있는 것으로 추정된다(Figure 7).

Figure 5는 3차 테스트로 습식식각 2스텝으로 진행했고, 1스텝 조건은 불산조에서 1,500 sec 진행하여 산화막 9,000 Å 식각 후 bake 150°C 20 min 진행하고, 2스텝 조건은 습식식각 1,300 sec 식각하여 산화막 8,000 Å 제거한 후 SEM이미지사진이다. 식각공정이 완료된 wafer를 검토한 결과 step coverage는 47.61로 측정되었고, ring과 ring 패턴 사이에 산화막이 잔존하지 않는 것으로 검토되었다(Figure 7).

Figure 6은 4차 테스트로 습식식각 1스텝 진행했고, 식각조건으로 불산조에서 2,800 sec 진행하여 산화막 17,500 Å 식각 후의 SEM이미지사진이다. 식각공정이 완료된 wafer를 검토한 결과 step coverage는 48.15로 측정되었고, ring과 ring 패턴 사이에 산화막이 잔존하지 않는 것으로 검토되었다(Figure 7).

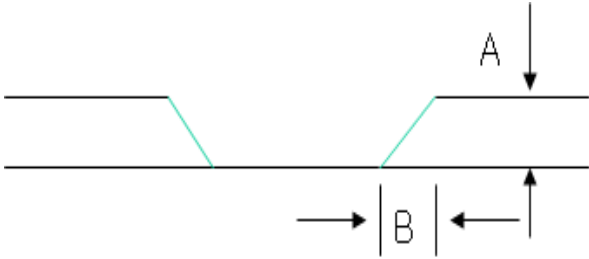


Figure 7. Calculation of step coverage.

실험용 시료 wafer는 field ring 패턴을 형성하기 위해 준비한 것으로 퍼니스에서 산화막 두께를 17,000 Å로 성장시킨 균일한 wafer를 사용하였다. 스텝커버리지는 식각공정 후에 산화막이 스텝으로 남아 있는 정도를 나타내며, Figure 7은 식각 후 모습도이고, 산출 공식은 스텝커버리지 = $B/A * 100\%$ 이다[14].

3.3 이온주입공정 실험

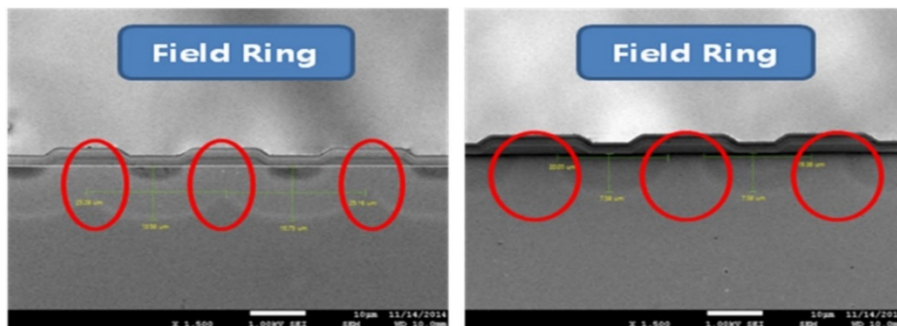
IGBT 3.3 kV 항복전압확보를 위한 안정적인 바디 junction 깊이형성을 최적화하기 위하여 TEG 설계를 기초로 field ring 이온주입공정을 4가지 조건으로 나눠서 실험한다.

1. 에너지 : 120 keV, 도핑농도 : 9.0E13,
2. 에너지 : 150 keV, 도핑농도 : 9.0E13,
3. 에너지 : 120 keV, 도핑농도 : 9.0E13 + 에너지 : 150 keV, 도핑농도 : 9.0E13,
4. 에너지 : 150 keV, 도핑농도 : 9.5E14 조건으로 split하여 실험한다.

데이터의 신뢰성확보를 위해 15개 시료 wafer를 조건별로 3회씩 이온주입을 진행하여 확산공정을 1,200°C 180 min으로 일괄 진행한다. Table 2는 테스트공정이 완료된 후 얻어진 소자의 항복전압을 측정된 결과이다. 한 웨이퍼에 많은 칩들이 존재하므로 데이터를 정량화하여 나타내었다(★ 아주 우수, ○ 나쁘지 않음, × 나쁨). 테스트결과 에너지 120 keV, 도핑농도 9.0E13 와 에너지 150 keV, 도핑농도 9.0E13 조건으로 진행된 칩의 항복전압이 높다는 것을 확인할 수 있다. 반면에 double charge와 높은 도핑농도 조건으로 진행된 시료칩에서 항복전압이 낮게 나와 그 원인을 분석하기 위해 ring junction부분을 SEM으로 분석하였다. Figure 8(a)에서 보면 ring과 ring패턴 junction 간 서로 붙어서 형성된 것을 확인하였고, 항복전압이 떨어지는 현상은 ring과 ring간의 전압분배에서 전계 불균일에 따른 문제

Table 2. Split test conditions for field ring implantation(Excellent : ★, Good : O, Bad : X)

	120KeV 9.0E13			150KeV 9.0E13			120KeV 9.0E13 + 150KeV 9.0E13			150KeV 9.5E14		
	1st	2th	3sd	1st	2th	3sd	1st	2th	3sd	1st	2th	3sd
1	★	★	★	★	★	★	★	★	★	O	★	O
2	★	★	★	★	★	★	O	O	X	O	O	O
3	★	★	★	★	★	★	★	O	O	O	O	O
4	★	★	★	★	★	★	O	X	X	X	X	X
5	★	★	★	★	★	★	★	O	O	O	O	O
6	★	★	★	★	★	★	X	X	X	O	O	O
7	★	★	★	★	★	★	★	O	O	O	O	O
8	★	★	★	★	★	★	★	★	★	★	★	★
9	★	★	★	★	★	★	O	O	O	O	O	O
10	★	★	★	★	★	★	★	★	★	★	O	O
11	★	★	★	★	★	★	O	O	O	O	O	X
12	★	★	★	★	★	★	★	★	★	★	★	★
13	★	★	★	★	★	★	O	X	X	X	X	X
14	★	★	★	★	★	★	★	★	O	O	O	O
15	★	★	★	★	★	★	O	O	X	O	O	X



(a) 150 keV, 9.5E14

(b) 120 keV, 9.0E13

Figure 8. Cross-sectional SEM images of ring pattern with regard to ion implantation condition.

로 추정된다[11,15].

4. 결과 및 고찰

4.1 링식각실험 결과

식각공정의 기본적인 사항으로 마스크 하부막에 대한 선택성, wafer내와 wafer간 패턴의 균일성 및 재현성 그리고 일정한 step coverage가 확보되어야 된다. ring식각공정을 4가지 조건 형태로 진행한 시료의 결과를 SEM이미지사진으로 비교 분석하였다(Figure 9). (a)는 건식식각으로 1,000 W에서 120 sec, 500 W에서 50 sec 2스텝으로 진행한 후 습식식각 870 sec 진행한 결과이다. (b)는 건식식각으로 1,000 W에서 70 sec, 500 W에서 50 sec 2스텝으로 진행한 후 습식식각 1,671 sec 진행한 결과이다. (c)는 습식식각 1,500 sec 진행 후 오븐베이크 150°C에서 20 min 진행 후 다시 1,300 sec로 2스텝 습식식각 한 결과이다. (d)는 습식식각으로만 2,800 sec 1스텝 진행한 결과이다. (Figure 9).

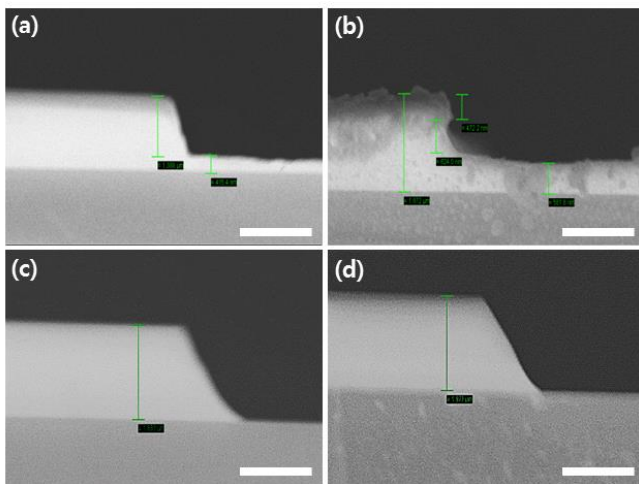


Figure 9. Cross-sectional SEM images of oxide ring patterns etched by different conditions of (a, b) two-step dry etching with post wet etching, (c) two-step wet etching, and (d) one-step wet etching.

4.1.1 링식각실험 검토

Ring식각공정에서 건식식각과 습식식각을 조합하여 진행한 결과 링패턴과 링패턴 사이에 산화막이 잔존하여 부적합한 공정으로 검토되었다. 습식식각방법으로 2회 나눠서 진행한 것과 1회로 진행한 결과에 있어서 차이가 없으므로 습식식각 1회 진행방식을 채택하는 것이 공정관리 및 작업 효율측면에서 유리하다는 결론을 얻게 되었다.

4.2 이온주입공정실험 결과

3.3 kV IGBT소자 개발에 있어서 이온주입공정은 7스텝 진행한다. 상온에서(25°C) 전자빔을 이용하여 wafer 표면에 p형, n형 불순물을 각 스텝에 맞게 도핑농도와 에너지를 설정하여 합당하게 주입한다. 단결정실리콘은 원자배열이 규칙적이므로

어떤 입사각에서는 배열간격사이를 통하여 이온이 깊숙하게 도달하는 경우가 있는데, 이것이 채널링(Channeling)현상이라고 한다. 이 현상은 기판의 면방위, 이온종류, 입사각도, 에너지에 영향을 받고, 억제방법으로 입사각을 약 7°로 해서 진행하였다[16].

4.2.1 이온주입공정실험 검토

Table 3과 같이 7스텝 이온주입조건을 최적화시켰다. Field ring이온주입은 dose $9.0 \times 10^{13} \text{cm}^{-2}$, energy 120 keV, 불순물은 P로 진행하고, p+ buffer 이온주입은 dose $1.0 \times 10^{15} \text{cm}^{-2}$, energy 120 keV, 불순물은 B로 진행하고, JFET 이온주입은 dose $1.0 \times 10^{12} \text{cm}^{-2}$, energy 100 keV, 불순물은 P로 진행하고, p- base이온주입은 dose $6.5 \times 10^{13} \text{cm}^{-2}$, energy 80 keV, 불순물은 B로 진행하고, n+이온주입은 dose $3.0 \times 10^{16} \text{cm}^{-2}$, energy 110 keV, 불순물은 P로 진행하고, p+ 이온주입은 dose $3.0 \times 10^{15} \text{cm}^{-2}$, energy 160 keV, 불순물은 B로 진행하고, 마지막 back side 이온주입은 dose $1.0 \times 10^{16} \text{cm}^{-2}$, energy 120 keV, 불순물은 B 조건으로 최적화시켰다.

Table 3. Optimal implantation process conditions

Process	Conditions
Field ring	Dose $9.0 \times 10^{13} \text{cm}^{-2}$ Energy 120 keV, P, 7°
P+ buffer	Dose $1.0 \times 10^{15} \text{cm}^{-2}$ Energy 120 keV, B, 7°
JFET	Dose $1.0 \times 10^{12} \text{cm}^{-2}$ Energy 100 keV, P, 7°
P- base	Dose $6.5 \times 10^{13} \text{cm}^{-2}$ Energy 80 keV, B, 7°
N+	Dose $3.0 \times 10^{16} \text{cm}^{-2}$ Energy 110 keV, P, 7°
P+	Dose $3.0 \times 10^{15} \text{cm}^{-2}$ Energy 160 keV, B, 7°
Back	Dose $1.0 \times 10^{16} \text{cm}^{-2}$ Energy 120 keV, B, 7°

5. 결론

본 연구에서는 기존의 저전압 IGBT의 공정을 기초로 하고, 선진사 칩의 표면과 수직구조의 데이터를 토대로 주요 단위공정조건들을 시뮬레이션하여 얻은 결과를 이용하여 항복전압 3.3 kV, 전류 60 A인 고전압 NPT-IGBT 소자의 공정최적화를 위한 주요 단위공정 중 식각공정과 이온주입 공정의 최적화를 위한 연구를 하여 다음과 같은 결과를 얻었다.

첫째, 마스크 하부막에 대한 선택성, 웨이퍼 내와 웨이퍼 간 균일성 및 재현성 그리고 일정한 step coverage가 확보가 되어야 하는 식각공정은 건식식각, 습식식각 그리고 오븐베이크의 조건을 변화시켜가면서 병행 진행한 시료를 SEM이미지사진으로 비교 분석하여 습식식각 1스텝 방식이 공정 및 작업효율성 측면에서 유리하다는 결론을 얻었다.

둘째, 7스텝 진행되는 이온주입공정은 25°C에서 전자빔을 이용하여 웨이퍼표면에 p형, n형 불순물을 각 스텝에 맞게 도핑농도와 에너지를 설정하여 합당하게 주입하여야한다. 링패턴 이온주입조건은 도핑농도 9.0E13과 에너지 120 keV로, p-이온주입 조건은 도핑농도 6.5E13과 에너지 80 keV로, p+ 이온주입 조건은 도핑농도 3.0E15와 에너지 160 keV로 최적화하였다.

본 연구에서 얻어진 고전압 3.3 kV, 60 A NPT-IGBT의 주요 단위공정조건과 공정흐름도는 차세대 고전압 IGBT의 공정개발 및 연구에 응용되어 활용될 것으로 보인다.

사 사

이 논문은 2022년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업(NRF-2022 R1F1A107156611)입니다.

References

- Kang, E. G., Kim, B. J., and Lee, Y. H., "A Study on Electrical Characteristics of Trench Field Ring for Breakdown Characteristics," *J. Korean Inst. Electr. Electron. Mater. Eng.*, **23**(1), 1-5 (2010).
- Kim, S. C. and Kim E. D., "Electrical Characterization and Metal Contacts of ZnO Thin Films Grown by the PLD Method," *J. Korean Inst. Electr. Electron. Mater. Eng.*, **15**(1), 15-23 (2002).
- Kang, E. G., "Study on 3.3 kV Super Junction Field Stop IGBT According to Design and Process Parameters," *J. Korean Inst. Electr. Electron. Mater. Eng.*, **30**(4), 210-213 (2017).
- Vaid, R. and Padha, N., "A Novel Trench Gate Floating Islands Power MOSFET (TG-FLIMOSFET): Two-dimensional Simulation Study," *Microelectron. Reliab.*, **88**(11), 3316-3326 (2011).
- Tam, W. S., Siu, S. L., Wong, O. Y., Kok, C. W., Wong, H., and Filip, V., "Modeling of Terminal Ring Structures for High-voltage Power MOSFETs," *Microelectron. Reliab.*, **52**(8), 1645-1650 (2012).
- Schaur, S., Stadler, P., Meana-Esteban, B., Neugebauer, H., and Serdar Sariciftci, N., "Electrochemical Doping for Lowering Contact Barriers in Organic Field Effect Transistors," *Organic Electronics*, **13**(8), 1296-1301 (2012).
- Darbandy, G., Aghassi, J., Sedlmeir, J., Monga, U., Garduño, I., Cerdeira, A., and Iñiguez, B., "Temperature Dependent Compact Modeling of Gate Tunneling Leakage Current in Double Gate MOSFETs," *Solid-State Electronics*, **81**, 124-129 (2013).
- Kang, E. G., "Optimal Design of Field Ring for Power Devices," *Inst. Korean Electr. Electron. Eng.*, **14**(3), 199-204 (2010).
- Jung, E. S., Kyoung, S. S., Chung, H., and Jang, E. G., "A Study of Field-Ring Design using a Variety of Analysis Method in Insulated Gate Bipolar Transistor (IGBT)," *J. Electr. Eng. Technol.*, **9**(6), 1995-2003 (2014).
- Niedernostheide, F. J., Schulze, H. J., Laska, T., and Philippou, A., "Progress in IGBT Development," *IET Power Electron.*, **11**(4), 646-653 (2018).
- NCS(National Competency Standards), Electrical and Electronics, Electronic Device Development, Semiconductor Development, Learning Modules.
- Kim, B. H., Shin, H. K., Park, J. Y., and Chang, S. M., "Optimizing Collector-Emitter Saturation Voltage at 3000 V Insulated Gate Bipolar Transistors Using Laser Thermal Annealing," *Trans. Electr. Electron. Mater.*, **20**, 7-11 (2018).
- Kim, B. H., Park, J. Y., Park, K. H., Shin, H. K., Kim, G. J., and Chang, S. M., "Optimized Design of Multi-Zone Junction Termination Extension for High Voltage Power Devices (IGBTs)," *J. Nanosci. Nanotechnol.*, **17**(8), 5606-5611 (2017).
- Williams, K. R., Gupta, K., and Wasilik, M., "Etch Rates for Micromachining Process-part II," *J. Microelectromech. Syst.*, **12**(6), 761-778 (2003).
- Ion Implantation Chapter 7, Semiconductor Materials Lab, Hanyung University.
- Kim, B. H., Park, G. H., Choi, J. G., and Chang, S. M., "Study on the Breakdown Voltage in the Implantation and Drive in Process," Korea/Japan/Taiwan Chemical Engineering Conference (2019).