

FLL-Assisted-PLL 기반의 텔레메트리 시스템 정밀 시각동기 알고리즘

Time Synchronization Algorithm based on FLL-Assisted-PLL for Telemetry System

김 건 희* · 진 미 현
단암시스템즈 기술연구소

Geon-Hee Kim* · Mi-Hyun Jin

R&D Center, DANAM Systems, Anyang 13930, Korea

[요 약]

본 논문에서는 주파수 오차 및 위상 오차가 존재하는 텔레메트리 시스템에 적용하기 위한 FLL-assisted-PLL 기반의 시각 동기 알고리즘을 제안한다. 텔레메트리 시스템은 분산 획득 장치들로부터 상태 정보를 계측하여 비행 상태를 분석할 수 있는 데이터를 생성하며, 각 상태 정보를 오차 없이 수집하기 위해서는 마스터와 슬레이브간의 정밀한 시각 동기가 필요하다. 이때, 마스터의 시각 펄스에는 외부 및 내부 요소로 인하여 발생할 수 있는 주파수 및 위상 변화가 존재하므로 지속적으로 텔레메트리 데이터를 제공하기 위해서 정밀 시각 동기를 유지할 수 있는 방법이 반드시 필요하다. 본 논문에서는 고속 시각동기가 가능할 뿐만 아니라 넓은 범용성, 높은 시각 동기 정밀도를 갖는 FLL-assisted-PLL 기반의 시각 동기 알고리즘을 제안하고 구현을 통해 타당성을 검증하였다. 이때 이론적인 성능 검증을 위하여 파이썬 기반의 시뮬레이션을 수행하였으며, 실제 텔레메트리 시스템에 적용하기 위해 FPGA 내에 VHDL 로직을 구현하여 주파수 오차 및 위상 오차에 따른 성능 평가를 수행하였다.

[Abstract]

In this paper, we propose a FLL-assisted-PLL based time synchronization algorithm for telemetry systems where frequency and phase errors exist in time synchronization pulse. The telemetry system may analyze the flight state by acquiring the state information in the distributed system. Therefore, in order to collect each state information without errors, precise time synchronization between the master and the slave is required. At this time, the master's time pulse have frequency and phase changes that can be caused by external and internal factors, so a method to maintain precision time synchronization is essential to provide telemetry data continuously. We propose the FLL-assisted-PLL based algorithm that is capable of high-speed synchronization and has high time synchronization accuracy. The proposed algorithm is verified through python simulation, and the VHDL Logic has been implemented in FPGA to check the performance according to the frequency errors and phase errors.

Key word : Discrete Time, FLL-Assisted-PLL, Field Programmable Gate Array, Telemetry system, Time Synchronization.

<http://dx.doi.org/10.12673/jant.2022.26.6.441>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 30 November 2022; Revised 1 December 2022
Accepted (Publication) 19 December 2022 (30 December 2022)

*Corresponding Author : Geon-Hee Kim

Tel: +82-031-538-6047

E-mail: ghkim@danam.co.kr

I. 서론

비행체의 비행상태를 분석하기 위해 비행정보를 계속하여 지상으로 전송하는 시스템을 텔레메트리 시스템이라고 한다. 지상에서는 데이터를 실시간으로 수신하여 비행체의 현재 상태를 모니터링하고 궤도를 분석한다.

국방, 항공/우주 산업에 적용되는 기술이 발전하면서 비행체들이 각각의 목적에 맞게 다양하게 개발이 진행되고 있다. 유도 무기 또는 우주 발사체 등의 대형 비행체들은 실시간으로 분석해야 하는 계속 데이터들이 많아지면서 각각의 위치에 센서들이 분산되어 있는 분산 시스템으로 이루어져 있다[1]. 이러한 분산 시스템에서 계속한 비행체의 상태 정보들은 PCM(pulse code modulation) Encoder와 같은 전송 시스템에서 통합되고, 통합된 데이터는 약속된 전송 규격인 IRIG(inter range instrumentation group) - 106에 맞춰 변환되어 지상의 수신소로 전송된다. 비행시험 중에 획득한 데이터로 비행체의 상태 확인과 시험의 안전성을 확보하기 때문에 분산 시스템에서 계속한 데이터들에 대한 신뢰성이 매우 중요하다. 때문에 데이터의 정확도와 안정성을 위해 분산 시스템 간 시각 동기화의 중요성이 커지고 있으며 보다 정밀한 시각 동기화를 위한 연구가 활발하게 진행되고 있다[2]-[5].

비행시험 중 이벤트가 발생하였을 때, 각각 분산 시스템에서 획득한 정보를 정확하게 분석하기 위해서는 같은 클럭 타이밍을 가지는 시각 동기화가 필요하다. 시각 동기화 기법으로는 마스터의 클럭과 슬레이브의 클럭을 동기화 시켜주는 IEEE 1588 PTP(precision time protocol) 알고리즘과 지연 오차를 이용하는 DLL(delay locked loop), 위상 오차를 이용하는 PLL(phase locked loop), 주파수 오차를 이용하는 FLL(frequency locked loop) 등이 있다[6].

먼저 네트워크 시스템에서 IEEE 1588 PTP 알고리즘을 이용하여 이동체 간의 메시지 교환으로 클럭의 오차와 지연을 계산하여 시각 동기화하는 기법이 제안되었다[7]-[8]. 하지만 주기적으로 메시지를 주고 받으면서 마스터와 슬레이브 노드 간의 전파 지연 및 클럭 오차를 계산해야 하고, 이를 슬레이브에 반영해야 한다. 그리고 이를 정해진 시간 이내에 수행하기 위한 스케줄링이 필요하므로 구현이 복잡하다.

이를 해결하기 위하여 기존 논문에서는 텔레메트리 시스템의 시각 펄스 변화에도 불구하고 안정적으로 시각 동기를 수행하기 위해 2차 루프 필터를 적용한 PLL 구조의 시각 동기 알고리즘을 제안하였다[9]. 루프 필터의 입력인 위상차를 생성하기 위하여 샘플마다 생성된 기준 펄스와 복사 펄스의 상승 에지마다 두 펄스의 시간 지연을 계산하고, 2차 PLL 루프 필터를 통해 복사 펄스를 기준 펄스에 동기화를 시킨다. 이때 텔레메트리 시스템에서는 지속적으로 주파수 변화가 발생할 가능성이 거의 존재하지 않는다고 가정하였다. 그러나 많은 텔레메트리 시스템에서 외부 충격이나 운영상의 문제로 인하여 주파수가 변동될 가능성이 존재하였다. 따라서 주파수 변화에 대응할 수 있는

시각 동기 알고리즘의 개선이 반드시 필요하다.

본 논문에서는 위상 동기가 가능한 기존 2차 PLL 구조에 주파수를 추적할 수 있는 1차 FLL을 결합한 FLL-assisted-PLL 구조의 시각 동기 기법을 제안한다. 이러한 구조는 주파수 및 위상 동기를 동시에 수행할 수 있는 구조로, 주파수 오차가 존재하는 동기 초반에는 마치 FLL처럼 동작하며 주파수 오차가 충분히 감소되어 0에 수렴하는 후반에는 위상 오차만이 입력으로 인가되어 PLL처럼 동작하게 된다. 제안한 알고리즘은 파이썬(python)을 이용하여 소프트웨어 기반의 테스트 플랫폼을 구현한 후 타당성을 확인하였으며, 텔레메트리 시스템에 실제로 적용하기 위하여 VHDL(VHSIC hardware description language) 로직을 구현함으로써 성능을 확인하였다. 이때 구현된 로직은 FPGA(field programmable gate array) Kit를 이용하여 검증하였다.

II. 시각동기 알고리즘

본 논문에서 제안한 시각동기 알고리즘과 소프트웨어를 이용하여 검증한 내용을 설명한다.

2-1 FLL-assisted-PLL 구조

기존 연구에서는 시각 펄스의 동기를 위하여 2차 이산시간 PLL을 적용하고 성능을 확인하였다[9]. 해당 연구에서, PLL만을 이용하여 시각동기를 수행하기 위해서는 몇 가지 가정이 필요하였다. 그 중 대표적인 가정이 주파수의 동일성으로, PLL이 안정적으로 수렴할 수 있도록 마스터에서 송신한 기준 시각 펄스와 슬레이브에서 생성한 복사 시각 펄스의 주파수는 유사하거나 동일할 필요가 있었다. 즉 기준 펄스의 주파수 정보를 사전에 확보하여야 한다. 그러나 텔레메트리 분야에서 사용하는 시각 펄스의 주파수는 매우 다양할 뿐만 아니라 외부 충격, 무선 전송 등 다양한 요소로 인하여 고정되지 않고 변화할 수 있다. 이러한 주파수 변화가 PLL에서 추적 가능한 범위 내에서 발생한다면 시각동기를 유지할 수 있으나, 범위 밖이라면 시각 동기에 실패하게 된다. 또한 동기 정확도를 위하여 PLL 추적 대역폭을 매우 축소된 상태에서는 주파수 오차로 인한 동기 실패가 더욱 쉽게 발생한다.

따라서 본 논문에서는 PLL에 FLL을 결합한 형태의 시각 동기 알고리즘을 그림 1과 같이 제시하였다. FLL은 주파수 동기를 수행할 경우에 주로 사용되며, PLL과 결합 시 한 차수 낮은 형태로 구현될 수 있다. 이와 같은 구조는 흔히 디지털 시스템에서 사용되고 있으며, 주파수 오차가 클 경우에는 FLL처럼 동작하고 주파수 오차가 0에 수렴하게 되면 PLL처럼 동작한다. 즉 마스터 장치의 기준 시각 펄스 주파수를 모르는 상태에서도 FLL이 동작하여 슬레이브에서 생성한 복사 시각 펄스의 주파수를 일치시킬 수 있으며, 주파수가 거의 근접한 후에는 PLL이 동작하여 시각 펄스의 위상 동기가 가능하다.

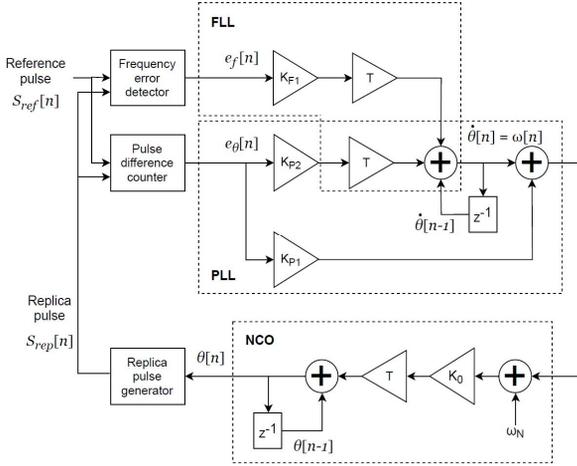


그림 1. 시각동기를 위한 FLL-assisted-PLL 구조
 Fig. 1. FLL-assisted-PLL structure for timing synchronization

그림 1에서 FLL-assisted-PLL은 크게 주파수 오차 검출을 위한 주파수 검파기, 위상 오차 검출을 위한 위상 검파기, 1차 FLL 루프 필터 및 2차 PLL 루프 필터, 디지털 신호 발생기로 구성된다. 주파수 및 위상 검파기에서는 마스터에서 생성한 기준 시각 펄스와 슬레이브에서 자체적으로 생성한 복사 시각 펄스를 이용하여 주파수 오차 및 위상 오차를 계산한다. 생성한 오차들은 각 루프 필터의 입력으로 인가되며, 루프 필터의 출력은 슬레이브 시각 펄스의 위상 및 주파수를 제어하기 위해 디지털 신호 발생기로 전달된다. 이후 디지털 신호 발생기에서 수정된 시각 펄스를 생성함으로써 피드백 과정을 반복하여, 시간이 지남에 따라 시각동기 정밀도를 높인다.

루프 필터의 계수는 수렴 목표 시간, 주파수 및 위상 추적 대역폭, 목표 동기 오차, 오버슈트로 인한 최대 오차 임계값 등에 의해 결정된다. 본 논문에서는 2차 PLL을 이용하여 시각동기를 수행한 이전 연구 결과를 통해 감쇠 비 ζ 를 0.7로 선정하였으며[9], 최대 주파수 및 위상 오차를 고려하여 경험적으로 FLL의 루프 필터 잡음 대역폭을 5 Hz, PLL의 루프 필터 잡음 대역폭을 8Hz로 설계하였다.

주파수 검파기에서 획득한 주파수 오차 e_f 와 위상 검파기에서 획득한 위상 오차 e_θ 가 FLL-assisted-PLL 루프 필터에 인가될 때, 주파수 및 위상 출력은 식 (1) 및 (2)와 같이 표현할 수 있다.

$$w[n] = w[n-1] + K_{P2}Te_\theta[n] + K_{F1}Te_f[n] \quad (1)$$

$$\theta[n] = \theta[n-1] + K_0T(w[n] + w_N + K_{P1}e_\theta[n]) \quad (2)$$

여기서 K_{F1} 은 FLL 루프 필터의 계수, K_{P1} 및 K_{P2} 는 PLL 루프 필터의 계수이며, T는 루프 필터의 동작 주기를 의미한다. 또한 w_N 은 기준 펄스의 주파수에 따른 NCO(numerically control oscillator) 바이어스를 의미하며 주파수 검파기에서 추정된 기준 펄스의 주파수에 영향을 받는다. 추정된 감쇠 비 ζ 를 0.7로

설계할 경우 필터 계수를 구하기 위한 식은 다음과 같다. 이때 B_{FLL} 은 1차 FLL 루프 필터의 잡음 대역폭, B_{PLL} 은 2차 PLL 루프 필터의 잡음 대역폭을 의미한다.

$$K_{P1} = a_1\omega_{0,PLL}T, \quad a_1 = 1.414 \quad (3)$$

$$K_{P2} = \omega_{0,PLL}^2T \quad (4)$$

$$K_{F1} = a_2\omega_{0,FLL}T, \quad a_2 = 1 \quad (5)$$

$$\omega_{0,PLL} = 1.89B_{PLL}, \quad \omega_{0,FLL} = 4B_{FLL} \quad (6)$$

따라서 시각동기를 위한 기준 펄스의 주파수가 20 kHz일 때, 각 계수는 $K_{F1} = 0.001$, $K_{P1} = 0.00107$, $K_{P2} = 0.01145$ 의 값을 갖는다. 이 값들은 전부 1 이하의 값이며, 로직 내에서 그대로 사용할 경우 전부 0으로 간주되어 동작이 불가능하게 된다. 때문에 실제 구현 시에는 수치 오차를 피하기 위하여 각 계수를 스케일링하여 정수로 변환할 필요가 있다. 한편 위상차를 NCO 증가량으로 변환하기 위한 계수 K_0 는 기준 펄스의 주파수 f_c 와 샘플링 주파수 f_s , 그리고 레지스터 비트 수 n_{NCO} 에 의해 계산할 수 있으며 식 (7)과 같다[9].

$$K_0 = \frac{f_c}{f_s}2^{n_{NCO}} \quad (7)$$

NCO는 식(2)와 같이 루프 필터의 출력과 NCO 바이어스를 이용하여 복사 시각 펄스 위상 $\theta[n]$ 를 생성하며, 복사 시각 펄스 생성기는 NCO의 출력에 기반하여 텔레메트리 시스템을 위한 시각동기 펄스를 생성하게 된다.

2-2 소프트웨어 구현

제안한 알고리즘의 타당성 및 성능을 확인하기 위하여, 파이썬에 기반한 소프트웨어 프로그램을 개발하였다. 먼저 마스터와 슬레이브의 시각 펄스를 모사할 수 있는 NCO와 펄스 생성기를 각각 구현하였다. 각 NCO에서는 매 샘플마다 시각 펄스의 현재 위상을 갱신하며, NCO의 오버플로우가 발생하는 순간 오버플로우 여부를 입력받은 펄스 생성기에서는 출력값을 1로 변경함으로써 상승 에지를 갖는 펄스를 출력한다.

위상 검파기의 경우 기준 펄스의 상승 에지와 복사 펄스의 상승 에지간 차이를 이용하여 위상 오차를 생성한다. 주파수 검파기의 경우 기준 펄스의 상승 에지 간격에 기반하여 계산한 기준 펄스 주파수 추정값과 슬레이브의 NCO 증가량에 기반하여 계산한 복사 펄스 주파수를 이용하여 주파수 오차를 생성한다. 획득한 두 오차는 그림 1의 FLL-PLL 루프 필터로 인가되며 루프 필터는 오차 획득 주기인 복사 신호의 매 상승 에지마다 동작하면서 출력을 내보낸다. 이 출력은 갱신된 NCO의 증가량을 의미하며 슬레이브의 NCO로 인가되어 복사 펄스를 생성하기 위해 사용된다. 마스터 NCO의 경우 기준 시각 펄스는 일정하

기 때문에 루프 필터의 출력에 영향 받지 않는다.

검증을 위하여 마스터의 기준 펄스 주파수가 20 kHz일 때 슬레이브의 복사 펄스 주파수에 1 kHz ~ 5 kHz의 오차를 인가하였으며, 위상 오차 또한 120° 및 최대값에 해당하는 180°를 인가하여 최종 동기 성능을 확인하고자 하였다. 이에 따른 시뮬레이션 결과는 그림 2~그림 3 및 표 1과 같다. 이때 표 1의 결과는 2초 동안 동기를 수행하며 실시간 평균 및 분산 추정 알고리즘을 이용하여 결과를 도출한 것이다.

그림 2와 그림 3의 시뮬레이션 결과로부터, 본 논문에서 고려한 모든 주파수 오차 및 펄스 위상 오차에도 불구하고 약 2 msec 이후에 시각동기가 완료됨을 확인할 수 있다. 즉 슬레이브 시각동기를 위해 필요한 시간이 충분히 짧아 동기를 위한 추가적인 시간 소모가 발생하지 않음을 예상할 수 있다. 또한 표 1로부터, 동기가 진행 중인 초반 시각 오차를 포함하였음에도 불구하고 시각 오차가 나노초 단위의 평균 및 분산을 갖는 것을 확인할 수 있다. 이 결과는 제한한 시각동기 기법이 적절하게 구현될 경우 텔레메트리 시스템의 시각동기를 위하여 사용될 수 있음을 의미한다.

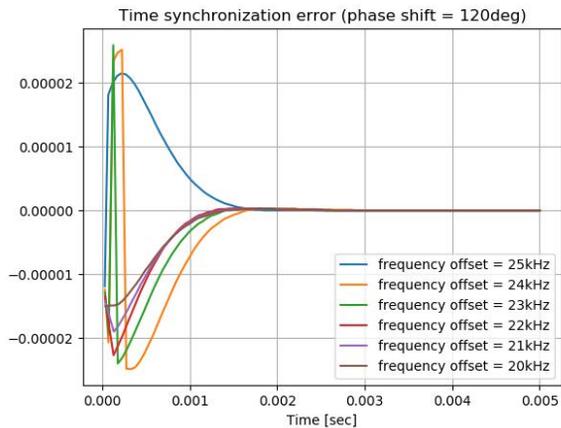


그림 2. 시간에 따른 시각동기 오차 (펄스 위상 오차 120°)
Fig. 2. Time synchronization error (phase error 120°)

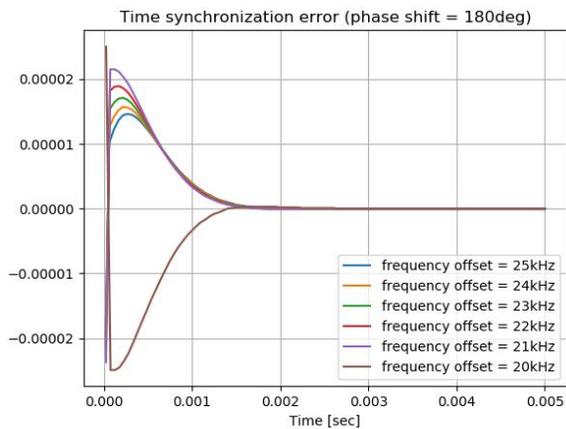


그림 3. 시간에 따른 시각동기 오차 (펄스 위상 오차 180°)
Fig. 3. Time synchronization error (phase error 180°)

표 1. 시각동기 성능

Table 1. Time synchronization performance

Phase error [deg]	Frequency offset [kHz]	Average [nsec]	Variance [nsec]
120	0	-1.201	1.512
	1	-1.447	2.195
	2	-1.654	2.870
	3	-1.842	3.559
	4	-2.022	4.286
180	0	-2.157	4.882
	1	3.656	14.02
	2	3.521	13.00
	3	3.390	12.05
	4	3.263	12.15
	5	3.140	10.34

III. 알고리즘 구현

본 논문에서는 FLL-assisted-PLL 시각동기 알고리즘을 바탕으로 텔레메트리 시스템에 적용하기 위한 VHDL 로직을 구현하고 시뮬레이션을 통해 성능을 검증한다.

3-1 로직 구현

텔레메트리 시스템에 적용하기 위해 제한한 알고리즘 구조를 FPGA에 시각동기 로직으로 구현한다.

FLL-assisted-PLL 시각동기 알고리즘 구현은 텔레메트리 시스템에서 마스터로 사용할 Cyclone10 Kit와 슬레이브로 사용할 DE10-Lite Kit를 이용한다.

시각동기의 기준 펄스를 만들고 슬레이브로 전송할 마스터의 로직 블록은 그림 4와 같이 구성한다. 마스터의 FPGA 로직 블록은 크게 샘플링 클럭을 생성하는 클럭 생성기와 기준 펄스를 생성하는 NCO 펄스 생성기로 구성한다. 먼저 클럭 생성기에서는 10 MHz의 샘플링 클럭을 생성한다. NCO 펄스 생성기에서는 입력된 샘플링 클럭의 상승 에지에 맞춰 슬레이브로 전송하는 기준 펄스를 생성하고, 이를 외부로 출력한다. 이때 기준 펄스의 주파수는 20 kHz로 설정한다.

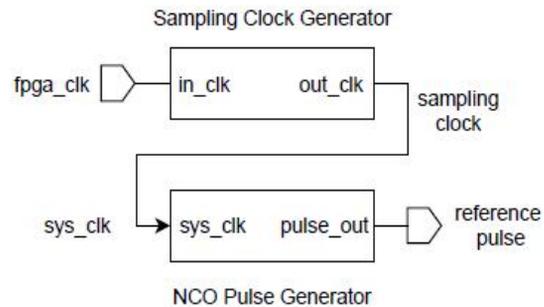


그림 4. 마스터 FPGA 블록도
Fig. 4. Master FPGA block diagram

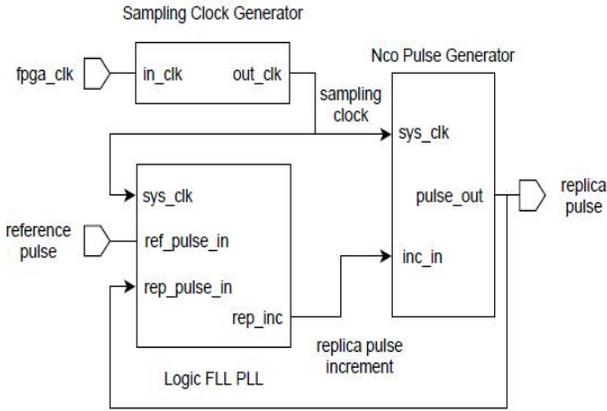


그림 5. 제안한 알고리즘의 슬레이브 FPGA 블록도
 Fig. 5. Slave FPGA block diagram of proposed algorithm

다음으로 복사 펄스를 생성하고, 생성된 복사 펄스를 슬레이브로 입력된 기준 펄스에 동기화시키기 위한 로직을 그림 5와 같이 구성한다.

슬레이브의 FPGA 로직 블록은 크게 샘플링 클럭을 생성하는 클럭 생성기, 복사 펄스를 생성하는 NCO 펄스 생성기와 제안한 알고리즘을 구현한 로직 FLL PLL 블록으로 구성한다. 먼저 샘플링 클럭 생성기에서는 10 MHz 샘플링 클럭을 생성한다. NCO 펄스 생성기에서는 생성된 샘플링 클럭이 입력되면, 상승 에지에 맞춰 로직 FLL PLL 블록을 통해서 출력한 NCO 증가량을 이용하여 복사 펄스를 생성한다. 마지막으로 로직 FLL PLL 블록은 마스터에서 전송하는 기준 펄스와 슬레이브에서 생성한 복사 펄스의 상승 에지를 이용하여 두 펄스의 시각 차이를 계산하여 위상 차이로 변환한다. 기존 PLL 로직과 다르게 본 논문에서는 FLL을 결합한 시각동기 알고리즘이므로 주파수 차이를 입력해야한다.

이때, 마스터에서는 주파수가 20 kHz이고, 샘플링 주파수가 10 MHz인 기준 펄스를 전송하는데, 슬레이브에서 마스터의 기준 주파수를 알지 못해도 로직 FLL PLL 블록에서 기준 펄스의 상승 에지를 이용하여 주파수를 계산할 수 있다. 이렇게 기준 펄스와 복사 펄스의 상승 에지에서 각각의 주파수를 계산하고 이를 이용하여 주파수 차이를 구한다.

그림 1의 필터 계수들은 VHDL 로직 구현을 위해 정수 값으로 정의하고, 그에 따른 스케일링을 적용한다. 로직 FLL PLL 블록에서 필터 계수들과 주파수 차이와 위상 차이를 이용하여 NCO 증가량을 계산하고 이를 출력을 내보낸다. NCO 펄스 생성기에서는 출력된 NCO 증가량을 입력받아 케이블 통해 전송된 기준 펄스와 복사 펄스를 동기화 시키는데 이용한다.

시뮬레이션에 앞서 알고리즘을 구현한 로직의 성능 확인을 위해 Quartus II의 FPGA 로직 분석 도구 Signal Tap Logic Analyzer로 결과를 확인한다. 이때 실시간 평균 및 분산 추정 알고리즘을 적용하여 동기화 성능을 추정한다. 로직 FLL PLL 블록의 시각동기화 성능을 Signal Tap Logic Analyzer로 확인한 결과는 그림 6~그림 7과 같다.

그림 6에서 ref_pulse_in은 마스터에서 슬레이브로 전송한 기준 펄스이며 rep_pulse_in은 슬레이브의 NCO 펄스 생성기에서 생성한 복사 펄스이다. diffPhs는 기준 펄스와 복사 펄스의 샘플 차이이고, diffFreq는 기준 펄스와 복사 펄스의 주파수 차이를 나타낸다. 이때 복사 펄스가 기준 펄스에 동기화가 되면 diffPhs와 diffFreq가 0으로 수렴하게 된다. 따라서 diffPhs와 diffFreq의 결과 값은 동기화 성능을 나타낸다. 그림 7과 같이 diffFreq의 값이 0이 아닌 500인 이유는 필터 계수의 정수화 및 스케일링에 따른 오차로 인해 매우 작은 주파수 변화가 계속해서 발생하고 있기 때문이다.

Name	-512	-256	0	256	512	768	1024	1280
logicFllPlt:pll\ref_pulse_in								
logicFllPlt:pll\rep_pulse_in								
logicFllPlt:pll\pulseDiffCount:diffFreq[31..0]			0					
logicFllPlt:pll\pulseDiffCount:diffPhs[31..0]			0					
logicFllPlt:pll\pulseDiffCount:errMean[31..0]	-30469	-30465	-30461	-30457	-30453			
logicFllPlt:pll\pulseDiffCount:errVar[31..0]	92857	92833	92808	92784	92759			

그림 6. 로직 분석 결과
 Fig. 6. Logic analyzer result

Name	-2816	-2560	-2304	-2048	-1792	-1536	-1280	-1024
logicFllPlt:pll\ref_pulse_in								
logicFllPlt:pll\rep_pulse_in								
logicFllPlt:pll\pulseDiffCount:diffFreq[31..0]	0			500				0
logicFllPlt:pll\pulseDiffCount:diffPhs[31..0]	4294967295			0				
logicFllPlt:pll\pulseDiffCount:errMean[31..0]	-30310	-30306	-30302	-30298	-30294			
logicFllPlt:pll\pulseDiffCount:errVar[31..0]	188146	91876	91842	91818	91793			

그림 7. 주파수 변화가 발생한 로직 분석 결과
 Fig. 7. Logic analyzer result of the frequency change

실시간 평균 및 분산 추정 알고리즘을 적용한 결과로 $errMean$ 은 평균값을 나타내며, $errVar$ 은 분산값을 나타낸다. 이 두 결과 값을 이용하여 구현한 로직 FLL PLL 블록의 동기화 성능을 추정 할 수 있다.

$$Average = \left(\frac{errMean}{2^{n_{s1}}} \right) \frac{1}{f_s} \quad (8)$$

n_{s1} 은 $diffPhs$ 의 스케일링 비트로 $errMean$ 결과 값을 식 (8)과 같이 계산하였을 때 그림 6의 동기화 결과에 대한 시각 오차 성능은 약 2.89 nsec이다. 분산값 또한 식 (8)과 동일하게 추정이 가능하다.

3-2 시뮬레이션 성능

기준 펄스의 주파수를 20 kHz로 고정된 후 복사 펄스에 주파수 오차를 1 kHz부터 5 kHz까지 인가하여 주파수를 변화시키면서 로직의 시각동기 성능을 확인한다.

이때, 위상 오차는 120°와 최대값 180°를 인가하였을 경우에 대해 시각동기 성능 검증을 진행한다. 위상 오차에 대한 주파수 변화에 대한 시각동기 시뮬레이션 결과는 표 2 및 표 3과 같다. 이때 시각동기 결과는 $diffPhs$ 가 0으로 수렴한 이후의 동기 성능을 실시간 평균 및 분산 추정 알고리즘을 통한 결과를 나타낸 것이다. 위상 오차 및 주파수 오차를 인가하였을 때 평균 값은 약 2.85 nsec이며, 분산 값은 약 8.2 nsec로 나노 단위의 시각동기 성능을 확인 할 수 있다.

표 2. 위상 오차 120° 시각동기 성능

Table 2. Time synchronization performance (phase error 120°)

Frequency [kHz]	Average [nsec]	Variance [nsec]
20	2.8448	8.1227
21	2.8584	8.1900
22	2.8605	8.2771
23	2.8528	8.1314
24	2.8454	8.1313
25	2.8568	8.2286

표 3. 위상 오차 180° 시각동기 성능

Table 3. Time synchronization performance (phase error 180°)

Frequency [kHz]	Average [nsec]	Variance [nsec]
20	2.8494	8.1169
21	2.8521	8.1527
22	2.8488	8.1307
23	2.8583	8.2070
24	2.8505	8.1733
25	2.8447	8.1147

기존 논문에서의 알고리즘 성능 목표는 수 마이크로 초 이내의 시각 동기 성능으로, 해당 논문에서 제안한 방식을 적용하여 획득한 텔레메트리 시스템의 시각동기 성능이 평균 약 11.7 usec로 목표를 달성한 바 있다[9]. 한편 본 연구에서는 기존 연구의 성능을 개선하기 위하여 텔레메트리 시스템의 시각동기 성능을 수 마이크로 초 이상인 수 나노 초를 목표로 설정하였다. 시뮬레이션을 활용하여 분석한 결과 본 논문에서 제안한 시각 동기 기법의 성능을 약 2.85 nsec로 제시하였으며 실제 하드웨어로 구현한 결과 수 나노 초의 시각동기 성능을 가지므로 텔레메트리 시스템에 개선된 시각동기 알고리즘 적용이 충분히 가능할 것으로 예상할 수 있다.

IV. 결 론

비행시험 중 비행체의 성능을 실시간으로 정확하게 분석하기 위해서는 획득한 데이터들의 신뢰성이 중요하며, 이는 분산 시스템간의 시각동기화가 중요함을 의미한다. 텔레메트리 시스템은 외부의 충격이나 운영상의 문제로 인해 주파수 변화의 가능성이 존재하며 이에 대한 대응이 필요하다. 따라서 본 논문에서는 시각 펄스의 위상 오차만을 추적하여 보상하던 기존 연구를 발전시켜 시각 펄스의 주파수까지 추적할 수 있는 동기 방안을 제안하고 성능을 확인하였다. 제안한 방안은 FLL-assisted-PLL을 기반으로 하였으며, 높은 시각 정밀도를 제공할 뿐만 아니라 기존에 제안한 방식과 같이 타 연구에 비해 낮은 복잡도, 추가 메시지 불필요, 고속 동기를 극대화할 수 있는 장점을 갖는다. 또한 주파수까지 추적할 수 있으므로 루프 대역폭을 조절할 경우 범용성이 증가되어 다양한 시스템에 적용할 수 있다.

제안한 기법은 2차 PLL과 1차 FLL을 결합하는 방식으로 구현되었으며 파이썬을 이용하여 타당성을 확인하였다. 시뮬레이션 성능은 2 msec 이하의 수렴 시간과 수 나노 초의 평균 시각 오차를 보였다. 또한, VHDL 로직 구현을 통해 위상 오차 및 주파수 오차를 인가한 시뮬레이션 결과인 시각 오차가 나노 초 단위의 2.85 nsec 평균값 및 8.13 nsec 분산값을 갖는 것을 확인하였다. 이처럼 FLL-assisted-PLL이 적용된 시각동기 알고리즘을 텔레메트리 시스템에 적용한다면 마이크로 초 단위의 기존의 시각동기 성능보다 우수한 성능을 기대할 수 있다.

References

[1] H. S. Lee, G. S. Kim, H. S. Yoon, J. W. Yang and H. G. Lee, "Distributed Instrumentation System using Master/Slave method for the Flight Test Instrumentation," in *Proceeding of the Korean Society for Aeronautical and Space Sciences*, Gyeongju, pp. 661-665, Apr. 2011.

- [2] J. Elson, L. Girod and D. Estrin, "Fine-grained network time synchronization using reference broadcasts," in *Proceeding of the fifth Symposium on Operating Systems Design and Implementation*, Boston: MA, pp. 147-163, Dec. 2002.
- [3] S. Ganeriwal, R. Kumar and M. B. Srivastava, "Timing-sync protocol for sensor networks," in *Proceeding of the 1st International Conference on Embedded Networked Sensor System*, Los Angeles: CA, pp. 138-149, Nov. 2003
- [4] F. Sivrikaya and B. Yener, "Time synchronization in sensor networks: a survey," *IEEE Network*, Vol. 18, No. 4, pp. 45-50, 2004.
- [5] Y. G. Park, W. M. Lee and B. K. Kim, "A Proposal of Simultaneous Acquisition Performance Test Method for Telemetry System," *Journal of Advanced Navigation Technology*, Vol. 24, No. 3, pp. 218-223, Jun. 2020.
- [6] W. J. Gill, "A comparison of binary delay-lock tracking-loop implementations," in *IEEE Transactions on Aerospace and Electronic Systems*, Vol. AES-2, No. 4, pp. 415-424, Jul. 1966.
- [7] J. I. Boo, J. W. Ha, K. S. Kim and B. K. Kim, "Wireless TDD time synchronization technique considering the propagation delay between mobile vehicles," *Journal of Advanced Navigation Technology*, Vol. 23, No. 5, pp. 329-399, Oct. 2019.
- [8] Y. M. Gu, J. I. Boo, J. W. Ha and B. K. Kim, "Precision Improvement Technique of Propagation Delay Distance Measurement Using IEEE 1588 PTP," *Journal of Advanced Navigation Technology*, Vol. 49, No. 6, pp. 515-519, Jun. 2021.
- [9] G. H. Kim, M. H. Jin and B. K. Kim, "Phase Locked Loop based Time Synchronization Algorithm for Telemetry System," *Journal of Advanced Navigation Technology*, Vol. 24, No. 4, pp. 285-290, Aug. 2020.



김 건 희 (Geon-Hee Kim)

2014년 2월 : 서울과학기술대학교 전자정보공학과 공학학사
 2015년 4월 ~ 현재 : 단암시스템즈(주) 통신기술연구소 재직 중
 ※관심분야 : 항공통신 시스템, 원격측정장치



진 미 현 (Mi-Hyun Jin)

2010년 2월 : 충남대학교 전자전파정보통신공학부 공학학사
 2017년 2월 : 충남대학교 전자공학과 공학박사
 2017년 8월 ~ 현재 : 단암시스템즈(주) 항법기술연구소 재직 중
 ※관심분야 : 위성항법, 위성통신, 소프트웨어 수신기