



## 반도체 소자용 산화하프늄 기반 강유전체의 원자층 증착법 리뷰

이영환<sup>a,+</sup>, 권태규<sup>b,+</sup>, 박민혁<sup>a,b,\*</sup>

<sup>a</sup>서울대학교 신소재공동연구소, <sup>b</sup>서울대학교 재료공학부

## Review on Atomic Layer Deposition of HfO<sub>2</sub>-based Ferroelectrics for Semiconductor Devices

Younghwan Lee<sup>a,+</sup>, Taegy Kwon<sup>b,+</sup>, Min Hyuk Park<sup>a,b,\*</sup>

<sup>a</sup>Research Institute of Advanced Materials, Seoul National University, Seoul 08826, Republic of Korea

<sup>b</sup>Department of Materials Science and Engineering, College of Engineering, Seoul National University, Seoul 08826, Republic of Korea

(Received 30 September, 2022 ; revised 26 October, 2022 ; accepted 28 October, 2022)

### Abstract

Since the first report on ferroelectricity in Si-doped hafnia (HfO<sub>2</sub>), this emerging ferroelectrics have been considered promising for the next-generation semiconductor devices with their characteristic nonvolatile data storage. The robust ferroelectricity in the sub-10-nm thickness regime has been proven by numerous research groups. However, extending their scalability below the 5 nm thickness with low temperature processes compatible with the back-end-of-line technology. In this review, therefore, the current status, technical issues, and their potential solutions of atomic layer deposition (ALD) of HfO<sub>2</sub>-based ferroelectrics are comprehensively reviewed. Several technical issues in the physical scaling of the ferroelectric thin films and potential solutions including advanced ALD techniques including discrete feeding ALD, atomic layer etching, and area selective ALD are introduced.

*Keywords : semiconductor; ferroelectric; memory device; atomic layer deposition; vacuum technology.*

## 1. 서 론

강유전체는 특유의 두 가지 이상의 스위칭이 가능한 잔류 분극 상태로 비휘발성 메모리 소자에 적합한 소재로 여겨져 왔다. 하지만, 높은 잔류 분극 값을 보이며 벌크나 후막 상태에서 우수한 대표적인 강유전체 소재인 Pb(Zr,Ti)O<sub>3</sub> (PZT), SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> (SBT) 등의 perovskite 혹은 layered perovskite 구조 기반의 강유전체들

은 박막에 적용되어 두께가 얇아지는 특성 때문에 높은 집적도를 가지는 메모리반도체 소자에 적용이 어려운 문제를 가지고 있었다.[1] 또한, 이들은 complementary metal oxide semiconductor (CMOS) 공정에 친화적인 원자층 증착법(atomic layer deposition, ALD)과 같은 증착 방법으로 형성하는 것이 매우 어려워 이러한 연구 결과의 수가 제한적이었다. 이러한 소재 부분의 여러 어려움으로 1990년대에서 2000년대에 활발히 진행된 산업계에서의 강유전체 메모리에 대한 연구는 급격히 쇠퇴하였고, perovskite 혹은 layered perovskite 구조의 강유전체를 기반으로 하는 전통적인 1 transistor - 1 capacitor

\*Corresponding Author: Min Hyuk Park  
Department of Materials Science and Engineering,  
College of Engineering, Seoul National University  
Tel: +82-2-880-7160 ; Fax: +82-31-111-3333  
E-mail: minhyuk.park@snu.ac.kr

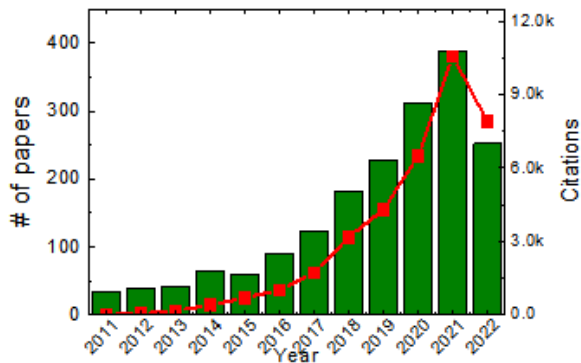


Fig. 1. Number of new publications (green squares) and citations per year (red dots) on the subject matter according to a Web of Science topic search (“ferroelectric” or “piezoelectric” or “pyroelectric”) and (“HfO<sub>2</sub>” or “hafnia” or “hafnium oxide” or “ZrO<sub>2</sub>” or “zirconia” or “zirconium oxide”) from 2011 until September 29th, 2022.

ferroelectric random access memory(1T-1C FeRAM)의 경우 전 세계적으로 소수의 업체에서만 생산되며 제한적인 niche market에 머무르고 있는 실정이다.

2011년 metal-oxide-semiconductor라는 반도체 소자의 기본 단위 소자의 게이트 절연막 물질인 산화 하프늄(HfO<sub>2</sub>)에서 강유전성이 발현될 수 있다는 결과가 세계 최초로 보고되었다.[2] HfO<sub>2</sub>의 경우 벌크 물질의 상평형도에서 어떤 온도, 압력 조건에서도 강유전성 결정상이 생기지 않는 것이 알려져 있기 때문에,[3] 이는 매우 놀라운 결과로 학계에서도 강유전성이 나타나는 메커니즘에 대한 다양한 논의가 이어지기도 했다. 강유전성 발현 메커니즘에 대한 논의와 별개로 다수의 그룹에서 다양한 도펀트에 의해 HfO<sub>2</sub> 박

막에 재현성 있게 강한 강유전성이 유도될 수 있는 결과들이 보고되었고, 이런 우수한 물리적 스케일링이 가능한 강유전성은 학계 및 산업계의 큰 관심을 끌었다. 그림 1은 Web of Science에서 2022년 9월 29일에 “ferroelectric” or “piezoelectric” or “pyroelectric” and “HfO<sub>2</sub>” or “hafnia” or “hafnium oxide” or “ZrO<sub>2</sub>” or “zirconia” or “zirconium oxide” 라는 키워드로 검색된 강유전성 HfO<sub>2</sub>과 관련된 논문들의 연도별 숫자 변화와 이들의 피인용 수 변화를 그린 그래프이다. 그림 1에서 볼 수 있듯이 2021년에는 연간 논문 숫자가 389편에 이르렀으며, 피인용수는 10,573회에 이를 정도로 학계의 큰 관심을 알 수 있다.

강유전체 메모리는 셀의 구성에 따라 다양한 형태가 가능하며, 가장 대표적으로 알려져 있는 3개의 강유전체 메모리는 1T-1C FeRAM, ferroelectric field-effect-transistor(FeFET), ferroelectric tunnel junction(FTJ) 등이다. FeRAM은 그림 2a에서 볼 수 있듯이 dynamic random access memory(DRAM)과 비슷한 셀을 가지고 있으나 강유전체 커패시터를 동작시키기 위해서는 plate line이 존재하여야 하므로 더 큰 셀 크기를 가지게 되어 집적도 측면에서 다른 메모리보다 약점을 가지고 있는 것이 알려져 있다. FeFET는 그림 2b에서 볼 수 있듯이 MOSFET과 기본적으로 동일한 구조를 가지고 있으나 게이트 절연막 자리에 강유전체가 삽입된 구조를 가지고 있다. 게이트 절연막의 분극 상태에 따라 제어된 반도체 채널의 conductance가 비휘발성으로

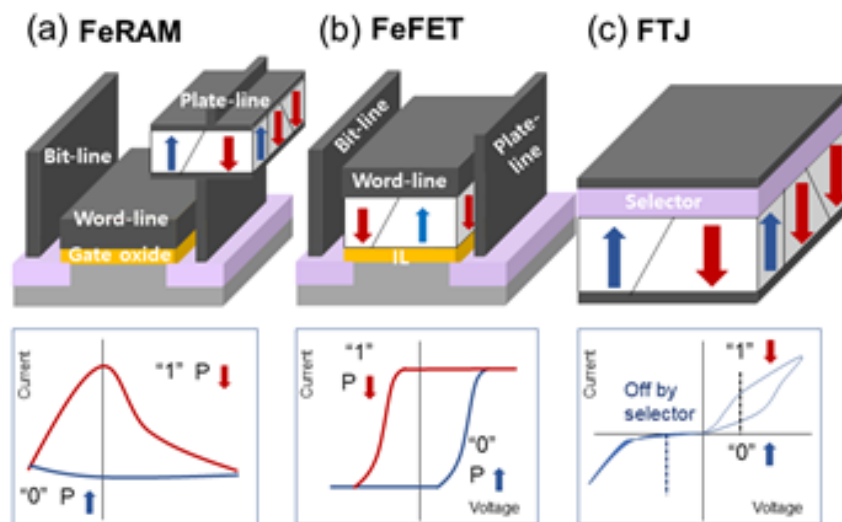


Fig. 2. Device structure and operation scheme of (a) 1T-1C ferroelectric random-access-memory, (b) ferroelectric field-effect-transistor, and (c) ferroelectric tunnel junction, respectively.

정보 저장이 가능하다. 기본적으로 저항변화 메모리의 일종으로 볼 수 있으며 메모리스트 특성을 가지는 것이 알려져 있다.

산업계에서도 다양한 반도체 업체에서 강유전성 산화 하프늄 기반 소자 및 소자에 대한 다양한 결과들이 발표되고 있다. 독일 NaMLab과 Globalfoundries는 FeFET에 대한 연구를 2010년대 초반부터 진행해서 이미 2012년에 18 nm의 게이트 길이를 가지는 FeFET 소자에서 0.8 V 수준의 메모리 윈도우(memory window)를 달성하여 비휘발성 메모리 소자를 구현하였으나, 반복 동작 횟수가 약 104번 정도에 그치는 한계를 가지고 있었다.[4, 5] IMEC에서는 3차원 어레이의 형태로 제작된 FeFET가 vertical NAND의 차세대 소자로 고려될 수 있음을 제안하고, 제작된 FeFET 소자의 특성을 보고하였으나, 역시 반복 동작 횟수 측면에서는 104회 이하로 한계를 가지고 있었다.[6] NaMLab과 SONY가 협력 연구로 진행한 결과에서는 가장 전통적인 1T-1C FeRAM 소자 어레이를 연구하였으며, 130 nm half pitch의 FeRAM 메모리에서 시뮬레이션으로 기대되는 동작을 구현하는 데에 성공하였다.[7] Intel에서는 반강유전성 커패시터를 1T-1C DRAM에 적용하여 성능이 향상된 embedded DRAM으로 활용하는 기술을 제안하였으며, 이 경우 기존 일반 유전막을 셀 커패시터 자리에 활용한 것에 비해서 큰 capacitance 값이 구현 가능하며 refresh process의 주기를 늘릴 수 있다는 것을 제안하였다.[8] SK-Hynix에서는 8 GB 크기의 1T-1C FeRAM 어레이를 제작하여 동작시킬 수 있는 것을 보고하였으며, 3D NAND에 강유전체와 charge trapping을 활용한 소자를 활용하여 triple level cell(TLC) 동작이 가능한 것을 보고하기도 하였다.[9, 10] Toshiba에서는 강유전성 HfO<sub>2</sub> 기반 FTJ 소자를 구현하여 강유전체 분극 방향에 따른 tunneling conductance 변화가 가능함을 보였으며, self-rectifying 특성을 함께 구현하여 selector가 내장된 형태의 crossbar array의 가능성을 보여주었다.[11]

이상 언급되고 있는 학계 및 산업체의 높은 관심과 다양한 강유전체 메모리 소자에 대한 활발한 연구가 가능한 데에는 HfO<sub>2</sub> 기반의 강유전체가 성숙한 원자층 증착법을 기반으로 재현성 있게 3차원 나노 구조에 적용 가능하다는 것이 한 가지 중요한 이유라 할 수 있다. 특히, 원자층 증

착법은 현대의 반도체 공정에 있어 매우 높은 중요성을 가지며, FinFET, gate all around(GAA) 등의 logic용 transistor 공정, DRAM의 cell capacitor 공정 등 3D 나노구조가 적용된 곳에서는 다른 대안이 없을 정도로 높은 중요성을 가지고 있다. 본 리뷰에서는 강유전체 메모리에 대한 연구가 당면하고 있는 여러 공정적 어려움과 이를 극복할 수 있는 최신 혹은 차세대 원자층 증착법 기술에 대해 전반적으로 리뷰하고자 한다.

## 2. 원자층 증착법을 이용한 강유전성 산화 하프늄 (HfO<sub>2</sub>) 박막의 증착

### 2.1. 원자층 증착법과 자기 제한 반응

원자층 증착법은 순차적인 표면 흡착 반응에 기반한 기체상 증착 기술로 다양한 분야에서 박막 증착에 널리 쓰인다. 원자층 증착법은 자기 제한적(self-limiting) 특성과 그에 따르는 표면 포화 반응(self-saturated reaction)으로 인해 단일 원자층 수준으로 박막의 두께를 제어할 수 있으며 우수한 박막 두께 및 조성 균일성(uniformity), 박막 도포성(conformality), 단차 피복성(step coverage), 그리고 공정 호환성(compatibility) 등의 이점을 가진다. 이러한 특성에 힘입어 원자층 증착법은 나노스케일 집적 회로 제조에서 매우 중요한 기술 중 하나로 응용되고 있다.[12] 물리 기상 증착법 (physical vapor deposition, PVD), 화학 기상 증착법 (chemical vapor deposition, CVD)을 비롯한 다양한 진공 증착법이 존재하나 현재 원자층 증착 수준의 정확한 두께 제어가 가능하며 복잡한 3D 나노 구조에 균일한 두께의 박막을 성장시킬 수 있는 건식 박막 증착 공정은 현 상황에서는 원자층 증착법이 유일하다고 해도 과언이 아니다.

원자층 증착법에서는 그림 3에서 볼 수 있듯이 원하는 두께에 도달할 때까지 다음의 과정들을 반복적으로 수행하여 박막을 증착한다; (a) 첫 번째 전구체 주입 및 표면 흡착 반응, (b) 불활성 기체 퍼지를 통한 과량의 전구체 및 기체상 부산물들의 제거, (c) reactant gas의 표면 흡착 반응, (d) 불활성 기체 퍼지. 산화물의 증착인 경우 reactant는 산화제(예: H<sub>2</sub>O, O<sub>3</sub>, 등)에 해당되며, 이는 최종적으로 증착하고자 하는 박막의 화학적 성분에 따라 결정된다. 원자층 증착법의 기본적인 4

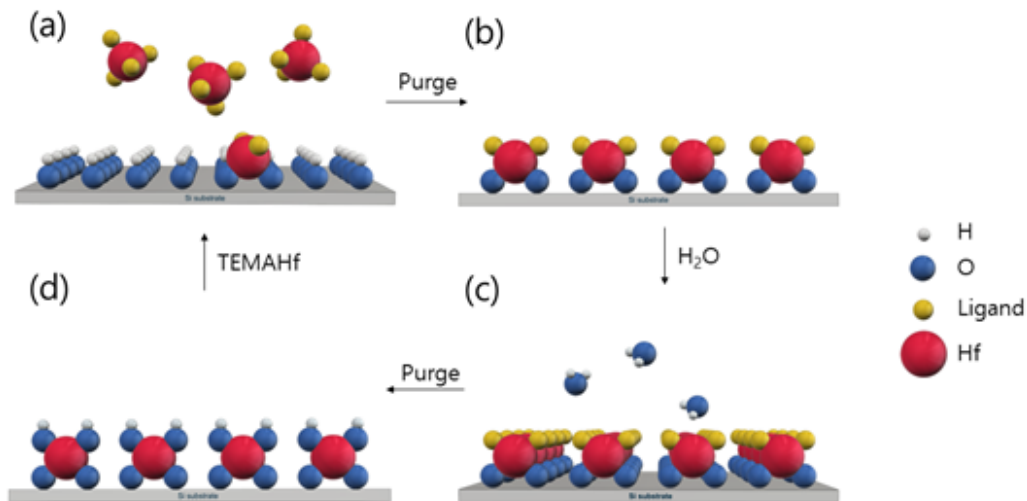


Fig. 3. ALD process for  $\text{HfO}_2$  using  $\text{Hf}(\text{N}(\text{CH}_3)\text{C}_2\text{H}_5)_4$  (TEMAHf) as the Hf precursor and  $\text{H}_2\text{O}$  as the reactant. (a) precursor injection, (b) self-limiting surface chemisorption reaction of Hf, (c) reactant gas exposure, and (d)  $-\text{OH}$  surface formation. Ligand refers to  $\text{N}(\text{CH}_3)\text{C}_2\text{H}_5$ .

단계 중 원자층 증착법 고유의 특성이 가장 잘 나타나는 부분은 전구체의 표면 흡착 반응 단계로, 전구체 분자의 자기 제한적 흡착 반응이 일어나는 과정이다. 이러한 특성은 주로 전구체 내 금속 원자에 결합되어 있는 할로젠 혹은 유기 리간드들을 통해 구현되며[13] 이들은 박막의 초기 성장시에는 기판 박막 성장 도중에는 이전에 증착된 박막의 표면에 존재하는  $-\text{OH}$ 를 비롯한 표면 작용기(functional group)와 반응하여 제거되고 M-O bonding 등을 통해 전구체 분자가 표면에 chemisorption을 하게 한다. 이는 화학적인 결합이 형성되지 않고 전구체 분자가 기판 혹은 이전에 증착된 박막의 표면에 반 데르 발스 힘에 의해 머무르는 physisorption과는 명확히 구분된다. 이러한 성장 메커니즘 때문에 원자층 증착법의 한 증착 사이클에서 형성되는 박막의 두께는 표면에 chemisorption을 할 수 있는 전구체 분자의 면적당 밀도에 의해 제한되며, 이는 표면에 존재하는 작용기의 개수가 최댓값이 되나 실제로는 흡착된 전구체 분자로 인해 생기는 steric hindrance effect로 실제 chemisorption을 이룰 수 있는 전구체 분자의 밀도는 더 낮은 값을 가진다. 결과적으로 전구체 주입 시간을 늘려도 상기 언급된 효과에 의해서 사이클당 성장 속도가 제한되게 된다. 이러한 자기 제한적 반응은 단일 원자층 단위의 두께 조절을 가능하게 해 주며 높은 종횡비(aspect ratio)를 가지는 구조에서도 높은 박막 도포성을 보이는 근본적인 원인이 되기

때문에, 원자층 증착법이 가지는 가장 중요한 특성이다. 이들 원자층 증착법만의 고유한 장점들은 반도체 제조 분야에서 각광받도록 하는 주요한 원동력이 된다.

원자층 증착법의 또 다른 장점은 상대적으로 낮은 공정 온도이다. 화학 기상 증착법에 비해 상대적으로 낮은 증착 온도 역시 표면에서 완결되는 흡착 반응으로부터 기인하는 특성이다. 이는 화학 기상법의 경우 기상에서 전구체 분자가 리간드와 열분해가 되는 고온 메커니즘을 필요로 하나 원자층 증착법의 경우 비교적 저온에서 가능한 전구체 분자와 표면의 작용기간의 화학 반응을 통한 chemisorption을 기반으로 하기 때문이다. 물론 전구체 분자의 흡착과 반응 기체와의 표면 반응을 위해 기판의 가열이 어느 정도 필요하나, 이는 반응 기체의 열분해가 일어나지 않는 선에서 이루어져야 한다. 또한, 공정 온도가 너무 낮을 경우 비활성 기체 퍼지 과정에서 chemisorption이 아닌 physisorption이 일어난 전구체 분자들이 기판에서 효과적으로 제거되지 못하는 문제가 생기게 된다. 일반적으로 전구체 분자는 할로젠 혹은 유기 리간드를 포함하고 있으므로, 제거되지 못한 physisorption된 분자는 최종적으로 형성된 박막 내에 잔류 불순물을 형성하는 원인이 된다. 상기 언급된 두 경우 모두 원자층 증착의 사이클 당 박막 성장 속도가 온도에 따라 변하게 되는 원인이 되지만, 적합한 원자층 증착 온도 범위에서는 사이클 당 박막 성장 속도의 온도 의존성이 없거나

매우 약한 온도 범위가 존재하며 이를 ALD 윈도우라고 한다.[14] 따라서, ALD 윈도우 내의 온도 범위 내에서 ALD 공정이 진행될 경우 안정적으로 일정한 성장 속도로 박막을 증착하는 것이 가능하다.

## 2.2. ALD 공정 변수와 산화 하프늄 기반 강유전성 박막의 전기적 및 구조적 특성

HfO<sub>2</sub> 기반 강유전체가 실제 소자로서 상용화되기 위해서는 재료 고유의 장점의 극대화가 이루어짐과 동시에 물질의 특성으로부터 기인하는 내재적 단점들 역시 극복되어야 한다. 대표적으로 강유전체의 특성은 일반적인 유전체와 달리 전계가 0인 상황에서 잔존하는 분극을 의미하는 잔류 분극 (remanent polarization, P<sub>r</sub>), 두 가지의 분극 상태에서 전기적으로 스위칭을 시키기 위해 필요한 외부 전계값인 항전계 (coercive voltage, E<sub>c</sub>) 등을 들 수 있다. 그림 4에는 강유전체의 전형적인 분극-전계 이력곡선을 보여주며, 잔류 분극과 항전계는 이 그래프에서 각각 y절편과 x절편에 해당된다. 잔류 분극은 커패시터 구조에서 전계를 제거했을 때 전극에 저장할 수 있는 전하의 양을 결정하며 이 때문에 비휘발성으로 정보를 저장하는 응용에서 매우 중요한 지표가 된다. 항전계 값은 메모리 소자를 만들었을 경우 FeFET 소자에서 저장한 두 가지 정보 상태를 구분하는 데에 필요

한 메모리 윈도우를 결정하며, 모든 강유전체 메모리 소자에서 program/erase 전압을 결정하는 요소가 된다. 항전계 값의 경우에 얇은 두께에서 충분한 메모리 윈도우를 구현하기 위해서는 큰 값이 필요하나, 이로 인해 동작전압이 높아질 경우에 반도체 소자의 반복 동작 횟수를 제한하는 요소가 되어 양날의 검과 같은 특성을 가진다. HfO<sub>2</sub> 기반 강유전체는 근본적으로 높은 임계 전계값을 가지기 때문에 후자가 문제가 되는 경우가 더 많다.

따라서, HfO<sub>2</sub> 기반 강유전체에서도 잔류 분극 값은 충분히 높으면서 항전계 값을 낮추기 위한 연구들이 지속되고 있으며, 이는 곧 소자 동작 측면에서 매우 중요한 변수인 읽기 전압 및 전류 등의 개선으로 이어질 것이다. 더불어 현재 널리 상용화된 저장 소자 대비 확연히 떨어지는 내구성, 보존성 등을 포함한 소자의 신뢰성 측면에서도 추가적인 개선이 이루어져야 한다. 이러한 강유전성 메모리 소자의 전기적 특성들은 소자를 구성하는 가장 중요한 요소인 강유전 박막, 그리고 전극과의 계면에서의 구조적 특성에 강하게 영향을 받는 것으로 알려져 있다. 이러한 의존성의 핵심적인 이유는 크게 (1) 구조적 다형성 및 전계 유도 상전이, (2) 결함의 형성 및 발달 두 가지로 분류할 수 있다.[15] 또한 이들 구조적 특성은 원자층 증착 공정 변수들을 제어함에 따라 다양하게 영향을 받는데, 대표적인 공정 변수들로는 증착 온도, ALD

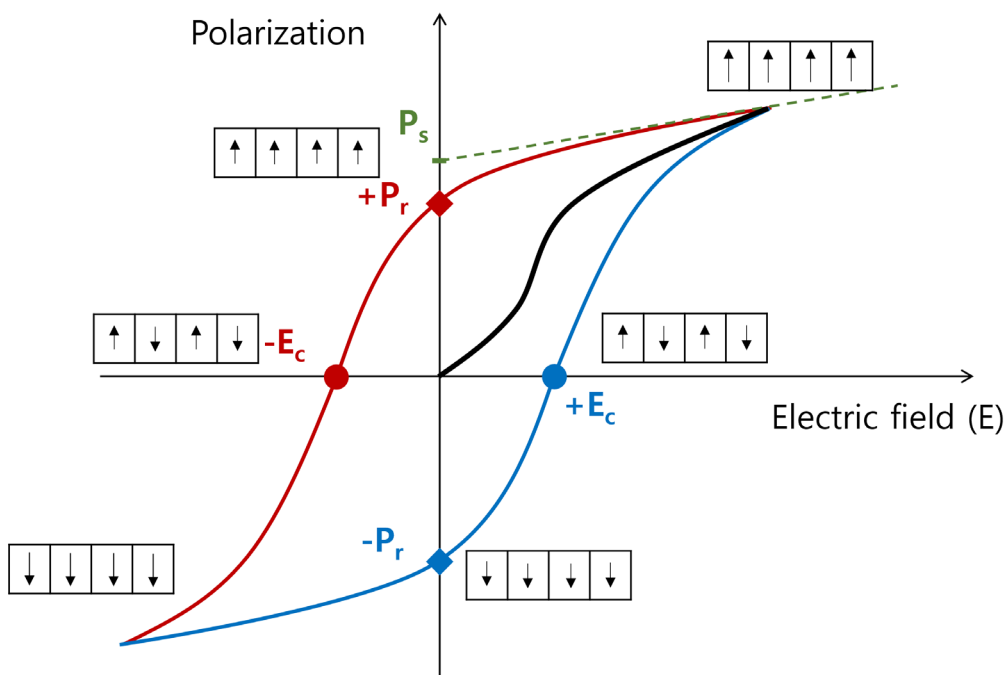


Fig. 4. Polarization–electric field hysteresis loop of typical ferroelectrics. P<sub>s</sub>, P<sub>r</sub>, E<sub>c</sub> stand for saturated polarization, remanent polarization and coercive field, respectively.

시퀀스, 전구체의 선택, 산소 공급원의 선택, 반응 가스 주입 시간 등이 있다.

먼저 증착 온도는 가장 중요한 공정 변수 중 하나로, 불순물 농도, 결정립 크기, 다형성 등 산화 하프늄 기반 강유전성 박막의 여러 가지 특성에 강하게 영향을 준다. 전구체에 따라 온도 범위의 변화가 생기기는 하지만, 일반적으로 Hf, Zr 전구체의 ALD 윈도우는 200-350 °C 라고 받아들여지고 있으며, 충분히 높은 Pr값을 얻기 위한 최적의 증착 온도는 260-300 °C라고 알려져 있다 [16]. 만약 ALD 윈도우보다 높은 온도에서 원자층 증착 공정이 진행될 경우 앞서 언급하였듯 전구체의 열분해로 인한 불순물 농도의 증가가 나타나게 된다. ALD 윈도우보다 낮은 온도에서는 전구체가 완전히 반응하지 않아 챔버 내 응축이 일어날 수 있으며, 이렇게 증착된 박막은 과량의 잔류 불순물로 인한 높은 누설 전류 특성을 나타내는 듯 바람직하지 못한 전기적 특성을 가진다. 그럼에도 불구하고, 상대적으로 낮은 온도인 220 °C에서도 누설 전류의 심각한 증가를 유발하지 않고도 수평 방향의 결정 성장을 억제하여 평균 결정립의 크기를 줄일 수 있음이 확인되기도 하였다.[17] 이는 곧 소자의 내구성 측면에서의 개선으로 이어진다.

Liao 등의 연구진들은 [18] 결정립의 크기 및 결정립 경계 특성이 ALD 사이클 시퀀스를 조절함으로써 개선될 수 있다는 연구 결과를 보고하였다. HfO<sub>2</sub>-ZrO<sub>2</sub>를 증착하기 위한 전구체 사이클 시퀀스를 달리한 결과, Hf-5cycle-Zr-5cycle 로 증착한 경우에서 가장 작은 결정립 크기와 가장 작은 표준편차 값을 나타냈다. Zr이 풍부한 층에서의 핵생성이 Hf이 풍부한 층에서보다 쉽게 일어나는데, 이것이 곧 균일한 결정상의 핵생성과 성장으로 이어지게 되는 것이다. 이 때 Zr이 풍부한 층의 개별적 두께가 수직 방향의 결정립 성장을 제한할 수 있게끔 충분히 얇아야 한다. 이렇듯 결정립 특성은 ALD 시퀀스의 조절을 통해 제어될 수 있다.

한편 전구체의 선택 역시 박막 내 구조적 특성에 영향을 준다. Materano 외 연구진은 CpHf[N(CH<sub>3</sub>)<sub>2</sub>]<sub>3</sub>, CpZr[N(CH<sub>3</sub>)<sub>2</sub>]<sub>3</sub>과 같은 cyclopentadienyl 전구체로 증착한 박막이 tetrakis[ethylmethylamino] (TEMA) 전구체 기반 박막 보다 더 낮은 잔류 불순물 농도와 높은 밀도를 가짐을 보고하였다.[16] 또한 tetrakis[dimethylamino] (TDMA) 전구체 기반 박막에서는 결정립 크기가 강유전성 사방정계 상

의 안정화에 적합하여 TEMA 전구체 기반 박막에 비해 더 낮은 잔류 탄소 불순물 농도와 wake-up 효과의 개선이 이루어짐이 보고되기도 하였다.[19] TEMA 전구체의 경우는 리간드의 주변부 탄소가 쉽게 열분해되어 표면에 잔류하게 되고, 이 때문에 잔류 탄소 농도에서 2.3%와 3.9%로 차이가 났다.

마지막으로, 산소 공급원의 선택과 산소 노출 시간 역시도 HfO<sub>2</sub> 기반 강유전성 박막의 미세구조에 영향을 준다는 것이 널리 받아들여지고 있다. 널리 사용되는 산소 공급원은 O<sub>3</sub>로, 강한 산화력으로 인해 산소 공공 농도를 적절히 감소시켜주며 결과적으로 소자의 내구성을 개선시켜 준다. 그렇다고 해서 항상 O<sub>3</sub>가 최선의 선택인 것은 아니며, 전구체의 선택 및 증착 온도 조건에 따라 강유전성 박막의 전기적 특성에 미치는 영향 역시 다양하게 변한다. 자주 채택되지는 않지만, 누설 전류 특성과 높은 중형비를 갖는 구조로의 적용 가능성 덕에 대체 산소 공급원으로서 H<sub>2</sub>O<sub>2</sub>가 연구되기도 하였다.[14] 한편 O<sub>3</sub> 노출 시간은 박막 내 산소 공공의 형성에 영향을 주어 결과적으로 누설 전류, 내구성 및 보존성에 영향을 준다. 산소 반응 기체에 오래 노출시켜 박막을 증착할 경우 낮은 내구성을 나타냈다는 연구 결과가 보고되었고, 이는 노출 시간을 길게 한 박막 내 비강유전성 단사정계의 상분율이 높은 것으로 설명할 수 있다.[20] Mittmann 외 연구진은 O<sub>3</sub> 노출 시간이 누설 전류와 소자의 데이터 보존성에 미치는 영향에 대해 연구하였다. 그 결과 10초 이상 O<sub>3</sub> 기체에 노출시킬 경우 누설 전류가 수 크기 정도만큼 증가하였으며, 이 결과는 산소 치환 공공으로 인해 박막에 가해지는 압축 응력 때문이라고 분석되었다. 또한 O<sub>3</sub>을 너무 짧게 주입할 경우 유기 금속 전구체의 불완전한 반응으로 인한 누설 전류의 증가가 관찰되었다. 데이터 보존성은 O<sub>3</sub> 주입 시간을 1초까지 증가시킴에 따라 지속하여 증가하였고, 이 때 임프린트(imprint) 현상도 가장 억제되었다.[21]

### 3. HfO<sub>2</sub> 강유전체 기반 반도체 소자가 당면한 과제와 그 해결책

원자층 증착법을 이용하여 만든 강유전 HfO<sub>2</sub> 기반 소자를 상용화하기 위해서는 아직 여러가지 어려움이 존재한다. 특히 소자의 상용화에 핵심적이라고 여겨질 수 있는 높은 신뢰성 및 균일성의 확보가 우선되어야 하는데, 강유전 HfO<sub>2</sub> 기

반 소자의 신뢰성을 높이기 위해서는 적은 wake-up 효과, 높은 내구성(endurance), 긴 보존성(retention), 낮은 누설 전류(leakage current), 높은 동작 속도(switching speed), 그리고 낮은 동작 전압(operation voltage) 등이 요구된다.[22] 앞서 설명했듯 이러한 특성들은  $\text{HfO}_2$ 의 화학적, 결정학적, 그리고 미세조직에 크게 의존하므로 결정학적 다형성(polymorph), 결정립 크기(grain size), 도펀트 및 결함 농도(dopant and defect concentration), 결정학적 방위분포(orientation distribution) 등을 대면적에 걸쳐 균일하게 만드는 노력이 필요하다. 특히 5 nm 두께의  $\text{HfO}_2$  소자의 경우  $\text{HfO}_2$  결정 약 20 unit cell이 수직으로 쌓여 있는 것과 비슷하다는 것을 감안하면 대면적으로 균일한  $\text{HfO}_2$ 를 만드는 것이 상당히 어렵고 도전적인 일인지 알 수 있다. 이 단락에서는 원자층 증착법을 이용한 산화 하프늄 기반 강유전성 메모리 소자가 당면한 과제와 이를 극복할 수 있는 차세대 원자층 증착법 기술에 대해 서술하고자 한다.

### 3.1. 도펀트 및 결함의 균일성과 표면 거칠기

원자층 증착법을 이용한  $\text{HfO}_2$  박막 소자가 마주한 첫 번째 과제는 균일한 도펀트 및 결함의 농도 및 분포(concentration and distribution of defect and dopant) 및 매끄러운 표면 거칠기의 확보다. 앞서 설명했듯이  $\text{HfO}_2$ 의 원자층 증착법은 Hf 전구체와 산화제의 반복적인 주입으로 일정 두께의  $\text{HfO}_2$ 가 증착되는데, 강유전  $\text{HfO}_2$ 에서 사용되는 대부분의 도펀트 농도는 주입하는 Hf 전구체와 도펀트 전구체의 상대적인 비율로 결정이 된다. 예를 들어, 10nm 두께의  $\text{HfO}_2$ 에서 약 5%의 도펀트 농도를 얻기 위해서는 대략 Hf 전구체 100 사이클/도펀트 전구체 5 사이클 정도의 비율이 필요하다고 알려져 있다. 강유전  $\text{HfO}_2$ 의 두께가 점점 낮아지는 최근의 기술적 요구를 감안하면 낮은 두께의  $\text{HfO}_2$ 를 얻기 위해서는 전체적인 전구체의 주입사이클을 감소시켜야 한다. 즉, 강유전  $\text{HfO}_2$ 의 두께를 낮출수록 주입할 수 있는 도펀트 전구체 사이클이 1-2 사이클로 제한되는데 이러한 경우에는 대면적 및 수직층에서 균일한 도펀트 농도 및 분포를 얻기 점점 어려워진다.

또한 원자층 증착법으로 얻어지는 대부분의 박막은 이론과 다르게 현실적으로 단일층-단일층 형태의 증착이 이뤄지기 어려운 것으로 알려져 있

다. 실제로는 핵생성이 일어나기 쉬운 위치에 우선적 성장이 먼저 일어나고 다음 사이클에서 우선 성장 위치의 주변 구역으로 성장하는 섬 성장(island growth)이 일어난다.[23] 이런 성장은 표면을 상당히 거칠게 만들며 결과적으로 셀 마다 균일한 구조적 및 전기적 특성을 얻기 힘들게 한다. 이러한 점을 개선하기 위해 discrete feeding (DF)-ALD와 같은 기술이 제시된 바 있다.[24] DF-ALD의 경우 원자층 증착 공정에서 전구체 사이클을 반복함으로써 밀도 높은 단일층을 형성하며 결과적으로 매끄러운 표면과 대면적에서 균일한 특성을 얻을 수 있을 것으로 기대된다.

Kim[25]은 DF-ALD 공정을 강유전성  $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$  박막의 증착 과정에 적용하여 전통적인 thermal ALD 방법으로 형성된 박막의 특성과 비교하는 연구를 진행하였다. 그림 5a는 Kim 등의 연구에서 활용된 전통적인 thermal ALD 방법과 활용된 DF-ALD (DFM) 방법의 공정 파라미터들과 공정 모식도를 요약하여 보여준다. 그림에서 볼 수 있듯이 금속 전구체 주입 및 비활성 기체 퍼지 단계를 산소 공급원 주입 전에 여러번 반복하는 형식으로 진행하였으며, 전구체 주입 시간 및 횟수에 따라 여러 DF-ALD 공정을 평가하였다. 그림 5b에는 5-8 nm의 다양한 두께, 400 및 500 °C의 결정화 열처리 온도를 통해 최종 형성된 전통적인 ALD 박막과 DF-ALD 박막의 TiN 상하부 전극을 활용한 캐패시터 구조에서의 분극-전계 이력곡선을 요약하였다. 7-8 nm의 두께에서는 전통적인 thermal ALD와 DF-ALD 박막의 강유전성 차이가 두드러지지 않는 반면에, 5-6 nm의 더 얇은 두께에서는 그림에서 볼 수 있듯이 잔류분극의 증가가 DF-ALD 공정에서 두드러지는 것을 알 수 있다. 이는 개선된 ALD를 도입하여 한 번의 전구체 주입 과정에서 더 많은 전구체가 흡착되게 하고 이를 통해 고밀도의 박막을 형성할 수 있는 DF-ALD의 장점이 발현된 것으로 이해되고 있다. 그림 5c의 좌측 및 우측 패널에 각각 400 °C 및 500 °C에서 결정화된  $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$  박막의 두께에 따른  $2P_r$  값의 변화가 요약되어 있으며, 6 nm 400 °C에서 DF-ALD를 통해 HZO 박막의 결정화가 낮은 온도에서도 기존 ALD 공정에 비해 활성화되는 것을 확인할 수 있다. 또한, 500 °C에서도 5-6 nm 두께의  $2P_r$  값이 전통적인 ALD 방법에 비해 DF-ALD에서 향상된 것을 확인할 수 있다. 이를 통해 DF-ALD가 얇은 두께에서 더 높은 결

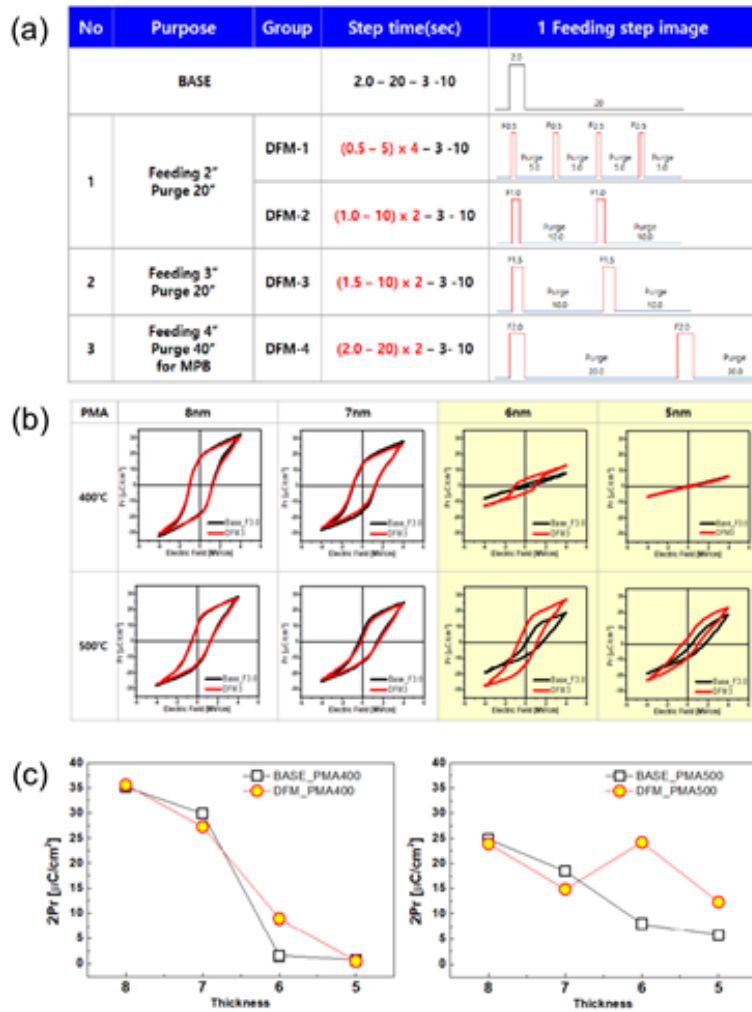


Fig. 5. (a) Summary of process parameters and process schemes of conventional ALD (base) and DF-ALD (DFM-n, n=1-4) utilized in the previous work by Kim.[Kim Ms. thesis] (b) The polarization-electric field curves of 5-8 nm-thick  $Hf_{0.5}Zr_{0.5}O_2$  film sandwiched by TiN top and bottom electrode, where the  $Hf_{0.5}Zr_{0.5}O_2$  films were deposited using conventional ALD (black curve) and DF-ALD (red curve) (c) The changes in  $2P_r$  values extracted from the P-E curves in figure b according to the changes in film thickness for the 400 °C (left panel) and 500 °C (right panel) annealed cases. Reproduced from [25] under a CC by 2.0 license.

정확도 및 강한 강유전성을 유도하는 데에 도움이 되는 것을 알 수 있다.

### 3.2. 결정학적 방위 분포의 균일성과 BEoL 공정 적합성의 확보

두 번째 과제는 집적회로에서 결정학적 방위 분포가 균일한  $HfO_2$  박막 제작 및 back-end-of-line(BEoL) 공정 적합성을 위한 결정화 온도의 감소다. 1T-1C FeRAM의 경우 결정학적 방위 조절을 위한 한 가지 해결책으로는 하부전극과의 lattice mismatch를 활용하는 것이다.  $HfO_2$  박막이 Si 기판 위에서 직접적으로 증착되는 FeFET

의 경우 아직까지 뚜렷한 해결책이 없어 보인다. 비록 Cheema를 비롯한 연구진들이 2 nm 두께의 강유전  $HfO_2$  박막에서의 우선 방위를 보고하였지만 낮은 누설 전류 특성을 보이는 10 nm 두께까지 특정 우선 방위를 조절 및 유지하기는 힘들어 보인다.[26] 나아가 강유전  $HfO_2$ 가 FinFET이나 GAA FET 등과 같은 3D 나노구조에 적용될 때 우선 방위 조절은 더욱 힘들 것이다. 심지어 Si 기판 위에서 직접적으로 증착된  $HfO_2$ 에 대한 선행 연구 결과들이 poly-Si 채널에서도 적용 가능할 것인지 확실치 않다. 또한, 400 °C 이하에서 모든 공정이 이뤄지는 BEOL 공정에도 강유전  $HfO_2$ 를 적용하기 위해서  $HfO_2$ 의 높은 결정화 온도 역



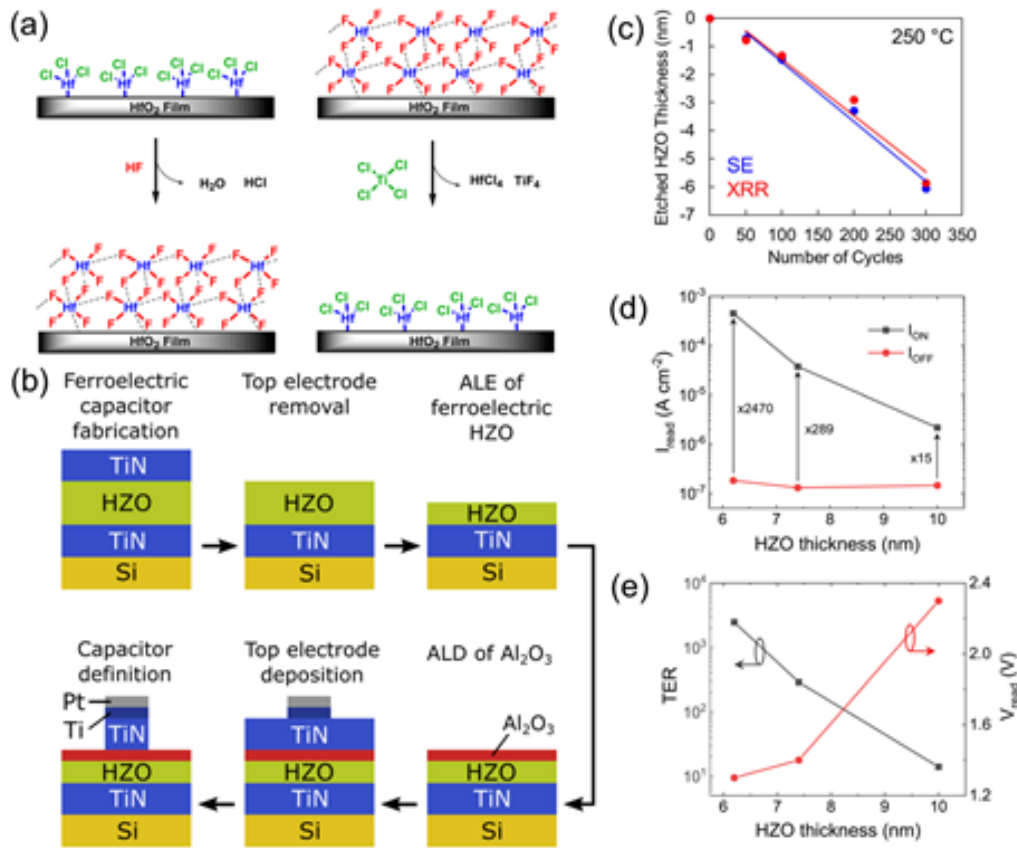


Fig. 6. (a) A process scheme of atomic layer etching consisting of fluorination (left panel) and ligand exchange (right panel) steps. Reproduced from [28] with permission. Copyright 2022, American Vacuum Society. (b) Simplified process flow for ferroelectric tunnel junction fabrication including thermal ALE of the ferroelectric hafnium zirconium oxide (HZO). (c) Etched HZO thickness as a function of ALE cycles measured by spectroscopic ellipsometry (SE) and x-ray reflectometry (XRR). (d) Tunnel junction read current in the ON- and OFF-state as a function of the HZO thickness. (e) Tunneling electroresistance (TER) and read voltage ( $V_{read}$ ) as a function of the HZO thickness. Figures b–e were reproduced from [29] with permission. Copyright 2022, American Institute of Physics.

시 극복해야 할 과제이다. 비록 400 °C 이하의 열처리 조건에서도 강유전 HfO<sub>2</sub> 박막이 결정화 및 강유전 특성을 나타낸 보고가 있었지만[27] 일반적으로 두께가 줄어들수록 결정화 온도가 높아지는 점을 감안했을 때, 낮은 두께의 HfO<sub>2</sub>를 BEOL 공정에 적용하기 위해서 결정화 온도를 더욱 낮추는 노력이 필요할 것으로 보인다.

강유전 HfO<sub>2</sub>의 높은 결정화 온도 문제와 스케일링에 대한 한 가지 해결책으로 원자층 식각법 (atomic layer etching, ALE)이 떠오르고 있다. 원자층 식각법은 원자층 증착법과 구성은 전체적으로 비슷하나 전구체 및 산화제를 주입하는 대신에 fluoride 및 chloride 기체를 각각의 사이클에 주입시킨다. 예를 들어 HfO<sub>2</sub>의 경우 그림 6a에서 보는 바와 같이 HF 기체를 주입하게 되면 열역학적으로 더 안정상인 HfF<sub>4</sub>가 자기 제한적 표면반응으로 인해 표면에 단일층으로 형성되고 HfF<sub>4</sub>에 Cl 계열의 전구체를 주입하게 되면 HfCl<sub>4</sub>가 기체로

형성되어 단일층의 HfO<sub>2</sub>가 식각되며 두께를 조절할 수 있다.[28] 따라서 특정 두께의 HfO<sub>2</sub>를 낮은 열처리온도에서 결정화시키고 원자층 식각법을 이용하면 낮은 열처리조건 및 낮은 두께에서도 결정화가 완료된 HfO<sub>2</sub> 박막을 얻을 수 있을 것으로 기대된다.

Hoffmann 등은 실제 ALE 기술을 적용하여 하프니아 기반 강유전체 초박막의 두께를 원자층 단위로 정밀하게 조정할 수 있으며 이를 통해 FTJ의 소자 특성을 개선할 수 있음을 보고하였다.[29] 그림 6b에서 볼 수 있듯이 우선 일반적인 TiN/HZO(10 nm)/TiN capacitor를 제작하여 결정화 열처리 공정을 진행한 이후에 SC-1 etchant (NH<sub>4</sub>OH, H<sub>2</sub>O<sub>2</sub>, and H<sub>2</sub>O solution)을 활용하여 TiN 상부 전극을 etch하였고, 열처리 과정중 계면에 형성된 HfON층은 10% HF 수용액을 활용하여 제거하였다. 이후 ALE 공정을 적용하여 HZO의 두께를 10 nm 이하 영역

에서 원자층 단위로 정밀하게 조절하였다. ALE 공정에는 HF를 fluorination에 활용하였으며 dimethylaluminum chloride를 ligand-exchange의 금속 전구체로 활용하였다. 이후  $\text{Al}_2\text{O}_3$ 를 ALD로 증착한 이후에 Pt/TiN 전극 패턴 형성을 TiN 전극 전면 증착, Pt 전극의 shadow mask를 활용한 패터닝 스퍼터링 증착, SC-1 etchant를 활용한 상부 TiN의 선택적 etching의 과정으로 형성하였다. Spectroscopic ellipsometry (SE)와 X-ray reflectometry를 활용하여 ALE 사이클에 따른 HZO 박막의 두께 변화가 그림 6c에 요약되어 있으며 사이클 수에 따라 선형적으로 두께가 정밀하게 제어되며 이를 통해 일정한 etch rate (0.02 nm/cycle)를 가질 수 있음을 확인할 수 있었다. 그림 6d는 이러한 과정으로 형성된 FTJ 소자의 on/off current의 박막 두께에 따른 변화를 보여주며 on/off ratio가 15에서 2,470로 급증하는 것을 확인할 수 있었다. 그림 6e는 FTJ의 대표적인 성능지표인 tunneling electro-resistance ratio (TER)과 read 전압 ( $V_{\text{read}}$ )을 보여주며, HZO 박막의 두께 조절을 통해 read 전압을 크게 감소시키고, TER 값도 크게 향상시킬 수 있음을 확인했다. 본 연구에서 얻은 결과는 다른 초박막을 활용한 FTJ의 성능에 비해 크게 향상되었으며, 이는 얇은 두께에서 높은 결정화도의 박막을 ALE 기술 도입을 통해 달성했기 때문인 것으로 판단된다.

### 3.3. 전극 및 기판 간 계면 특성의 개선

세 번째 과제는 강유전 산화 하프늄 기반 박막과 전극 및 기판 사이의 계면 품질 개선이다. 특히 두께가 낮은 수 nm의  $\text{HfO}_2$ 의 경우 상/하부에서 형성된 1-2 nm 두께의 계면이 두께비율에서 상당히 비중 있는 저항기 혹은 커패시터로 작용할 것이며 이는 강유전 산화 하프늄 셀의 전기적 특성에 큰 영향을 줄 것이다. FeFET의 경우 게이트 스택의 계면에 쌓이는 트랩이 소자의 내구성을 감소시키는 것으로 알려져 있으나[30] 계면에  $\text{SiO}_2$ [31],  $\text{SiO}_x\text{N}_y$ [32, 33],  $\text{Al}_2\text{O}_3$ [34],  $\text{TiO}_2$ [35] 등의 high-k 물질을 삽입함으로써 내구성을 크게 향상시킬 수 있는 것으로 보고된 바 있다. 하지만 계면층의 삽입으로 인해 소자의 동작전압을 증가시키게 되므로 소비전력을 낮추는 관점에서는 개선되어야 할 점으로 꼽힌다.

Kim 등[35]은 반강유전성  $\text{Hf}_{0.3}\text{Zr}_{0.7}\text{O}_2$  박막

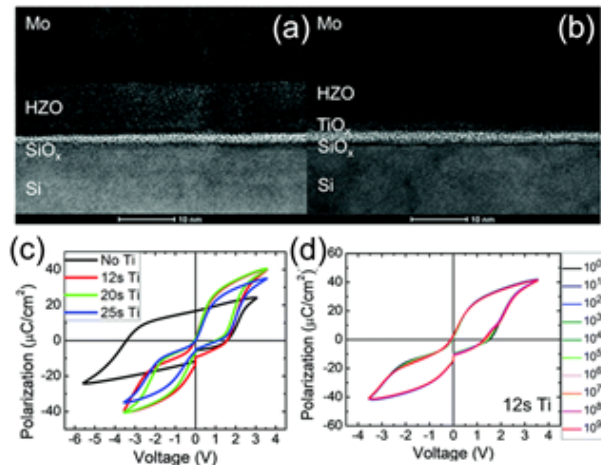


Fig. 7. Cross-sectional transmission electron microscopy images of (a) Mo/ $\text{Hf}_{0.3}\text{Zr}_{0.7}\text{O}_2$ / $\text{SiO}_x$ /Si and (b) Mo/ $\text{Hf}_{0.3}\text{Zr}_{0.7}\text{O}_2$ / $\text{TiO}_x$ / $\text{SiO}_x$ /Si capacitors with Ti sputtering times of 12 s. (c) Polarization-voltage (P-V) of Mo/ $\text{Hf}_{0.3}\text{Zr}_{0.7}\text{O}_2$ / $\text{SiO}_x$ /Si and Mo/ $\text{Hf}_{0.3}\text{Zr}_{0.7}\text{O}_2$ / $\text{TiO}_x$ / $\text{SiO}_x$ /Si capacitors with Ti sputtering times of 12, 20, and 25 s. (d) Endurance test results of Mo/ $\text{Hf}_{0.3}\text{Zr}_{0.7}\text{O}_2$ / $\text{TiO}_x$ / $\text{SiO}_x$ /Si capacitors with Ti sputtering times of 12 s. Reproduced from [35] with permission. Copyright 2020, Royal Society of Chemistry.

을 Si 위에 직접 증착하지 않고 ALD 공정 이전에 2 nm 이하의 Ti 금속 초박막을 증착한 이후 증착을 진행할 경우에  $\text{Hf}_{0.3}\text{Zr}_{0.7}\text{O}_2$  박막의 강유전성이 강하게 발현될 수 있음을 확인하였다. 그림 7a와 b는 각각 Ti interfacial layer가 없는 경우와 있는 경우의 Mo/ $\text{Hf}_{0.3}\text{Zr}_{0.7}\text{O}_2$ / $\text{SiO}_x$ /Si와 Mo/ $\text{Hf}_{0.3}\text{Zr}_{0.7}\text{O}_2$ / $\text{TiO}_x$ / $\text{SiO}_x$ /Si capacitor의 단면 TEM 이미지를 보여준다. 그림 7c에 분극-전계 곡선이 정리되어 있으며,  $\text{TiO}_x$  층이 없는 경우에 반강유전성이 기대되는 70%의 Zr 조성임에도 높은 trap density에 의한 강유전성과 유사한 단일 이력곡선이 관찰되나 Ti층의 선증착이 있는 샘플의 경우 반강유전성이 회복된 것을 볼 수 있다. 또한, 그림 7d에서 볼 수 있듯이 109회의 반복스위칭에도 강유전성이 큰 변화 없이 유지되는 우수한 신뢰성을 확인할 수 있었다. 이는 약  $10^5$ - $10^6$ 회 정도의 한계가 많이 보고되는 FeFET의 endurance에 비해서 약 4-5 order 정도가 향상된 결과이다.

Lee 등[36]은 진공상태를 유지하며 제작한 전극-강유전-전극(metal-ferroelectric-metal, MFM) 샌드위치 구조에서 높은 강유전성이 나타남을 보고한 바 있다. 그림 8a는 ALD 챔버 내에서 진공상태를 유지한채 하부 TiN-강유전  $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ -상부 TiN을 연속적으로 증착하는 sequential, no-atmosphere processing (SNAP) 공정을 나타내는 모식도다. 단면 energy

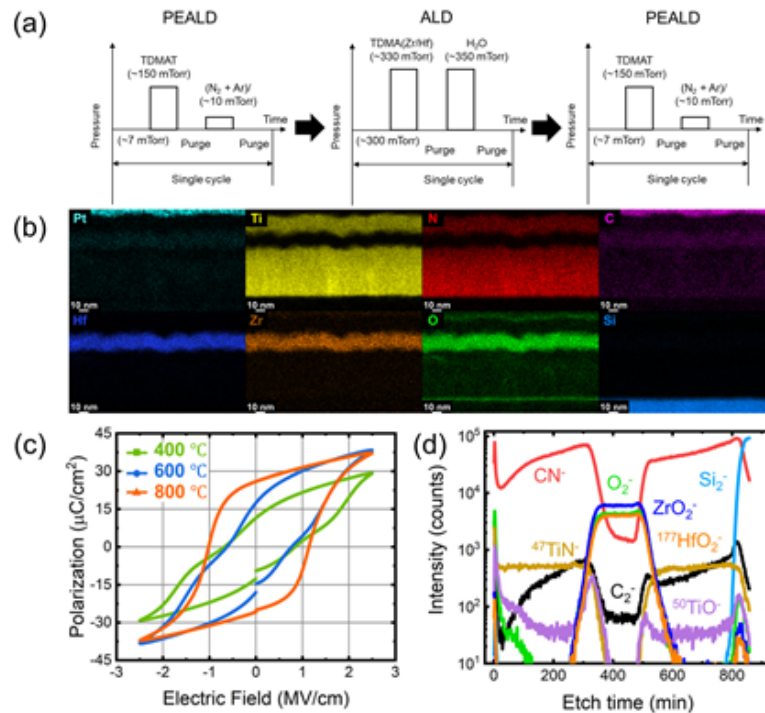


Fig. 8. (a) Flow chart of the sequential, no-atmosphere processing (SNAP) deposition to fabricate the ferroelectric  $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$  metal-ferroelectric-metal (MFM) capacitor. Bottom TiN- $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ -top TiN is deposited sequentially without breaking the vacuum. (b) Energy dispersive spectroscopy (EDS) elemental map achieved via cross-sectional STEM images. (c) P-E hysteresis loop of the SNAP-deposited MFM capacitor, and (d) time-of-flight secondary ion mass spectrometry (ToF-SIMS) depth-profile of the SNAP-deposited MFM capacitor annealed at 800 °C. Reprinted from [36], with the permission of AIP Publishing.

dispersive spectroscopy (EDS) 결과인 그림 8b에서 보는 바와 같이 SNAP으로 증착한 MFM 캐패시터는 화학적으로 순수하며 매끄러운 전극/강유전 계면을 보여준다. 그림 8c에서 보는 바와 같이 800 °C에서 열처리를 가한 MFM 캐패시터의 경우 최대  $27 \mu\text{C}/\text{cm}^2$ 의 높은 잔류분극을 나타내었다. 그림 8d에서 보는 바와 같이 800 °C에서 열처리를 가한 MFM 캐패시터의 time-of-flight secondary ion mass spectrometry (ToF-SIMS) 수직분포분석 (depth-profile) 결과를 보면 전극층과 강유전층의 계면이 상당히 뚜렷하고 명확하게 구분지어지는 것을 확인할 수 있다. 결론적으로 SNAP을 통해 제작된 MFM 캐패시터의 매끄럽고 화학적으로 순수한 계면상태 덕분에 높은 잔류분극을 얻을 수 있다고 보고한 바 있다. [37] 더 나아가 표면의 작용기에 따라 증착률이 달라지는 점을 활용한 구역선택 원자층 증착법 (area selective, AS)-ALD을 응용하여 선택된 구역의 기판에 표면처리를 가하면 3D구조의 강유전 산화 하프늄 기반 소자를 보다 정밀하게 만들 수 있을 것으로 기대된다.[38]

#### 4. 결 론

본 리뷰에서는 최근 각광받고 있는 산화 하프늄 기반 강유전체의 원자층 증착법 공정의 현 상황과 당면하고 있는 문제점을 살펴보고, 최근 보고되고 있는 상기 문제를 해결하기 위한 다양한 해결 방안을 종합적으로 살펴보았다. 2011년 초기 보고부터 원자층 증착법으로 형성된 10 nm 수준의 두께에서 발현되는 우수한 강유전성은 기존 강유전체에 비해 큰 장점으로 여겨진다. 하지만, 미래 반도체 소자 적용을 위해 5 nm 이하의 초박막의 영역에서 우수한 강유전성을 BEOL 공정에 적합한 저온 공정으로 구현하는 데에는 아직까지 많은 어려움이 있는 상황이다. 하지만, 활발히 진행되고 있는 원자층 증착법 공정에 대한 연구로 인해 다양한 공정변수가 미치는 산화 하프늄 기반 강유전체의 물성 변화의 메커니즘에 대한 이해가 점점 깊어지고 있으며, 이를 기반으로 향상된 성능을 보이는 산화 하프늄 기반 강유전체에 대한 보고가 꾸준히 나오고 있다.

더 나아가, 반도체 산업계에서 대면적에 증착된

다수의 산화 하프늄 기반 강유전체 어레이를 활용한 소자에 대한 보고들이 나오고 있으며, 최신 반도체 소자들의 집적도에 버금가는 소형화된 소자에 대한 연구 또한 학계 및 산업계에서 활발히 진행되고 있다. 현재, 미래 반도체 소자에 적용할 기술로 활발히 연구되고 있는 AS-ALD, ALE 등의 공정 또한 산화 하프늄 기반 강유전체에 적용하는 연구가 시작되는 단계가 있으며, 이러한 기술을 통해 저온 결정화, 에칭 과정에서의 결함 형성 감소 등이 가능할 것으로 기대된다. 한편, 대면적에 균일한 특성을 가지는 우선배향성 박막을 형성하는 기술 역시 높은 중요성을 가지고 있으나, 현재 하부 기판의 변화가 어려운 실리콘 채널을 사용하는 FeFET 소자 등의 응용에서는 이에 대한 명확한 해결책이 없는 상황이다. 이러한 문제들을 해결할 수 있는 개선된 원자층 증착법 공정에 대한 연구가 산화 하프늄 기반 강유전체의 반도체 소자 적용을 위해 시급히 연구되어야 할 주제들로 판단된다.

## Acknowledgement

이 연구는 서울대학교 신입교수 연구정착금으로 지원되는 연구비에 의하여 수행되었음.

## REFERENCE

- [1] M. H. Park, Y. H. Lee, H. J. Kim, Y. J. Kim, T. Moon, K. D. Kim, J. Müller, A. Kersch, U. Schroeder, T. Mikolajick, C. S. Hwang, Ferroelectricity and antiferroelectricity of doped thin HfO<sub>2</sub>-based films, *Adv. Mater.*, 27 (2015) 1811-1831.
- [2] T. S. Böske, J. Müller, D. Bräuhäus, U. Schröder, U. Böttger, Ferroelectricity in hafnium oxide thin films, *Appl. Phys. Lett.*, 99 (2011) 102903.
- [3] O. Ohtaka, H. Fukui, T. Kunisada, T. Fujisawa, K. Funakoshi, W. Utsumi, T. Irifune, K. Kuroda, T. Kikegawa, Phase relations and volume changes of hafnia under high pressure and high temperature, *J. Am. Ceram. Soc.*, 84 (2004) 1369-1373.
- [4] J. Müller, E. Yurchuk, T. Schlösser, J. Paul, R. Hoffmann, S. Müller, D. Martin, S. Slesazeck, P. Polakowski, J. Sundqvist, M. Czernohorsky, K. Seidel, P. Kücher, R. Boschke, M. Trentzsch, K. Gebauer, U. Schröder, T. Mikolajick, Ferroelectricity in HfO<sub>2</sub> enables nonvolatile data storage in 28 nm HKMG, 2012 Symp. VLSI Technol., (2012) 25-26.
- [5] J. Müller, T. S. Böske, S. Müller, E. Yurchuk, P. Polakowski, J. Paul, D. Martin, T. Schenk, K. Khullar, A. Kersch, W. Weinreich, S. Riedel, K. Seidel, A. Kumar, T. M. Arruda, S. V. Kalinin, T. Schlösser, R. Boschke, R. van Bentum, U. Schröder, T. Mikolajick, Ferroelectric hafnium oxide: a CMOS-compatible and highly scalable approach to future ferroelectric memories, 2013 IEEE Int. Electron Devices Meet., (2013) 10.8.1-10.8.4.
- [6] K. Florent, M. Pesic, A. Subirats, K. Banerjee, S. Lavizzari, A. Arreghini, L. Di Piazza, G. Potoms, F. Sebaai, S. R. C. McMitchell, M. Popovici, G. Groeseneken, J. Van Houdt, Vertical ferroelectric HfO<sub>2</sub> FET based on 3-D NAND architecture: towards dense low-power memory, 2018 IEEE Int. Electron Devices Meet., (2018) 2.5.1-2.5.4.
- [7] J. Okuno, T. Kunihiro, K. Konishi, H. Maemura, Y. Shuto, F. Sugaya, M. Materano, T. Ali, K. Kuehnel, K. Seidel, U. Schroeder, T. Mikolajick, M. Tsukamoto, T. Umebayashi, SoC compatible 1T1C FeRAM memory array based on ferroelectric Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub>, 2020 IEEE Symp. VLSI Technol., (2020) 1-2.
- [8] S. C. Chang, N. Haratipour, S. Shivaraman, T. L. Brown-Heft, J. Peck, C. C. Lin, I. C. Tung, D. R. Merrill, H. Liu, C. Y. Lin, F. Hamzaoglu, M. V. Metz, I. A. Young, J. Kavalieros, U. E. Avci, Anti-ferroelectric Hf<sub>x</sub>Zr<sub>1-x</sub>O<sub>2</sub> capacitors for High-density 3-D Embedded-DRAM, 2020 IEEE Int. Electron Devices Meet., (2020) 28.1.1-28.1.4.
- [9] M. Sung, K. Rho, J. Kim, J. Cheon, K. Choi, D. Kim, H. Em, G. Park, J. Woo, Y. Lee, J. Ko, M. Kim, G. Lee, S. W. Ryu, D. S. Sheen, Y. Joo, S. Kim, C. H. Cho, M.

- H. Na, J. Kim, Low voltage and high speed 1Xnm 1T1C FE-RAM with ultra-thin 5nm HZO, 2021 IEEE Int. Electron Devices Meet., (2021) 33.3.1-33.3.4.
- [10] S. Yoon, S. I. Hong, G. Choi, D. Kim, I. Kim, S. M. Jeon, C. Kim, K. Min, Highly stackable 3D ferroelectric NAND devices: beyond the charge trap based memory, 2022 IEEE Int. Memory Workshop (2022) 1-4.
- [11] S. Fujii, Y. Kamimuta, T. Ino, Y. Nakasaki, R. Takaishi, M. Saitoh, First demonstration and performance improvement of ferroelectric HfO<sub>2</sub>-based resistive switch with low operation current and intrinsic diode property, 2016 IEEE Symp. VLSI Technol., (2016) 1-2.
- [12] V. Cremers, R. L. Puurunen, J. Dendooven, Conformality in atomic layer deposition: Current status overview of analysis and modelling, *Appl. Phys. Rev.*, 6 (2019) 021302.
- [13] H. Kim, Atomic layer deposition of metal and nitride thin films: Current research efforts and applications for semiconductor device processing, *J. Vac. Sci. Technol., B: Microelectron. Nanometer Struct.--Process., Meas., Phenom.*, 21 (2003) 2231.
- [14] H. A. Hsain, Y. Lee, M. Materano, T. Mittmann, A. Payne, T. Mikolajick, U. Schroeder, G. N. Parsons, J. L. Jones, Many routes to ferroelectric HfO<sub>2</sub>: A review of current deposition methods, *J. Vac. Sci. Technol., A* 40 (2022) 010803.
- [15] A. Chouprik, D. Negrov, E. Y. Tsymbal, A. Zenkevich, Defects in ferroelectric HfO<sub>2</sub>, *Nanoscale*, 13 (2021) 11635-11678.
- [16] M. Materano, P. D. Lomenzo, A. Kersch, M. H. Park, T. Mikolajick, U. Schroeder, Interplay between oxygen defects and dopants: effect on structure and performance of HfO<sub>2</sub>-based ferroelectrics, *Inorg. Chem. Front.*, 8 (2021) 2650-2672.
- [17] K. D. Kim, M. H. Park, H. J. Kim, Y. J. Kim, T. Moon, Y. H. Lee, S. D. Hyun, T. Gwon, C. S. Hwang, Ferroelectricity in undoped-HfO<sub>2</sub> thin films induced by deposition temperature control during atomic layer deposition, *J. Mater. Chem., C* 4 (2016) 6864-6872.
- [18] J. Liao, B. Zeng, Q. Sun, Q. Chen, M. Liao, C. Qiu, Z. Zhang, Y. Zhou, Grain size engineering of ferroelectric Zr-doped HfO<sub>2</sub> for the highly scaled devices applications, *IEEE Electron Device Lett.*, 40 (2019) 1868-1871.
- [19] B. S. Kim, S. D. Hyun, T. Moon, K. D. Kim, Y. H. Lee, H. W. Park, Y. B. Lee, J. Roh, B. Y. Kim, H. H. Kim, M. H. Park, C. S. Hwang, A comparative study on the ferroelectric performances in atomic layer deposited Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub> thin films using tetrakis(ethylmethylamino) and tetrakis(dimethylamino) precursors, *Nanoscale Res. Lett.*, 15 (2020) 72.
- [20] M. Materano, T. Mittmann, P. D. Lomenzo, C. Zhou, J. L. Jones, M. Falkowski, A. Kersch, T. Mikolajick, U. Schroeder, Influence of oxygen content on the structure and reliability of ferroelectric Hf<sub>x</sub>Zr<sub>1-x</sub>O<sub>2</sub> layers, *ACS Appl. Electron. Mater.*, 2 (2020) 3618-3626.
- [21] T. Mittmann, M. Materano, S. C. Chang, I. Karpov, T. Mikolajick, U. Schroeder, Impact of oxygen vacancy content in ferroelectric HZO films on the device performance, 2020 IEEE Int. Electron Devices Meet., (2020) 18.4.1-18.4.4.
- [22] J. Y. Park, K. Yang, D. H. Lee, S. H. Kim, Y. Lee, P. R. S. Reddy, J. L. Jones, M. H. Park, A perspective on semiconductor devices based on fluorite-structured ferroelectrics from the materials-device integration perspective, *J. Appl. Phys.*, 128 (2020) 240904.
- [23] M. L. Green, M. Y. Ho, B. Busch, G. D. Wilk, T. Sorsch, T. Conard, B. Brijs, W. Vandervorst, P. I. Räisänen, D. Muller, M. Bude, J. Grazul, Nucleation and growth of atomic layer deposited HfO<sub>2</sub> gate dielectric layers on chemical oxide (Si-O-H) and

- thermal oxide ( $\text{SiO}_2$  or Si-O-N) underlayers. *J. Appl. Phys.*, 92 (2002) 7168-7174.
- [24] Y. Han, H. Duan, C. Zhou, H. Meng, Q. Jiang, B. Wang, W. Yan, R. Zhang, Stabilizing cobalt single atoms via flexible carbon membranes as bifunctional electrocatalysts for binder-free zinc-air Batteries, *Nano Lett.*, 22 (2022) 2497-2505.
- [25] 김호현, Discrete Feeding Method 활용을 통한  $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$  박막의 전기적 특성 향상 연구, 서울대학교 대학원, 서울, (2020) 44, 75
- [26] Suraj S Cheema et al, Ultrathin ferroic  $\text{HfO}_2$ - $\text{ZrO}_2$  superlattice gate stack for advanced transistors, *Nature* 604 (2022) 65-71.
- [27] D. Lehniger, R. Olivo, T. Ali, M. Lederer, T. Kämpfe, C. Mart, K. Biedermann, K. Kühnel, L. Roy, M. Kalkani, K. Seidel, Back-end-of-line compatible low-temperature furnace anneal for ferroelectric hafnium zirconium oxide formation, *Phys. Status Solidi, A* 217 (2020) 1900840.
- [28] Y. Lee, S. M. George, Thermal atomic layer etching of  $\text{HfO}_2$  using HF for fluorination and  $\text{TiCl}_4$  for ligand-exchange, *J. Vac. Sci. Technol., A* 36 (2018) 061504 .
- [29] M. Hoffmann, J. A. Murdzek, S. M. George, S. Slesazek, U. Schroeder, T. Mikolajick, Atomic layer etching of ferroelectric hafnium zirconium oxide thin films enables giant tunneling electroresistance, *Appl. Phys. Lett.*, 120 (2022) 122901.
- [30] N. Gong, T. P. Ma, A study of endurance issues in  $\text{HfO}_2$ -based ferroelectric field effect transistors: charge trapping and trap generation, *IEEE Electron Device Lett.*, 39 (2018) 15-18.
- [31] K. Ni, P. Sharma, J. Zhang, M. Jerry, J. A. Smith, K. Tapily, R. Clark, S. Mahapatra, S. Datta, Critical role of interlayer in  $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$  ferroelectric FET nonvolatile memory performance, *IEEE Trans. Electron Devices*, 65 (2018) 2461-2469.
- [32] T. Ali, P. Polakowski, S. Riedel, T. Büttner, T. Kämpfe, M. Rudolph, B. Pätzold, K. Seidel, D. Löhr, R. Hoffmann, M. Czernohorsky, K. Kühnel, P. Steinke, J. Calvo, K. Zimmermann, J. Müller, High endurance ferroelectric hafnium oxide-based FeFET memory without retention penalty, *IEEE Trans. Electron Devices*, 65 (2018) 3769-3774.
- [33] A. J. Tan, Y. H. Liao, L. C. Wang, N. Shanker, J. H. Bae, C. Hu, S. Salahuddin, Ferroelectric  $\text{HfO}_2$  memory transistors with High- $\kappa$  interfacial layer and write endurance exceeding  $10^{10}$  cycles, *IEEE Electron Device Lett.*, 42 (2021) 994-997.
- [34] C. Y. Chan, K. Y. Chen, H. K. Peng, Y. H. Wu, FeFET memory featuring large memory window and robust endurance of long-pulse cycling by interface engineering using high-k AlON, 2020 Symp. VLSI Technol., (2020) 1-2.
- [35] S. H. Kim, G. T. Yu, G. H. Park, D. H. Lee, J. Y. Park, K. Yang, E. B. Lee, J. I. Lee, M. H. Park, Interfacial engineering of a Mo/ $\text{Hf}_{0.3}\text{Zr}_{0.7}\text{O}_2$ /Si capacitor using the direct scavenging effect of a thin Ti layer, *Chem. Commun*, 57 (2021), 12452-12455.
- [36] Y. Lee, H. A. Hsain, S. S. Fields, S. T. Jaszewski, M. D. Horgan, P. G. Edgington, J. F. Ihlefeld, G. N. Parsons, J. L. Jones, Unexpectedly large remanent polarization of  $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$  metal-ferroelectric-metal capacitor fabricated without breaking vacuum, *Appl. Phys. Lett.*, 118 (2021) 012903.
- [37] Y. Liang et al.,  $\text{ZrO}_2$ - $\text{HfO}_2$  superlattice ferroelectric capacitors with optimized annealing to achieve extremely high holarization stability, *IEEE Electron Device Lett.*, 43 (2022) 1451-1454.
- [38] G. N. Parsons, R. D. Clark, Area-selective deposition: fundamentals, applications, and future outlook, *Chem. Mater.*, 32 (2020) 4920-4953.