

# 3상 3-레벨 컨버터의 누설전류 저감과 NP 전류 제어를 위한 캐리어 기반 LFCPWM

이은철<sup>1</sup>, 최남섭<sup>†</sup>

## Carrier Based LFCPWM for Leakage Current Reduction and NP Current Control in 3-Phase 3-Level Converter

Eun-Chul Lee<sup>1</sup> and Nam-Sup Choi<sup>†</sup>

### Abstract

This study proposes a carrier-based pulse width modulation (PWM) method for leakage current reduction and neutral point (NP) current control in a three-phase three-level converter, which is a carrier-based PWM version of the previously proposed low-frequency common mode voltage PWM. Three groups of space vectors with the same common mode voltage are used. When the averaged NP current needs to be positive or negative, the specific groups are employed to produce low-frequency common mode voltages. The validity of the proposed PWM method is verified through experiments.

**Key words:** 3-level converter, Leakage current, Neutral point current control, Carrier based PWM

### 1. 서 론

NPC(neutral-point clamped)-타입 또는 T-타입의 3-레벨 컨버터는 3-레벨의 극전압 파형을 발생하기 위하여 통상 DC-링크에 직렬 연결된 2개의 커패시터로부터 직류측 입력단 전압을 얻는다. 이러한 3상 3-레벨 컨버터의 제어 및 동작에서 두 가지 중요한 이슈(issue)는 다음과 같다. 첫 번째는 대칭 3상의 교류측 전압을 얻기 위하여 직류측 두 커패시터 전압은 서로 같아야 한다는 점이고 두 번째는 누설전류를 최소화하기 위하여 스위칭 동작시 공통 모드 전압(common mode voltage)의 변동이 최소화되어야 한다는 점이다<sup>[1-2][7-9]</sup>.

3상 3-레벨 컨버터는 27개의 스위칭 상태를 갖는데 만일 동일한 공통 모드 전압을 갖는 7개의 Medium Vector만을 사용한다면 이론적으로 공통 모드 전압의

변동은 영(0)이 될 것이다. 이러한 제어방법을 Medium Vector PWM(MVPWM)이라고 한다<sup>[3-6]</sup>. 이 MVPWM 방법은 누설전류를 최소화한다는 목적에는 부합되지만 첫 번째의 커패시터 전압 밸런싱 이슈를 해결하기 위하여 NP(neutral point) 전류를 제어할 수 없는 단점이 있다.

직류측 커패시터 전압 밸런싱과 누설전류 저감/제거의 2가지를 목적으로 하는 PWM 방법은 어느 정도 절충의 문제로 여겨진다<sup>[7-9]</sup>. 문헌 [8]의 방법은 NP 전류의 제어 목적에는 충실하지만 누설전류 저감은 최소화되지 않은 단점이 있다.

문헌 [7]에 제안된 저주파 공통 모드 전압 PWM(low frequency common mode voltage PWM, LFCPWM)은 전체 공간 벡터 가운데 공통 모드 전압이 같은 3개의 그룹의 공간 벡터만을 사용하고 컨버터의 공통 모드 전압이 기본 주파수의 3배에 해당하는 저주파로 동작하므로 누설전류를 최대한 저감시키면서 동시에 NP 전류를 제어할 수 있다는 장점이 있다. 문헌 [9]에 제시된 PWM 방법은 사용되는 공간 벡터가 근본적으로 문헌 [7]에 사용되는 것과 같다.

그런데 기존의 제안된 LFCPWM 방법은 공간 벡터 PWM(SVPWM: space vector PWM) 기반으로 3상 교류측 전압을 합성하기 때문에 동작구간 영역에 따라서 다른 조합의 스위칭 벡터를 선택하는 알고리즘의 연

Paper number: TKPE-2022-27-5-12

Print ISSN: 1229-2214 Online ISSN: 2288-6281

<sup>†</sup> Corresponding author: nschoi@jnu.ac.kr, Division of Electrical, Electronic Communication and Computer Eng., Chonnam National University, Korea

Tel: +82-61-659-7311 Fax: +82-61-659-7319

<sup>1</sup> Research and Development Department, EKOS Co., Ltd., Korea

Manuscript received Aug. 8, 2022; revised Aug. 10, 2022; accepted Aug. 10, 2022

TABLE I  
CLASSIFICATION OF SPACE VECTORS

NP Current Control	Common mode voltage						
	$-(3/6)V_{dc}$	$-(2/6)V_{dc}$	$-(1/6)V_{dc}$	0	$(1/6)V_{dc}$	$(2/6)V_{dc}$	$(3/6)V_{dc}$
Positive NP Current					$V_{13}$ [POO] $V_{15}$ [OPO] $V_{17}$ [OOP]	$V_{14}$ [PPO] $V_{16}$ [OPP] $V_{18}$ [POP]	
Negative NP Current		$V_{13}$ [ONN] $V_{15}$ [NON] $V_{17}$ [NNO]	$V_{14}$ [OON] $V_{16}$ [NOO] $V_{18}$ [ONO]				
NP Current is not Controllable	$V_0$ [NNN]		$V_1$ [PNN] $V_3$ [NPN] $V_5$ [NNP]	$V_0$ [OOO] $V_7$ [PON] $V_8$ [OPN] $V_9$ [NPO] $V_{10}$ [NOP] $V_{11}$ [ONP] $V_{12}$ [PNO]	$V_2$ [PPN] $V_4$ [NPP] $V_6$ [PNP]		$V_0$ [PPP]
PWM Type			N-PWM	Z-PWM	P-PWM		

산 과정이 길고 구현이 복잡한 단점이 있다[7][9].

본 논문에서는 LFCPWM 방법을 실제로 실용화할 수 있도록 공간 벡터 기반으로 구현하는 방법이 아닌 캐리어 기반 PWM으로 구현할 수 있는 방법을 제안한다. 공간벡터 PWM 방법에 비하여 캐리어기반 PWM 방법은 게이팅 신호가 기준전압 파형과 캐리어 신호의 비교만으로 결정되므로 구현이 간단하고 변조 지수나 동작 주파수가 증가하거나 감소하는 과도상태에서도 쉽게 스위칭 벡터를 결정할 수 있다. 본 논문에서는 캐리어 기반 LFCPWM의 동작원리와 구현 방안 제시에 초점을 두기 때문에 과변조 특성을 다루지는 않지만 변조지수를 1보다 증가시키면 과변조(overmodulation)도 가능한 장점이 있다.

본 논문에서는 캐리어 기반 LFCPWM의 동작원리를 설명하고 실험을 통하여 제안된 캐리어 기반 LFCPWM 방법의 동작의 유효성을 확인한다.

### 2. LFCPWM의 동작원리

그림 1은 3상 3-레벨 컨버터 시스템을 나타낸다. 그림 1에서 누설전류( $i_{leakage}$ )는 기생 임피던스 요소인  $C_g$ 와  $R_g$ 를 경유하여 직류부의 P점 또는 N점으로 유입된다. 또 컨버터의 공통모드 전압의 크기와 주파수가 증가하면 누설전류도 증가한다. 그림 1의 시스템에서 3-레벨 컨버터 3상 극전압( $v_{AO}$ ,  $v_{BO}$ ,  $v_{CO}$ )의 공통 모드 전압  $v_{CM}$ 은 다음과 같다.

$$v_{CM} = \frac{1}{3}(v_{AO} + v_{BO} + v_{CO}) \quad (1)$$

표 1은 3-레벨 컨버터의 27가지의 스위칭 상태를 나

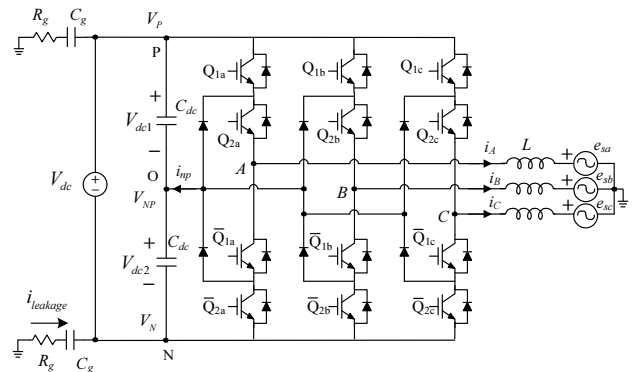


Fig. 1. Three-phase 3-level converter system.

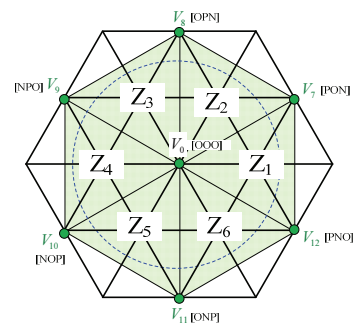


Fig. 2. Space vectors used in Z-PWM.

타내는 공간 벡터를 NP 전류( $i_{np}$ ) 제어 효과와 공통모드 전압의 크기에 따라 분류한 것이다. LFCPWM은 동일한 공통 모드 전압을 갖는 특정한 공간 벡터만 사용하며 Z-PWM, P-PWM, N-PWM의 3 종류 PWM으로 구성된다.

먼저, Z-PWM은  $v_{CM}=0$ 인 공간 벡터, 즉 7개의 medium vector만 사용하고 따라서 기존의 MVPWM과 같으며 NP 전류의 제어는 이루어지지 않는다.

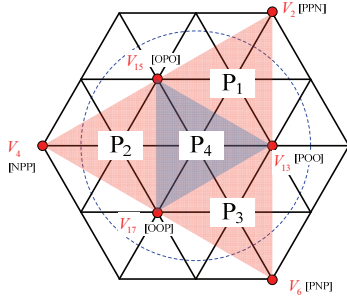


Fig. 3. Space vectors used in P-PWM.

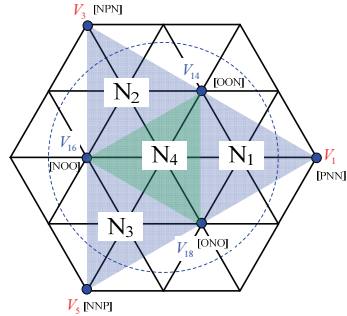


Fig. 4. Space vectors used in N-PWM.

그림 2는 Z-PWM에 사용되는 공간 벡터와 Z-PWM이 적용되는 영역( $Z_1 \sim Z_6$ )을 나타낸다.

반면에 P-PWM은  $v_{CM} = V_{dc}/6$ 인 6개의 공간 벡터만으로 구현되고 NP 전류가 양(+)이 되는 공간 벡터가 적어도 2개 이상 포함되므로 평균적으로 양(+)의 NP 전류가 흐르게 된다. 그림 3은 P-PWM에 사용되는 공간 벡터와 P-PWM이 적용되는 영역( $P_1 \sim P_4$ )을 나타낸다.

마지막으로 N-PWM은  $v_{CM} = -V_{dc}/6$ 인 6개의 공간 벡터만으로 구현되고 NP 전류가 음(-)이 되는 공간 벡터가 적어도 2개 이상 포함되므로 평균적으로 음(-)의 NP 전류가 흐르게 된다. 그림 4는 N-PWM에 사용되는 공간 벡터와 N-PWM이 적용되는 영역( $N_1 \sim N_4$ )을 나타낸다.

### 3. 제안하는 캐리어 기반 LFCPWM

#### 3.1 캐리어 기반 LFCPWM 블록도

그림 5는 제안된 캐리어 기반 LFCPWM의 블록도이다. 그림 5에서 기준 전압 발생 블록의  $S_{NP}$ 는 NP 전류가 양(+)이 되도록 제어하려면  $S_{NP} = 1$ , 음(-)이 되도록 제어하려면  $S_{NP} = -1$ , NP 전류를 제어하지 않을 때는  $S_{NP} = 0$ 을 입력한다.

그림 6은 기준 전압 발생 블록의 구성도이다. 평형 3상의 기준 전압  $v_{Aref}$ ,  $v_{Bref}$ ,  $v_{Cref}$ 와 이 평형 3상의 기준 전압에  $S_{NP} V_{dc}/6$ 만큼의 오프셋을 더한 기준 전압  $v_{Aref(offset)}$ ,  $v_{Bref(offset)}$ ,  $v_{Cref(offset)}$  가운데  $S_{PWM}$  신호 따라 선택적으로 멀티플렉서의 출력신호가 되는데

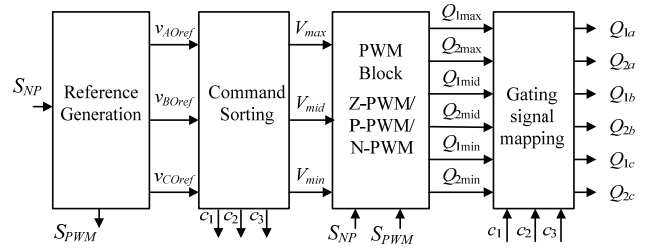


Fig. 5. Block diagram of the proposed carrier based LFCPWM.

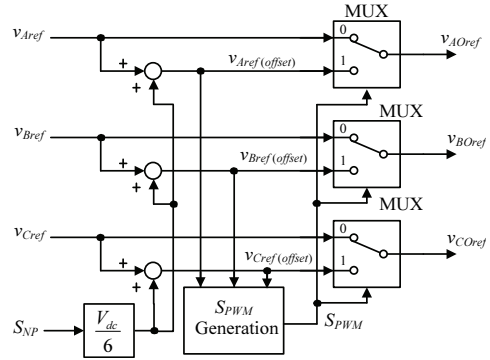


Fig. 6. The reference generation block.

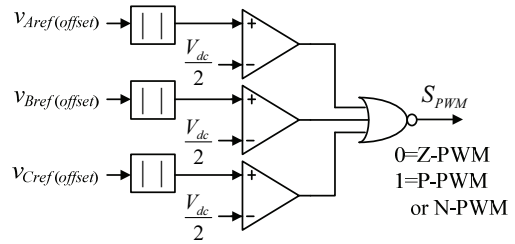


Fig. 7. The  $S_{PWM}$  generation block.

이 신호가 LFCPWM의 기준 전압  $v_{AOref}$ ,  $v_{BOref}$ ,  $v_{COref}$ 가 된다.

그림 7은  $S_{PWM}$  신호 발생 블록 구성도이다. 오프셋을 갖는 기준 전압  $v_{Aref(offset)}$ ,  $v_{Bref(offset)}$ ,  $v_{Cref(offset)}$  가운데 어느 하나라도 DC-링크 전압의 상단보다 크거나 하단보다 작으면 구현이 불가능하다.  $S_{PWM}$  신호는 이러한 조건을 탐색하여  $S_{PWM} = 0$ 인 경우 Z-PWM으로 동작하고,  $S_{PWM} = 1$ 일 때는  $S_{NP} = 1$ 이면 P-PWM,  $S_{NP} = -1$ 이면 N-PWM으로 동작한다. 표 2는 LFCPWM의 동작모드를 결정하는 방법을 나타낸다.

명령 소팅 블록(command sorting block)은 3개의 비교기를 사용하여 기준 전압을 크기에 따라 소팅(sorting)하여  $V_{max}$ ,  $V_{mid}$ ,  $V_{min}$  값을 출력한다.

PWM 블록은  $V_{max}$ ,  $V_{mid}$ ,  $V_{min}$  값을 기준 입력으로 이용하여 매 순간 Z-, P-, N-PWM 가운데 하나로 동작한다.

마지막으로, 게이팅 신호 매핑 블록은 기준 전압을 처음 소팅할 때 사용된 비교기의 출력신호  $c_1$ ,  $c_2$ ,  $c_3$ 를 이

TABLE II  
OPERATING MODE SELECTION

$S_{NP}$	$S_{PWM}$	Z-PWM	P-PWM	N-PWM
0	don't care	O	X	X
1	0	O	X	X
1	1	X	O	X
-1	0	O	X	X
-1	1	X	X	O

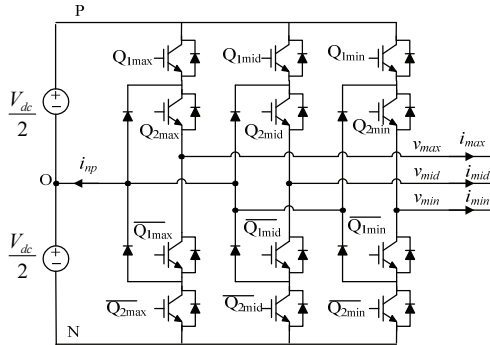


Fig. 8. Virtual three-phase 3-level converter system for LFCPWM.

용하여 max, mid, min으로 상 구분되었던 게이팅 신호를 원래의 게이팅 신호로 복원 매핑(mapping)한다.

그림 8은 기준 전압의 크기에 따라 max-상, mid-상, min-상으로 표시한 가상의 3상 3-레벨 컨버터이다. 가상의 3상 3-레벨 컨버터의 기준 전압  $V_{max}$ ,  $V_{mid}$ ,  $V_{min}$ 은 3상의 기준 전압 가운데 최대값, 중간값, 최소값을 각각 나타내며 3개의 비교기를 사용하여 구할 수 있다. 즉,

$$c_1 = \begin{cases} 0 & (V_{AOref} < V_{BOref}) \\ 1 & (V_{AOref} > V_{BOref}) \end{cases} \quad (2)$$

$$c_2 = \begin{cases} 0 & (V_{BOref} < V_{COref}) \\ 1 & (V_{BOref} > V_{COref}) \end{cases} \quad (3)$$

$$c_3 = \begin{cases} 0 & (V_{COref} < V_{AOref}) \\ 1 & (V_{COref} > V_{AOref}) \end{cases} \quad (4)$$

표 3은 상전압의 크기에 따른  $c_1$ ,  $c_2$ ,  $c_3$ 와 매핑 복원 시 가상 컨버터와 실제 컨버터의 게이팅 신호의 대응을 나타낸다.

### 3.2 Z-PWM의 구현

기준 전압 파형이 3상 평형이라면 다음의 관계식이 성립한다. 즉,

$$V_{max} + V_{mid} + V_{min} = 0 \quad (5)$$

$$V_{max} \geq 0 \quad (6)$$

$$V_{min} \leq 0 \quad (7)$$

TABLE III  
GATING SIGNAL MAPPING

$c_1$	$c_2$	$c_3$	상전압의 크기	$Q_{1a}$	$Q_{2a}$	$Q_{1b}$	$Q_{2b}$	$Q_{1c}$	$Q_{2c}$
0	0	1	$V_{COref} > V_{BOref} > V_{AOref}$	$Q_{1min}$	$Q_{2min}$	$Q_{1mid}$	$Q_{2mid}$	$Q_{1max}$	$Q_{2max}$
0	1	0	$V_{BOref} > V_{AOref} > V_{COref}$	$Q_{1mid}$	$Q_{2mid}$	$Q_{1max}$	$Q_{2max}$	$Q_{1min}$	$Q_{2min}$
0	1	1	$V_{BOref} > V_{COref} > V_{AOref}$	$Q_{1min}$	$Q_{2min}$	$Q_{1max}$	$Q_{2max}$	$Q_{1mid}$	$Q_{2mid}$
1	0	0	$V_{AOref} > V_{COref} > V_{BOref}$	$Q_{1max}$	$Q_{2max}$	$Q_{1min}$	$Q_{2min}$	$Q_{1mid}$	$Q_{2mid}$
1	0	1	$V_{COref} > V_{AOref} > V_{BOref}$	$Q_{1mid}$	$Q_{2mid}$	$Q_{1min}$	$Q_{2min}$	$Q_{1max}$	$Q_{2max}$
1	1	0	$V_{AOref} > V_{BOref} > V_{COref}$	$Q_{1max}$	$Q_{2max}$	$Q_{1mid}$	$Q_{2mid}$	$Q_{1min}$	$Q_{2min}$

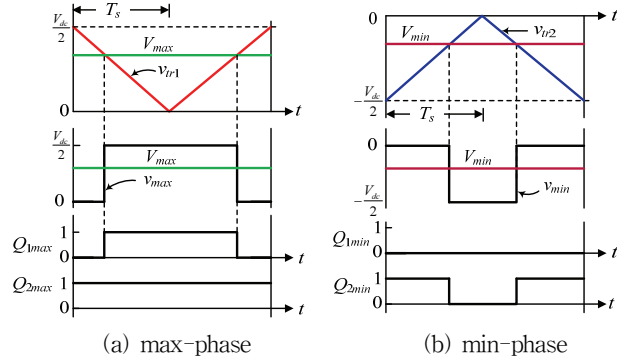


Fig. 9. Z-PWM gating signal generation.

그림 9에서 (a)는 max-상, (b)는 min-상 Z-PWM 방법을 나타낸다. 0과  $V_{dc}/2$  사이를 스윙하는 삼각파 캐리어  $v_{tri1}$ 과  $V_{max}$ 를 비교하여 0과  $V_{dc}/2$  사이를 왕복하는 max-상 극전압  $v_{max}$  파형을 생성한다. 이 경우 max-상 게이팅 신호는 다음과 같다.

$$Q_{1max} = \begin{cases} 0 & (V_{max} < v_{tri1}) \\ 1 & (V_{max} > v_{tri1}) \end{cases}, \quad Q_{2max} = 1 \quad (8)$$

또한, 0과  $-V_{dc}/2$  사이를 스윙하는 삼각파 캐리어  $v_{tri2}$ 와  $V_{min}$ 을 비교하여 0과  $-V_{dc}/2$  사이를 왕복하는 min-상 극전압  $v_{min}$  파형을 생성한다. 이 경우 min-상 게이팅 신호는 다음과 같이 정해진다. 즉,

$$Q_{2min} = \begin{cases} 1 & (V_{min} > v_{tri2}) \\ 0 & (V_{min} < v_{tri2}) \end{cases}, \quad Q_{1min} = 0 \quad (9)$$

mid-상 극전압  $v_{mid}$ 는 max-상 극전압  $v_{max}$ 와 min-상 극전압  $v_{min}$ 에 의하여 종속적으로 결정된다. 왜냐하면 공통모드 전압이 영(0)인 7개의 공간벡터, 즉  $V_0[000]$ ,  $V_7[PON]$ ,  $V_8[OPN]$ ,  $V_9[NPO]$ ,  $V_{10}[NOP]$ ,  $V_{11}[ONP]$ ,  $V_{12}[PNO]$ 는 모두  $V_{max} + V_{mid} + V_{min} = 0$  ( $\forall t$ )를 만족하기 때문이다. 따라서,

$$Q_{1mid} = \overline{Q_{1max} \vee Q_{2min}} \quad (10)$$

$$Q_{2mid} = \overline{Q_{1max} \wedge Q_{2min}} \quad (11)$$

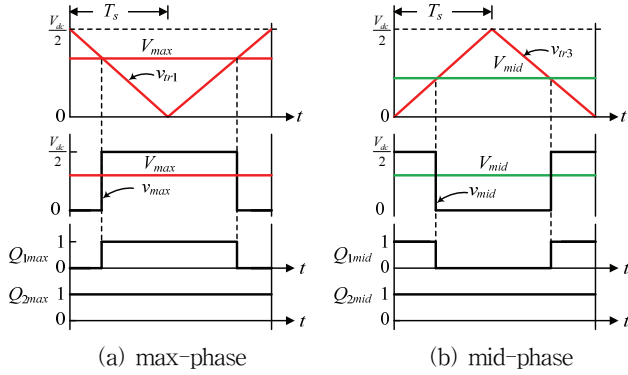


Fig. 10. P-PWM gating signal generation.

여기서 “v”는 논리적 OR를 “^”는 논리적 AND를 각각 나타낸다.

### 3.3 P-PWM의 구현

P-PWM은 공통모드 전압이  $(1/6)V_{dc}$ 인  $V_{13}$ [POO],  $V_{15}$ [OPO],  $V_{17}$ [OOP],  $V_2$ [PPN],  $V_4$ [NPP],  $V_6$ [PNP]의 6개 공간벡터만으로 구현되며 이 가운데 어떤 벡터가 선택되던 (A-상 극전압)+(B-상 극전압)+(C-상 극전압) =  $V_{dc}/2$  관계를 갖는다. 그러므로 P-PWM에서 각 상의 기준전압을  $v'_{AOref}$ ,  $v'_{BOref}$ ,  $v'_{COref}$ 라 할 때 다음과 같은 관계식을 만족하여야 한다.

$$v'_{AOref} + v'_{BOref} + v'_{COref} = \frac{V_{dc}}{2} \quad (12)$$

식 (12)는 공통모드 전압이  $(1/6)V_{dc}$ 이 되는 P-PWM 동작의 경우 읍셋을 갖는 기준 전압이 요구된다는 사실을 의미한다. 읍셋을 갖지 않는 3상 평형의 기준전압을  $v_{Aref}$ ,  $v_{Bref}$ ,  $v_{Cref}$ 라 할 때  $V_{dc}/2$ 를 3으로 나누어 각 기준전압에 읍셋으로 더해주면

$$\begin{cases} v'_{AOref} = v_{Aref} + \frac{1}{3} \left( \frac{V_{dc}}{2} \right) \\ v'_{BOref} = v_{Bref} + \frac{1}{3} \left( \frac{V_{dc}}{2} \right) \\ v'_{COref} = v_{Cref} + \frac{1}{3} \left( \frac{V_{dc}}{2} \right) \end{cases} \quad (13)$$

그림 10은 P-PWM으로 동작할 때 max-상과 mid-상의 극전압을 합성하는 방법을 나타낸다. 그림 10에서 max-상과 mid-상의 게이팅 신호는 다음과 같이 정해진다.

$$Q_{1max} = \begin{cases} 0 & (V_{max} < v_{tri1}) \\ 1 & (V_{max} > v_{tri1}) \end{cases}, \quad Q_{2max} = 1 \quad (14)$$

$$Q_{1mid} = \begin{cases} 0 & (V_{mid} < v_{tri3}) \\ 1 & (V_{mid} > v_{tri3}) \end{cases}, \quad Q_{2mid} = 1 \quad (15)$$

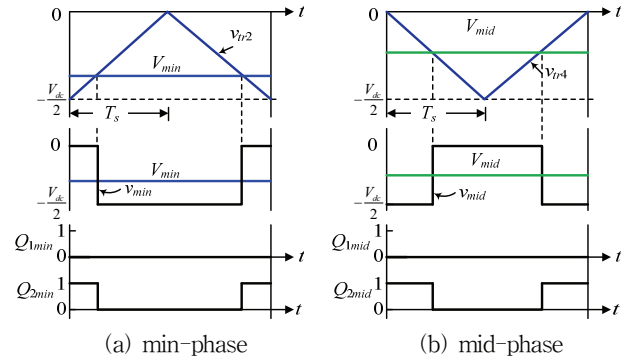


Fig. 11. N-PWM gating signal generation.

min-상 극전압  $v_{min}$ 은 max-상 극전압  $v_{max}$ 와 mid-상 극전압  $v_{mid}$ 에 의하여 종속적으로 결정된다. 왜냐하면 공통모드 전압이  $(1/6)V_{dc}$ 이 6개의 공간벡터, 즉  $V_{13}$ [POO],  $V_{15}$ [OPO],  $V_{17}$ [OOP],  $V_2$ [PPN],  $V_4$ [NPP],  $V_6$ [PNP]는 모두 식  $V_{max} + V_{mid} + V_{min} = V_{dc}/2$  ( $\forall t$ )를 만족하기 때문이다. 따라서,

$$Q_{1min} = \overline{Q_{1max} \vee Q_{1mid}} \quad (16)$$

$$Q_{2min} = \overline{Q_{1max} \wedge Q_{1mid}} \quad (17)$$

### 3.4 N-PWM의 구현

N-PWM은 공통모드 전압이  $-(1/6)V_{dc}$ 인  $V_{14}$ [OON],  $V_{16}$ [NOO],  $V_{18}$ [ONO],  $V_1$ [PNN],  $V_3$ [NPN],  $V_5$ [NNP]의 6개 공간벡터만으로 구현되며 이 가운데 어떤 벡터가 선택되던 (A-상 극전압)+(B-상 극전압)+(C-상 극전압) =  $-V_{dc}/2$  관계를 갖는다. 그러므로 N-PWM에서 각 상의 기준전압을  $v''_{AOref}$ ,  $v''_{BOref}$ ,  $v''_{COref}$ 라 할 때 다음과 같은 관계식을 만족하여야 한다.

$$v''_{AOref} + v''_{BOref} + v''_{COref} = -\frac{V_{dc}}{2} \quad (18)$$

식 (18)은 공통모드 전압이  $-(1/6)V_{dc}$ 가 되는 N-PWM 동작의 경우 P-PWM과 마찬가지로 읍셋을 갖는 기준 전압이 요구된다는 사실을 의미한다. 읍셋을 갖지 않는 3상 평형의 기준전압을  $v_{Aref}$ ,  $v_{Bref}$ ,  $v_{Cref}$ 라 할 때  $-V_{dc}/2$ 를 3으로 나누어 각 기준 전압에 읍셋으로 더해주면

$$\begin{cases} v''_{AOref} = v_{Aref} - \frac{1}{3} \left( \frac{V_{dc}}{2} \right) \\ v''_{BOref} = v_{Bref} - \frac{1}{3} \left( \frac{V_{dc}}{2} \right) \\ v''_{COref} = v_{Cref} - \frac{1}{3} \left( \frac{V_{dc}}{2} \right) \end{cases} \quad (19)$$

그림 11은 N-PWM으로 동작할 때 min-상과 mid-상

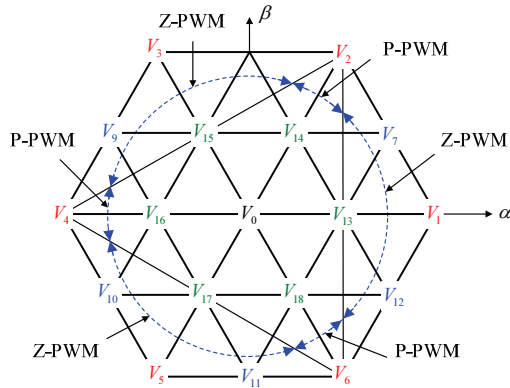


Fig. 12. An example of LFCPWM locus for positive NP current.

의 극전압을 합성하는 방법을 나타낸다. 그림 11에서 min-상과 mid-상의 게이팅 신호는 다음과 같이 정해진다.

$$Q_{2min} = \begin{cases} 1 & (V_{min} > v_{tri2}) \\ 0 & (V_{max} < v_{tri2}) \end{cases}, \quad Q_{1min} = 0 \quad (20)$$

$$Q_{2mid} = \begin{cases} 1 & (V_{mid} > v_{tri4}) \\ 0 & (V_{mid} < v_{tri4}) \end{cases}, \quad Q_{1mid} = 0 \quad (21)$$

max-상 극전압  $v_{max}$  는 min-상 극전압  $v_{min}$  과 mid-상 극전압  $v_{mid}$  에 의하여 종속적으로 결정된다. 왜냐하면 공통모드 전압이  $-(1/6)V_{dc}$  이 6개의 공간벡터, 즉  $V_{14}$ [OON],  $V_{16}$ [NOO],  $V_{18}$ [ONO],  $V_1$ [PNN],  $V_3$ [NPN],  $V_5$ [NNP]는 모두 식  $V_{max} + V_{mid} + V_{min} = -V_{dc}/2$  ( $v$   $t$ )를 만족하기 때문이다. 따라서,

$$Q_{1max} = \overline{Q_{2min} \vee Q_{2mid}} \quad (22)$$

$$Q_{2max} = \overline{Q_{2min} \wedge Q_{2mid}} \quad (23)$$

### 3.5 기준 전압 파형의 생성

그림 12는 양(+)<sup>1</sup>의 NP 전류가 흐르도록 한 사이클 동안 LFCPWM이 동작할 때의 궤적의 일례를 나타낸다. 그림 12에서 보듯이 LFCPWM은 양(+)<sup>1</sup>의 NP 전류를 흐르게 하기 위하여 P-PWM을 사용하는 것을 원칙으로 하지만 P-PWM이 커버하지 못하는 영역에서는 Z-PWM 동작모드로 실행한다.

그림 12를 참조하면 파변조가 발생하지 않는 최대 전압의 크기는 medium vector가 만드는 육각형에 내접하는 원이 되며 MVPWM과 같다<sup>[5]</sup>. 따라서 캐리어 기반 LFCPWM으로 얻을 수 있는 극전압 기본파의 크기는 선형변조시 최대  $V_{dc}/2$ 가 되고 파변조시 최대  $(\sqrt{3}/\pi)V_{dc}$ 가 된다. 일반적인 SVPWM 방법에서 극전압의 기본파의 크기는 최대  $V_{dc}/\sqrt{3}$ 이므로 LFCPWM의

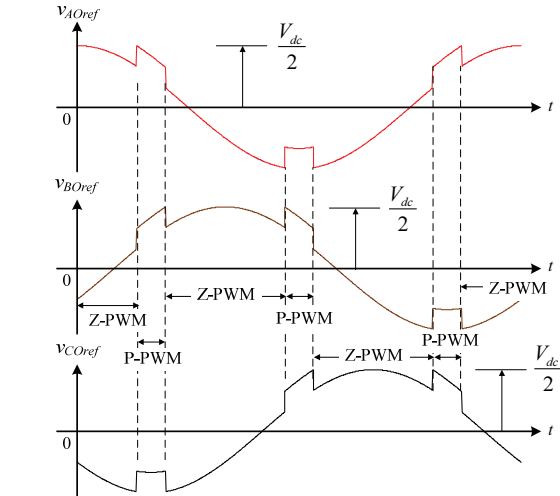
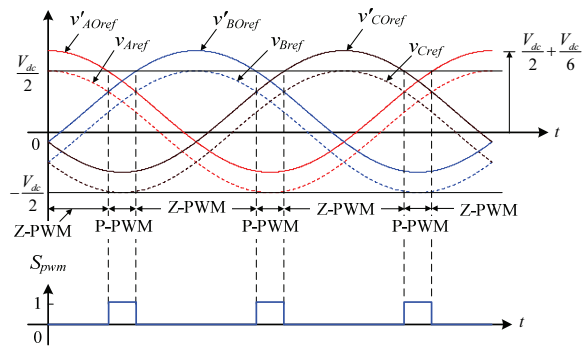


Fig. 13. Reference voltage generation for  $S_{NP} = 1$ .

기본파의 크기는 SVPWM을 기준으로 비교할 때 선형 변조시 최대 86.6%, 파변조시 최대 95.5%가 된다.

3상 평형의 기준 전압을  $v_{Aref}$ ,  $v_{Bref}$ ,  $v_{Cref}$ 라고 할 때, Z-PWM은 이 기준 전압을 그대로 사용하지만 P-PWM이나 N-PWM은 식 (13), (19)와 같이 이러한 기준 전압에 특정한 옵셋 성분이 더해진 기준 전압을 사용한다.

그림 13은 양(+)<sup>1</sup>의 NP 전류가 되도록 제어하기 위하여  $S_{NP} = 1$ 로 둔 경우 3상 기준 전압 파형의 일례를 나타낸다.

P-PWM은 기준 전압으로  $v'_{Aoref}$ ,  $v'_{Boref}$ ,  $v'_{Coref}$ 를 사용하는데  $v'_{Aoref}$ ,  $v'_{Boref}$ ,  $v'_{Coref}$  가운데 어느 하나라도  $V_{dc}/2$ 보다 크면 P-PWM으로 구현할 수 없다. 따라서 P-PWM이 가능한 경우는 다음과 같다.

$$\left( v'_{Aoref} \leq \frac{V_{dc}}{2} \right) \wedge \left( v'_{Boref} \leq \frac{V_{dc}}{2} \right) \wedge \left( v'_{Coref} \leq \frac{V_{dc}}{2} \right) = 1$$

그림 11은  $S_{PWM} = 0$  일 때는 Z-PWM을 하고  $S_{PWM} = 1$  일 때는 P-PWM 동작을 함을 나타낸다.

N-PWM의 경우도 P-PWM의 방법과 유사한 방법으로 한 사이클 동안 선택되는 PWM의 종류(즉, N-PWM 또는 Z-PWM)와 이와 관련된 기준 전압 파형을 정할 수 있다.

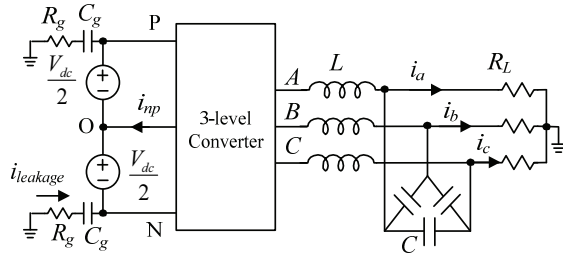


Fig. 14. Experimental setup.

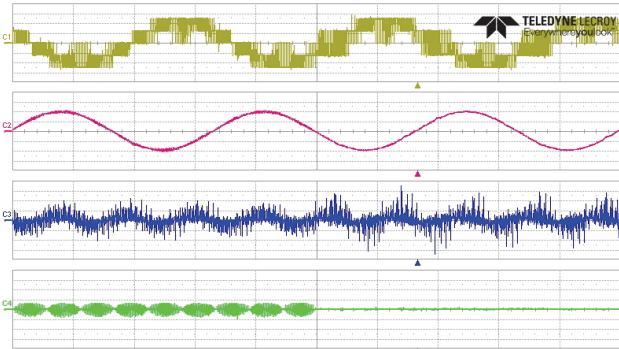


Fig. 15. Experimental waveforms when the 3-level converter changes from conventional SVPWM operation to the proposed LFCPWM Z-PWM operation; From top  $v_{BA}$  (50 V/div),  $i_a$  (2 A/div),  $i_{np}$  (5 A/div),  $i_{leakage}$  (1 A/div) and 5 ms/div.

#### 4. 실험 결과

제안된 캐리어 기반 LFCPWM의 동작 효과와 성능, 유효성을 검증하기 위하여 그림 14와 같은 10 kW급 3상 3-레벨 컨버터 시스템을 제작 및 실험하였다. 공통모드 전압 변동에 의한 누설전류를 살펴보는 데 있어 교류측 3상 계통전압을 제거하여도 일반성에는 변함이 없으므로 그림 14처럼 교류측에 L-C 필터와 저항부하 ( $R_L$ )가 연결되어 있는 것으로 설정하였다. 여기서  $V_{dc} = 250$  V,  $L = 0.2$  mH,  $C = 20$   $\mu$ F,  $R_L = 16$   $\Omega$ 이고 기생성분  $C_g = 1.65$   $\mu$ F,  $R_g = 10$   $\Omega$ 으로 설정하였다. 또 컨버터의 스위칭 주파수는 10 kHz, 데드타임은 1  $\mu$ sec, 변조지수  $m_i = 0.8$ 로 정하였다.

그림 15는 LFCPWM과 기존의 SVPWM의 비교를 위하여 3-레벨 컨버터를 SVPWM으로 동작시키다가 Z-PWM으로 전환할 때 각 부의 동작파형을 보인다. 그림 15에서 SVPWM은 실효값 0.79 A 수준의 누설전류를 갖는 반면에 Z-PWM의 경우 실효값 0.01 A 수준의 매우 작은 누설전류를 갖는 것으로 확인할 수 있다.

그림 16은 NP 전류가 양(+)인 동작상태로부터 음(-)인 동작상태로 전환할 경우의 동작파형이다. LFCPWM은 오픈루프제어(open-loop control)이므로 즉시 NP 전류의 방향전환이 이루어지는데 그림 16에서 이런 사실을 확인할 수 있고 NP 전류의 방향에 관계없이 누설전

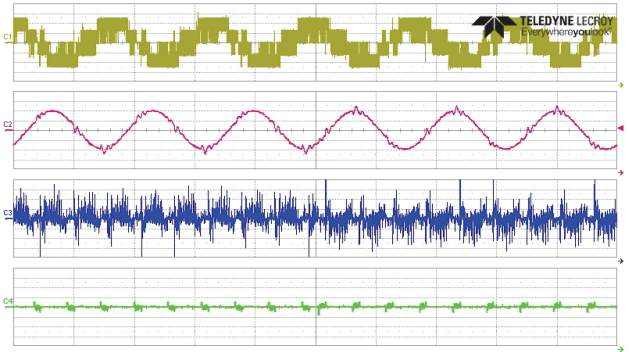


Fig. 16. Experimental waveforms when the converter changes from the positive NP current operation to the negative NP current operation: From top  $v_{BA}$  (50 V/div),  $i_a$  (2 A/div),  $i_{np}$  (5 A/div),  $i_{leakage}$  (1 A/div) and 10 ms/div.

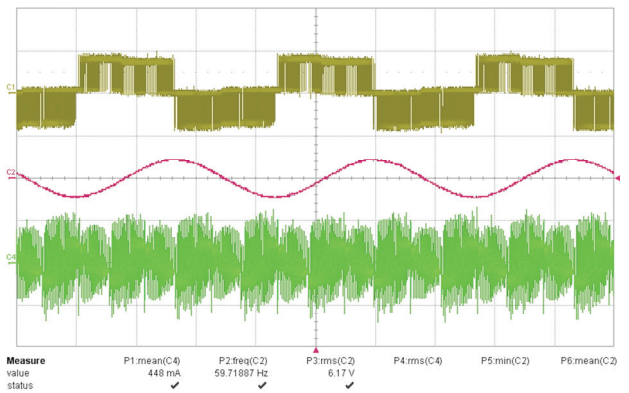


Fig. 17. Experimental waveforms of LFCPWM( $m_i=0.8$ , PF=0) by P-PWM operation; From top  $v_{AO}$ (50 V/div),  $i_a$  (20 A/div),  $i_{np}$  (20 A/div) and 5 ms/div.

류의 크기는 거의 동일함을 알 수 있다. 그림 16의 누설전류 파형에서 주기적인 전압 채터링(chattering)은 P-PWM과 Z-PWM사이 또는 N-PWM과 Z-PWM 사이의 동작모드 변경에 따라 공통 모드 전압이 변함으로써 발생하는 현상이다.

그림 14의 실험세트에서 직류측 입력전압을 77 V로 변경하고 저항부하에서 인덕턴스 부하 7 mH로 변경하여 역률(PF)이 0인 경우에 대하여 LFCPWM의 동작을 실험하였다. 이러한 테스트가 중요한 이유는 계통 전압이 3상 지락사고로 인하여 일정 시간 동안 0 V로 유지되고 있을 때 계통연계 인버터는 계통에서 분리되지 않고 무효전력을 공급할 수 있는 LVRT(low voltage ride through) 기능을 만족해야 하기 때문이다.

그림 17은 변조지수  $m_i$ 가 0.8인 상황에서 P-PWM과 Z-PWM을 사용하여 NP 전류가 양(+)이 되도록 제어하는 경우의 동작파형이다. 그림 17에서  $v_{AO}$ 의 파형과 전류  $i_a$ 의 파형의 위상차가 90°가 되어 역률 영(0)임을 확인할 수 있고 NP 전류는 실효값 448 mA 정도되어 상단 커패시터는 방전되고 하단 커패시터는 충전되는 경우임을 확인할 수 있다.

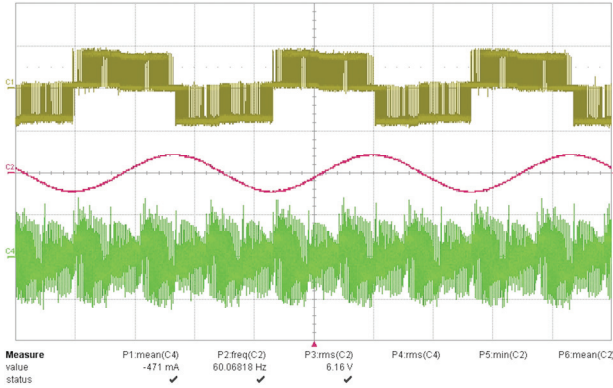


Fig. 18. Experimental waveforms of LFCPWM( $m_i=0.8$ , PF=0) by N-PWM operation; From top  $v_{AO}$  (50 V/div),  $i_a$  (20 A/div),  $i_{np}$  (20 A/div) and 5 ms/div.

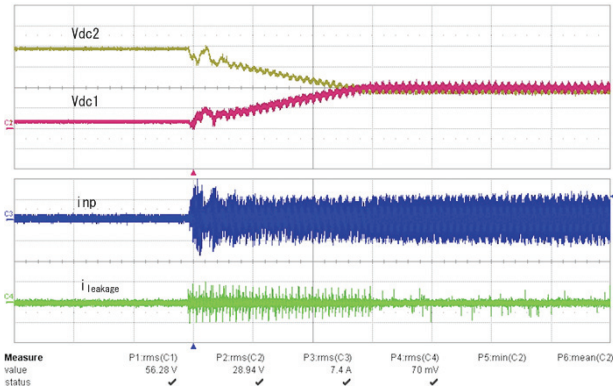


Fig. 19. Experimental waveforms of the DC capacitor voltage balancing by NP current control( $m_i=0.8$ , PF=0); From top 20 V/div, 20 A/div, 0.5 A/div and 50 ms/div.

그림 18은 N-PWM 과 Z-PWM을 사용하여 NP 전류가 음(-)이 되도록 제어하는 경우의 동작파형이다. 그림 18에서  $v_{AO}$ 의 파형과 전류  $i_a$ 의 파형의 위상차가  $90^\circ$ 가 되어 역률 영(0)임을 확인할 수 있고 NP 전류는 실효값  $-471$  mA 정도되어 상단 커패시터는 충전되고 하단 커패시터는 방전되는 경우임을 확인할 수 있다.

그림 19는 NP 전류 제어에 의한 DC-링크 전압의 밸런싱 동작 실험파형을 나타낸다. 이 실험에서 사용된 직류측 상단 및 하단 커패시터는 각각  $2500 \mu\text{F}$  ( $= 500 \mu\text{F}$ 의 커패시터 5개 병렬 연결)이다. 초기 언밸런싱  $V_{dc1} = 5$  V,  $V_{dc2} = 72$  V인 상태에서 출발하여 150 msec에서 운전 개시하는데  $V_{dc1} < V_{dc2}$  이므로 NP 전압을 감소시키도록 음(-)의 NP 전류가 흐르도록 제어한다. 그 결과 그림 19에서 보듯이 동작 개시후 약 150 msec 동안 두 커패시터 전압은 밸런싱 동작이 이루어지는 것을 확인할 수 있다. 또 일단 밸런싱 동작이 이루어지면 컨버터는 Z-PWM 모드로만 동작하기 때문에 누설전류가 영(0)에 가깝게 확연히 감소한 것을 확인할 수 있다.

## 5. 결 론

본 논문에서는 3상 3-레벨 컨버터의 누설전류 저감과 NP 전류 제어를 위한 캐리어 기반 LFCPWM 방법을 제안하였다. LFCPWM을 구성하는 Z-PWM, P-PWM, N-PWM의 3가지 종류의 PWM 방안을 제안하였고 NP 전류의 제어에 이 3가지 PWM 방안이 어떻게 적절히 응용되는지 동작원리를 제시하였다. 이 과정에서 3상 3-레벨 컨버터를 max-, mid-, min-상으로 분류하여 가상의 컨버터에 PWM 방법을 적용하는 접근법을 사용하였다. 끝으로 다양한 실험을 통하여 제안하는 캐리어 기반 LFCPWM 기법의 동작의 유효성과 타당성을 검증하였다. 예를 들면 3-레벨 컨버터의 직류측이 DC 커패시터로 구성된 경우 커패시터 언밸런싱 상태에 대하여 제안된 LFCPWM을 적용함으로써 수 사이클 이내에서 NP 전압이 밸런싱 상태가 되고 누설전류도 최소화가 됨을 확인할 수 있었다.

이 논문은 전남대학교 학술연구비(과제번호: 2020-3854) 지원에 의하여 연구되었음

## References

- [1] U. M. Choi, J. S. Lee and K. B. Lee, "New modulation strategy to balance the neutral-point voltage for three-level neutral-clamped inverter systems," *IEEE Trans. on Energy Conversion*, Vol. 29, No. 1, pp. 91-100, Mar. 2014.
- [2] J. S. Lee and K. B. Lee, "New modulation techniques for a leakage current reduction and a neutral-point voltage balance in transformerless photovoltaic systems using a three-level inverter," *IEEE Trans. on Power Electronics*, Vol. 29, No. 14, pp. 1720-1732, Apr. 2014.
- [3] N. S. Choi and E. C. Lee, "Simple implementation of space vector PWM using barycentric coordinates," in *Korea Institute of Power Electronics 2015 Summer Conference*, pp. 45-46, Jul. 2015.
- [4] E. C. Lee, N. S. Choi and K. S. Ahn, "Overmodulation characteristics of carrier based MVPWM for eliminating the leakage currents in three-level inverter," *The Transactions of the Korean Institute of Power Electronics*, Vol. 20, No. 6, pp. 509-516, Dec. 2015.
- [5] K. S. Ahn, N. S. Choi, E. C. Lee and H. J. Kim, "A study on a carrier based PWM having constant common mode voltage and minimized switching frequency in three-level inverter," *Journal of Electrical Engineering & Technology*, Vol. 11, No. 2, pp. 393-404, Mar. 2016.
- [6] N. S. Choi, E. C. Lee and K. S. Ahn, "A carrier-based medium vector PWM strategy for three level inverters in transformerless photovoltaic systems," in *2015 9th*



*International Conference on Power Electronics and ECCE Asia (ICPE-ECCE Asia)*, pp. 2752-2757, Jun. 2015.

- [7] E. C. Lee, N. S. Choi and H. J. Kim, "Space vector PWM method for leakage current reduction and NP current control in 3-phase 3-level converter used in bipolar DC distribution system," *The Transactions of the Korean Institute of Power Electronics*, Vol. 23, No. 5, pp. 336-344, Oct. 2018.
- [8] Nho-Van Nguyen and Mon-Van Doi, "Carrier based PWM control of 3-level NPC inverter with DC neutral point balancing and common mode voltage reduction," in *10th International Conference on Power Electronics-ECCE Asia*, pp. 1213-1220, May. 2019.
- [9] Tianbao Yu, Wenchao Wan and Shanxu Duan, "A modulation method to eliminate leakage current and balance neutral-point voltage for three-level inverters in photovoltaic systems," *IEEE Trans. on Industrial Electronics (Early Access)*, DOI 10.1109/TIE.2022.3161809, 2022.

#### 이은철(李銀哲)



1978년 3월 4일생. 2006년 군산대 대학원 전자정보공학과 졸업(석사). 2019년 한양대 대학원 전자시스템공학과 졸업(박사). 2006년~2016년 (주)윌링스 RE 연구실장, 2018년~현재 (주)에코스 연구소장.

#### 최남섭(崔南燮)



1963년 3월 5일생. 1987년 고려대 공대 전기공학과 졸업. 1989년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1994년 동 대학원 졸업(공학박). 1999년~2000년 미국 University of Wisconsin-Madison 방문교수. 2008년~2009년 미국 Michigan State University 방문교수. 1995년~현재 전남대 전기전자통신컴퓨터공학부 교수.