

계면 제어를 통한 그래핀 기반 전계효과 트랜지스터의 환경 안정성 향상

성준호 · 이동화 · 이은호[†]

금오공과대학교 화학소재공학부 화학공학전공
(2022년 05월 17일 접수, 2022년 06월 27일 수정, 2022년 07월 01일 채택)

Enhanced Environmental Stability of Graphene Field-Effect Transistors through Interface Control

Jun Ho Seong, Dong Hwa Lee, Eunho Lee[†]

Department of Chemical Engineering, Kumoh National Institute of Technology, Gumi 39248, Korea
(Recived May 17, 2022; Revised June 27, 2022; Accepted July 01, 2022)

요약: 그래핀은 벌집 모양의 sp^2 혼성 오비탈 결합으로 이루어진 이차원 탄소 동소체이다. 우수한 전기적, 기계적 특성을 보이며, 차세대 전자소자의 핵심 재료로써 각광을 받고 있다. 그러나, 소자를 구성하는 소재 간의 불안정한 계면 형성으로부터 쉬운 외부 불순물의 침투 혹은 흡착으로 인해 낮은 환경 안정성을 보이고 있다. 따라서 본 연구에서는 고체탄화수소를 그래핀의 전구체로 활용한 직성장을 통해 그래핀 기반 전계효과 트랜지스터의 낮은 환경 안정성을 해결하고자 한다. 직성장으로부터 합성된 그래핀은 이를 활용한 전자소자에서 전하 이동도 및 Dirac 전압의 변화 감소를 통해 높은 구동 안정성을 보였다. 이를 통해 차세대 전자소자의 핵심 재료로써 그래핀을 활용하기 위한 새로운 접근 방법을 제시하였다.

Abstract: Graphene is a two-dimensional carbon allotrope composed of honeycomb sp^2 hybrid orbital bonds. It shows excellent electrical and mechanical properties and has been spotlighted as a core material for next-generation electronic devices. However, it exhibits low environmental stability due to the easy penetration or adsorption of external impurities from the formation of an unstable interface between the materials in the electronic devices. Therefore, this work aims to improve and investigate the low environmental stability of graphene-based field-effect transistors through direct growth using solid hydrocarbons as a precursor of graphene. Graphene synthesized from direct growth shows high electrical stability through reduction of change in charge mobility and Dirac voltage. Through this, a new approach to utilize graphene as a core material for next-generation electronic devices is presented.

Keywords: Graphene, Stability, Field-effect transistors, Hysteresis, 2D materials

[†] Corresponding author: Eunho Lee (leeh@kumoh.ac.kr)

1. 서론

이차원 탄소 동소체인 그래핀은 우수한 물리화학적, 기계적, 광학적 특성을 지니고 있기에 다수의 과학자들에 의해 활발하게 연구되어지고 있다 [1,2]. 특히, 그래핀의 전기적 특성은 기존 실리콘(Si), 다성분계 반도체 소재(GaAs, InGaAs 등) 대비 월등히 높은 전하이동도 및 낮은 전기적 저항을 지니고 있기에 차세대 전자소자의 핵심 재료로써 응용하려는 다양한 시도가 행해지고 있다 [3,4]. 이러한 특성과 더불어 그래핀은 이차원 구조를 지니고 있기에, 부피 대비 높은 표면적비(surface-to-volume ratio)를 지니고, 이는 적은 양으로도 효율적으로 다양한 외부 화학종(chemical species)을 검출할 수 있다는 장점을 지니고 있다.[5] 뿐만 아니라, 그래핀의 밴드 구조는 독특한 선형구조인 Dirac cone 모양을 지니는데, 이는 결과적으로 낮은 상태 밀도(density of states)를 지니도록 하여 적은 양의 외부 화학종이 그래핀과 상호작용을 가능하게 함에 따라 전기적 상태를 급격히 변화시켜 고민감도 센서의 구현을 가능하게 한다 [6]. 따라서, 이러한 그래핀의 특성을 활용하여 외부 환경의 변화를 적은 양으로도 감지하는 고민감도 센서로의 응용과 관련된 연구가 활발히 행해지고 있다 [7,8].

고민감도를 지닌 센서로 그래핀을 응용하기 위해서는 무엇보다 외부 환경에 의한 안정성이 확보되어야 하는데, 일반적인 화학기상증착(chemical vapor deposition, CVD) 합성법으로부터 제조된 그래핀의 경우 기판과의 불안정한 계면으로 인해 전기적 특성이 매우 불안정하다는 한계점이 존재하고 있다 [9]. 특히, 대기 중에 존재하는 물 분자의 경우 그래핀과 기판 사이의 계면으로 투과되거나, 그래핀의 표면에 흡착이 가능하기에 그래핀 기반 전자소자의 전기적 특성을 크게 저하시킬 수 있다 [10]. 따라서, 대기 중에 존재하는 수분 안정성을 확보하기 위해 Kim et al. 은 그래핀의 습윤성 투과도 특성과 기판의 표면 에너지를 제어하여 수분 안정성을 크게 향상시킨 일을 보고하였다 [11]. 그러나, 계면 제어를 위해 추가적으로 자가조립단층(self-assembled monolayer, SAM)을 증착해야 하는 공정상의 어려움이 존재하였다. 이를 극복하기 위해 Lee et al.은 그래핀 기반 트랜지스터 소자에서 서로 다른 표면 에너지를 지닌 고분자를 절연막으로 활용하여 추

가 공정 없이 수분 안정성이 우수한 그래핀 트랜지스터를 제작할 수 있음을 제시하였으나, 고분자 소재가 지니고 있는 낮은 절연 특성으로 인해 소자의 특성을 크게 향상시킬 수 없었다 [12].

따라서, 본 연구에서는 그래핀 기반 트랜지스터 소자의 전기적 특성을 안정시킬 수 있는 성장법을 개발하고, 이를 통해 외부 환경 안정성을 극대화하고자 한다. 선행 연구에서 고체 탄화수소기반 그래핀의 직성장을 통해 그래핀과 기판 사이의 계면 특성이 향상될 수 있음을 확인할 수 있었고, 이를 통해 수분을 포함하는 외부 환경에서 그래핀 트랜지스터의 구동 안정성에 미치는 영향을 알아보았다. 일반적으로 전사된 그래핀의 경우, 기판과의 약한 결합력 및 불안정한 계면 형성으로 인해 물분자가 쉽게 침투하여 그래핀의 전기적 특성에 영향을 크게 미칠 수 있지만, 그래핀의 직성장을 기반으로 제작된 그래핀 트랜지스터의 경우는 물분자의 침투를 효과적으로 막음으로써 전기적 안정성을 크게 향상시킬 수 있었다. 따라서 본 연구를 통해 그래핀과 기판 사이의 계면 제어 혹은 직성장을 통해 다양한 이차원 나노 소재 기반 전자소자의 전기적 안정성을 크게 향상시킬 수 있는 새로운 방향을 제공해줄 수 있기를 바란다.

2. 실험 방법

우선 그래핀의 고체 전구체인 1,2,3,4-tetraphenylanthracene (TPN)을 Chloroform (CF)에 20mg/ml의 농도를 지닌 용액을 제조한다. 그 후, Fig. 1에서 보여지는 바와 같이 세척된 SiO₂/Si 기판 위에 스핀 코팅 공정을 통해 약 20 nm의 두께를 지닌 고체 박막을 형성한다. 이어서, 그래핀을 성장시키기 위해 준비된 기판과 Cu foil을 Quartz tube의 중심에 위치시킨다. 그래핀의 성장온도인 900 °C까지 챔버내에서 온도를 올려준 뒤에 30 mTorr 압력 조건에서 60분간 그래핀을 성장시켜주었다. 성장 시간이 끝난 후에는 온도를 상온까지 급격하게 낮춰준 뒤에 그래핀 샘플을 회수하였다.

그 후, 그래핀 전계효과 트랜지스터(Field-effect transistors, FETs)를 제작하기 위해서 성장된 그래핀 시료와 전극 패턴 모양을 지니고 있는 웨도우 마스크를 열 증착기(thermal evaporator)의 스테이지에 올려 두었다. 전극은 금(Au)을 사용하여 약 10⁻⁶ Torr의 고진공 조건에서 약 50 nm의 두께를 지니도록 증착하였다. 제작된 그래핀 전계효과 트랜지스터는 프루브스테이션과 Keysight B2902B 정밀 소스 측정기를 사용하여 소자의 전기적인 특성을 측정 및 분석하였다.

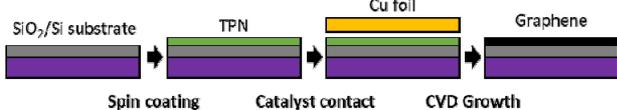


Figure 1. 고체탄화수소 기반 그래핀 직성장 모식도.

3. 결과 및 고찰

각각의 Fig. 2는 직성장 방법으로 얻어진 그래핀의 라만 분광기 측정 결과이다. 일반적으로 그래핀의 라만 분광기는 그래핀의 합성여부 혹은 그래핀의 품질을 확인해보기 위한 용도로 많이 쓰이고 있다. 본 연구에서 제시한 방법으로 성장된 그래핀의 경우 결함과 밀접한 연관이 있는 D peak이 $\sim 1,350 \text{ cm}^{-1}$ 부근에서 관찰된 것으로 보아 약간의 결함을 가지고 있다는 것을 확인할 수 있다. 이러한 D peak이 관찰된 이유로는 그래핀의 전구체로 활용된 TPN 자체가 가지고 있는 분자 구조로 인해 유발될 수 있으며, 혹은 성장 온도 및 압력과 같은 성장 조건의 최적화가 이뤄지지 않아 결함이 발생됨을 알 수 있었다. 그래핀 내 발생한 결함의 밀도는 D peak과 $1,580 \text{ cm}^{-1}$ 부근에서 나타나는 G peak간의 관계로부터 구할 수 있다. 아래의 식에서 볼 수 있듯이 그래핀 내 결함은 G peak의 세기와 D peak 세기의 상대 비로부터 계산될 수 있다 [13].

$$n_D = (1.8 \pm 0.5) \times 10^{22} \cdot \lambda_L^{-4} \left(\frac{I_D}{I_G} \right)$$

여기에서 n_D 는 그래핀 내 결함 밀도, λ_L 는 라만 분광기에서 사용된 파장의 길이, 그리고 I_D 와 I_G 는 각각 D peak과 G peak의 세기를 나타낸다. 여기에서는 532 nm 의 파장을 지닌 레이저를 사용하였고, 위의 계산식으로부터 직성장 방법을 통해 합성된 그래핀의 결함 밀도를 구할 수 있다. 일반 전사 방법으로 전사된 그래핀의 경우에는 Fig. 2(b)에서 보여지는 바와 같이 D peak의 세기가 낮아 D peak과 G peak 세기의 비는 각각, 0.91, 0.47로 계산되었다. 이는 결국 일반 전사로 얻어진 그래핀의 결함이 약 2배정도 낮음을 알 수 있다. 이는 앞에서 언급한 TPN 고체 분자가 지니고 있는 구조로부터 유발될 수 있다는 것과 일치한다.

직성장을 통해 성장된 그래핀을 이용하여 그래핀 기

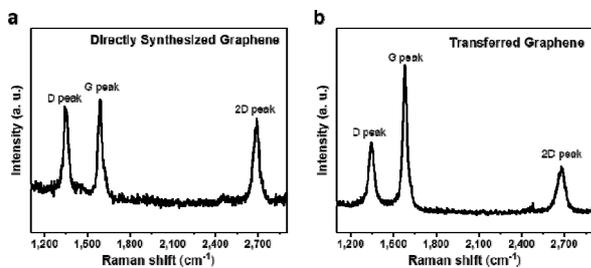


Figure 2. (a) 직성장 방법을 통해 성장된 그래핀의 라만 분광 분석 및 (b) 일반 전사 공정을 통해 얻어진 그래핀의 라만 분광 분석.

반 전계효과 트랜지스터(graphene field-effect transistors, GFETs)를 제작해보았다. 앞의 Fig. 1에서 얻어진 그래핀과 전극 모양의 패턴이 있는 웨도우 마스크를 이용하여 소스/드레인 금 전극을 열증착기를 통해 형성하였다. 제작된 그래핀 전계효과 트랜지스터의 소자는 채널 길이(L) $50 \mu\text{m}$, 채널 폭(W) $300 \mu\text{m}$ 의 구조를 지닌다. Fig. 3은 제작된 GFETs의 I - V 트랜스퍼 곡선이다.

트랜스퍼 곡선을 측정하기 위해 -50 V 에서 80 V 까지 게이트 전압을 10 mV 의 드레인 전압을 가해주었다. 측정 결과 고체탄화수소를 전구체로 활용하여 합성된 그래핀 기반 전계효과 트랜지스터의 Dirac 전압이 30 V 로 기존 방법으로 합성한 그래핀 기반 전계효과 트랜지스터보다 약 25 V 적게 나왔다. 일반적으로 Dirac 전압은 외부 불순물에 의해 쉽게 영향을 받아 변화하는데, 이상적인 그래핀 전계효과 트랜지스터의 경우는 0 V 에서 나오게 된다. 그러나, 그림 3에서는 0보다 값이 큰 $30, 55 \text{ V}$ 의 Dirac 전압을 가지고 있기에 두 소자 모두 그래핀이 외부 불순물에 의해 p-doping되어 있음을 알 수 있다 [10]. 특히, 비교군인 일반 전사공정을 기반으로 제작된 그래핀 전계효과 트랜지스터의 경우 전사 시 사용되는 물 분자에 의해 크게 p-doping이 유발될 수 있다. 그러나, 전사 공정이 생략된 직성장 그래핀 전계효과 트랜지스터의 경우 물 분자와의 접촉을 피할 수 있기에 p-doping효과를 최소화할 수 있다. 또한, 주어진 실험 결과를 아래 식을 통해 각기 다른 공정을 통해 성장된 그래핀의 전하 이동도를 계산할 수 있다 [14].

$$R_{total} = R_C + \frac{L}{W} \frac{1}{\mu(V_G - V_{Dirac})}$$

여기에서, R_{total} 은 채널의 전체 저항, R_C 는 접촉 저항, L 은 채널 길이, W 는 채널의 폭, 그리고 μ 는 그래핀의 전하이동도, V_G 는 게이트 전압, 그리고 V_{Dirac} 은

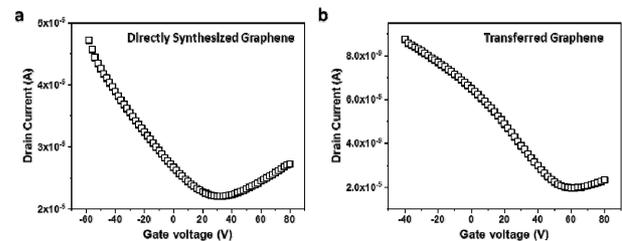


Figure 3. (a) 직성장 방법을 통해 성장된 그래핀 전계효과 트랜지스터의 트랜스퍼 곡선 및 (b) 일반 전사 공정을 통해 얻어진 그래핀 기반 전계효과 트랜지스터 트랜스퍼 곡선.

Dirac 전압을 나타낸다. 위의 식을 통해 얻어진 변환된 곡선을 Fig. 4에 저항-전압 곡선으로 나타내 보았다. 그림에서 실선은 실험값에 대한 이론적인 곡선이고 두 값이 서로 잘 일치하고 있음을 나타낸다. 이로부터 계산된 직성장 그래핀의 전하 이동도는 각각 $1,081 \text{ cm}^2/\text{V}^1\text{s}^{-1}$ (전자), $847 \text{ cm}^2/\text{V}^1\text{s}^{-1}$ (정공)이다. 반면에 일반 전사 공정을 통해 성장된 그래핀의 전하 이동도는 각각 $1,351 \text{ cm}^2/\text{V}^1\text{s}^{-1}$ (전자), $1,187 \text{ cm}^2/\text{V}^1\text{s}^{-1}$ (정공)로 나타났다. 일반적으로 직성장된 그래핀의 경우는 가스 전구체를 활용하는 그래핀에 비해 결정화도가 다소 떨어지기 때문에 전하 이동도가 상대적으로 낮은 경향을 보이고, 우리의 실험 결과에서도 같은 경향을 확인할 수 있었다 [9]. 결과적으로 낮은 결정성이 게이트 전압에 의한 그래핀 내 전하의 유도를 방해하고, Fig. 4에서 보이듯이 $R_{\text{max}}/R_{\text{min}}$ 의 값에 영향을 미쳐 낮은 전하 이동도를 보여주었다.

더 나아가, 그래핀 전계효과 트랜지스터 소자의 구동 안정성을 확인하기 위해 일정한 습도가 유지되는 장치 내에서 보관한 뒤에 시간에 따른 전하 이동도의 변화를 관찰해보았다. 상대 습도 80%가 (relative humidity)로 유지되는 곳에서 소자를 최대 한 달 정도

보관하면서 전하 이동도를 측정하여 Fig. 5에 나타냈다. 보통 그래핀을 포함한 이차원 소재의 경우 기판과의 약한 상호작용으로 인해 물 분자가 계면 사이로 투과하거나 혹은 그래핀의 표면에 흡착됨으로써 전기적 특성을 약화시킨다. 이는 결국 시간에 따라 전하 이동도의 감소를 초래하여 소자의 구동 안정성에 큰 영향을 미치는 것으로 알려져 있다. 이러한 경향은 우리의 실험 결과에서도 확인할 수 있었는데 일반 방법으로 전사한 그래핀 전계효과 트랜지스터의 경우 (red circle) 시간에 따라 크게 30 % 정도 감소함을 알 수 있었다. 반면 직 성장을 통해 합성된 그래핀의 경우 전하 이동도가 같은 시간에서 20 % 정도 감소하여 상대적으로 감소폭이 적음을 알 수 있었다. 이는 앞에서 언급했듯이 그래핀과 계면 사이의 강한 결합 형성으로 인해 물 분자의 침투를 효과적으로 제어함으로써 전하 이동도의 감소를 줄일 수 있을 것으로 생각된다.

또한, 외부 환경에 의한 Dirac 전압의 변화도 관찰해 보았다. Fig. 6(a)는 RH 80 % 조건에 놓은 소자의 Dirac 전압을 나타낸 그래프인데, 앞의 Fig. 5와 마찬가지로 시간이 지남에 따라 직성장된 그래핀의 경우 10 V 이내의 변화를 보인 반면 일반 전사 공정으로부터 합성된 그래핀의 경우는 최대 25 V까지의 Dirac 전압 변화

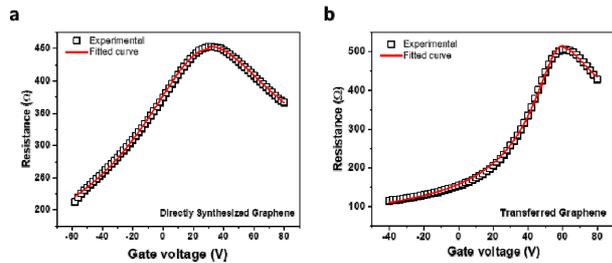


Figure 4. (a) 직성장된 그래핀 전계효과 트랜지스터의 R-V 곡선 및 (b) 일반 전사공정으로 제작된 그래핀 전계효과 트랜지스터의 R-V 곡선.

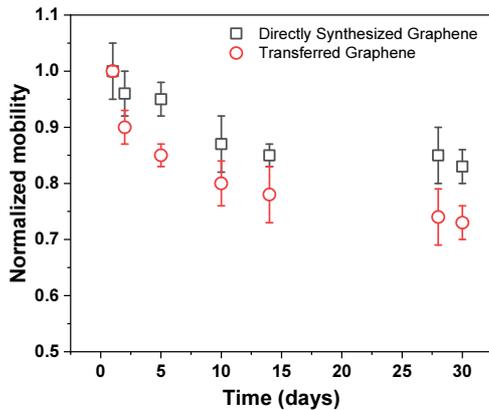


Figure 5. 그래핀 전계효과 트랜지스터의 전하이동도 변화 그래프.

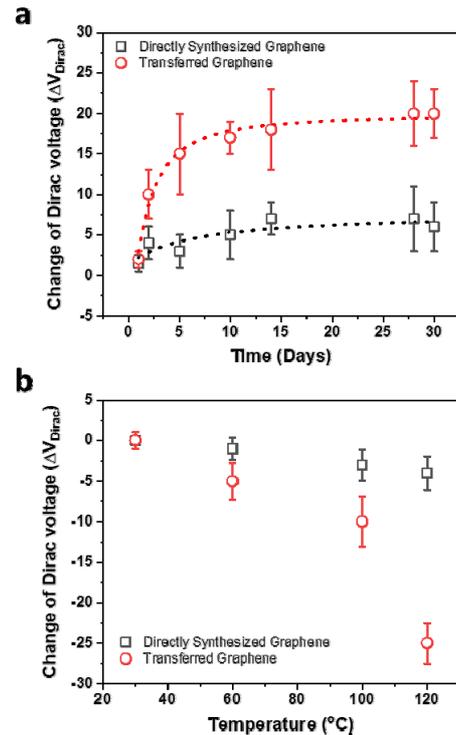


Figure 6. (a) 상대 습도 80% 환경 및 (b) 외부 온도에 따른 그래핀 전계효과 트랜지스터의 Dirac 전압 변화 그래프.

를 보여줌으로써, 우리 방법을 통해 제작된 그래핀 소자의 구동 안정성이 우수함을 보여주었다. 이러한 실험 결과는 결국 그래핀과 기판과의 계면에 외부 불순물인 물 분자가 p-dopant로 작용하는 것을 억제함으로써 나타나는 것으로 해석할 수 있다. 그리고 이러한 변화는 두 그래핀 모두 약 10일이 지난 이후에는 계면 내 물리, 화학적인 반응이 포화되어 변화량이 줄어들 수 있음을 확인할 수 있었다.

또한, 외부 온도에 따른 그래핀 전계효과 트랜지스터의 Dirac 전압 변화를 살펴보았다(Fig. 6(b)). 일반 전사 공정을 통해 제작된 그래핀 전계효과 트랜지스터는 외부 온도에 따라 Dirac 전압이 -27 V까지 급격하게 변화하였지만, 직성장을 통해 제작된 그래핀 전계효과 트랜지스터는 그 변화폭이 -4 V로 작았다. 이러한 이유는 일반 전사 공정을 거친 소자의 경우 그래핀-기판 사이의 계면에 놓인 물분자가 온도가 올라감에 따라 증발하여, 물분자에 의한 p-doping 효과가 사라졌기 때문이다. 반면 직성장 그래핀의 경우는 계면 사이에 물분자가 쉽게 투과할 수 없어 온도에 의한 영향이 거의 없어 Dirac 전압의 변화폭이 적어 습도와 마찬가지로 온도에 의한 영향이 적어 환경 안정성이 우수함을 알 수 있었다.

4. 결론

본 연구에서는 그래핀 기반 전자소자 중 하나인 전계효과 트랜지스터의 구동 안정성을 고체탄화수소를 그래핀의 전구체를 활용하여 향상하고자 하였다. 일반적인 전사 공정을 통해 전사된 그래핀은 기판과의 약한 결합력으로 인해 외부 환경에 노출된 경우 물 분자의 계면 내 침투로 인한 p-doping 효과 및 박리에 의해 구동 안정성이 크게 저하될 수 있다는 문제점이 있다. 그러나 직성장을 통한 기판과의 강한 결합 형성을 통해 물 분자의 침투를 효과적으로 제어할 수 있었고, 이는 결과적으로 전하이동도 및 Dirac 전압의 변화를 감소시킬 수 있었다. 이러한 계면 제어 혹은 이차원 소재의 새로운 합성 공정 개발을 통해 차세대 이차원 소재 기반 전자소자의 개발 및 응용에 새로운 시각을 제시할 수 있기를 기대한다.

감사의 글

이 연구는 금오공과대학교 학술연구비로 지원되었음.

References

1. K. S. Novoselov, A. K. Geim, S. V. Morozov, D. Jiang, Y. Zhang, S. V. Dubonos, *Science*, **306**, 666-669 (2004).
2. R.R. Nair, P. Blake, A.N. Grigorenko, K.S. Novoselov, T.J. Booth, T. Stauber, N.M.R. Peres, A.K. Geim, *Science*, **320**, 1308 (2008).
3. S. F. Shaikh, M. M. Hussain, *Appl. Phys. Lett.*, **117**, 074101 (2020).
4. Y. Zhou, D. Dai, Y. Gao, Z. Zhang, N. Sun, H. Tan, X. Cai, J. Cai, *Chem. Nano Mat.*, **7**, 982-997 (2021).
5. Y. Liu, X. Dong, P. Chen, *Chem. Soc. Rev.*, **41**, 2283-2307 (2012).
6. T. Jia, M. Zheng, X. Fan, Y. Su, S. Li, H. Liu, G. Chen, Y. Kawazoe, *Sci. Rep.*, **6**, 18869 (2016).
7. B. Kwon, H. Bae, H. Lee, S. Kim, J. Hwang, H. Lim, J. H. Lee, K. Cho, J. Ye, S. Lee, W. H. Lee, *ACS Nano*, **16**, 2176-2187 (2022).
8. W. Yuan, G. Shi, *J. Mater. Chem. A.*, **1**, 10078-10091 (2013).
9. E. Lee, S. G. Lee, H. C. Lee, M. Jo, M. S. Yoo, K. Cho, *Adv. Mater.*, **30**, 1706569 (2018).
10. H. Kim, Y. Chung, E. Lee, S. K. Lee, K. Cho, *Adv. Mater.*, **26**, 3213-3217 (2014).
11. E. Lee, H. Lim, N. Lee, H. H. Kim, *Sens. & Actuators: B. Chem.*, **347**, 130579 (2021).
12. E. Lee, D. Bang, *J. Adhesion & Interface*, **22**, 153-157 (2021).
13. A. C. Ferrari, J. C. Meyer, V. Scardaci, C. Casiraghi, M. Lazzeri, F. Mauri, S. Piscanec, D. Jiang, K. S. Novoselov, S. Roth, A. K. Geim, *Phys. Rev. Lett.* **97**, 187401 (2006).
14. K. Ho, M. Boutchich, C. Su, R. Moreddu, E. S. R. Marianathan, L. Montes, C. Lai, *Adv. Mater.*, **27**, 6519-6525 (2015).