

APD용 TIA 회로의 안정성 개선을 위한 Quenching 저항 영향 분석

Analysis of Quenching Resistor Effect to Improve Stability of TIA Circuit for APD

기 동 한*, 진 유 린*, 김 성 미*, 조 성 익**

Dong-Han Ki*, Yu-Rin Jin*, Sung-Mi Kim*, Seong-Ik Cho**

Abstract

In this paper, since the APD(Avalanche Photo Diode) for LTV(Light to Voltage) conversion uses a high voltage in the operating range unlike other PD(Photo Diode)s, the quenching resistor must be connected in series to prevent overcurrent when using the TIA(Transimpedance Amplifier). In such a case, quenching resistance may affect the transfer function of the TIA circuit, resulting in serious stability. Therefore, in this paper, by analyzing the effect of APD quenching resistance on the voltage and current loop transfer function of TIA, we propose a loop analysis and a method for determining the quenching resistance value to improve stability. TIA circuit with quenching resistance was designed by the proposed method and the stability of operation was verified through simulation and chip fabrication.

요 약

LTV(Light to Voltage) 변환을 위한 APD(Avalanche Photo Diode)는 다른 PD(Photo Diode)와 다르게 높은전압의 동작영역을 사용하므로 TIA(Transimpedance Amplifier) 사용시 과전류 방지를 위해 Quenching 저항을 직렬로 연결하여야 한다. 그러한 경우 Quenching 저항이 TIA 전달함수에 영향을 미쳐 안정도에 심각한 결과를 초래할 수 있다. 본 논문에서는 APD Quenching 저항이 TIA의 전압과 전류 루프 전달함수에 미치는 영향을 분석하여 안정도 개선을 위한 Quenching 저항 값 결정 방법을 제안하고자 한다. 제안된 방법에 의하여 Quenching 저항을 가지는 TIA 회로를 설계하여 시뮬레이션 및 칩 제작을 통하여 동작의 안정도를 검증하였다.

Key words : APD, TIA(Transimpedance Amplifier), Quenching Resistor, Stability, Transfer function

1. 서론

APD(Avalanche Photo Diode)는 고속 및 고감도 성능을 갖는 광소자로서 광을 전류로 변환해주는 소자

이며, APD용 LTV(Light To Voltage) 회로에서 TIA(Transimpedance Amplifier)는 PD(Photo Diode)의 출력 전류를 전압으로 변환해주는 중요한 회로이다.

일반적으로 TIA는 출력에서 반전 입력까지 피드백 저

* Dept. of Electronics Engineering, Jeonbuk National University, Korea.

★ Corresponding author

E-mail : sicho@jbnu.ac.kr, Tel : +82-63-270-4137

※ Acknowledgment

Manuscript received Aug. 9, 2022; revised Sep. 8, 2022; accepted Sep. 13, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

항이 있는 연산 증폭기를 통해 간단히 구현 할 수 있지만[1] PD의 기생 커패시터로 인해 극점이 발생하며, 안정성, 대역폭 제한, 출력 파형의 바이브레이션 등과 같은 문제가 발생하게 된다[2]. 안정성 문제는 보통 TIA의 피드백 저항에 의해 전압 노이즈가 피드백 되는 페루프 전압 루프 전달함수로 해석하며[1-5], Settling 시간 및 대역폭 제한 같은 문제는 PD의 전류가 TIA의 피드백 저항을 따라 출력까지 가는 개루프인 전류 루프로 전달함수를 해석하여[6] 결정된 피드백 커패시터로 보상하게 된다. 보상된 TIA는 안정도 및 Settling 시간에 대해 정확한 보상이 이루어져야 출력 파형의 발진 및 Under/Over Shoot 현상을 방지할 수 있다.

그러나 APD는 높은 전압에서 동작점이 형성되기 때문에 과전류가 흐를 가능성이 있어 TIA 회로 외부에 Quenching 저항을 사용하게 되는데[7] 본 논문에서는 이러한 Quenching 저항이 포함된 TIA의 전압 및 전류 루프 해석을 통하여 안정도 개선을 위한 Quenching 저항 값 결정의 방향성을 제시하고자 한다. 그 후 이를 시뮬레이션으로 검증한 후 최종적으로 칩으로 구현하여 칩의 실제 동작을 확인한다. 논문의 구성으로는 2장에서 기존의 보상된 TIA 루프 해석과 Quenching 저항을 포함한 TIA 루프 해석을 비교하여 Quenching 저항이 TIA의 안정성 및 Settling에 미치는 영향에 대해 분석하였으며 이를 통한 저항 값 결정 방법에 대해서 다룬다. 그 다음 3장에서는 시뮬레이션 및 칩 테스트 결과에 대해 분석한 뒤 마지막으로 4장에서 결론을 정리한다.

II. Quenching 저항 영향 분석 및 저항값 결정

APD 사용 시 높은 전압에서 동작점이 형성되기 때문에 과전류가 흐를 가능성이 있어 TIA외부에 Quenching 저항을 사용한다. 본 논문은 우선 Quenching 저항이 없는 보상된 TIA에 대하여 노이즈 영향에 의한 안정도를 분석하기 위해 전압 루프 해석을 하였으며, 입력 전류에 대한 대역폭, settling 영향을 분석하기 위해 전류 루프 해석을 하였다. 그 다음 Quenching 저항을 포함한 보상된 TIA의 전압 및 전류 루프를 해석하여 안정도 및 대역폭을 분석하였고, 마지막으로 Quenching 저항 값을 결정하는 방법에 대해 제시하였다.

1. Quenching 저항이 없는 보상된 TIA 루프 해석

그림 1은 Quenching 저항이 없는 보상된 TIA이고, 그림 2는 Quenching 저항이 없는 보상된 TIA의 안정

성과 대역폭을 분석하기 위한 전압/전류 루프 해석 블록도이다. 노이즈를 전압원 V_n 으로 모델링하였고, APD를 전류원 I_{in} 과 커패시터 C_{PD} 및 저항 R_{PD} 를 갖는 등가회로로 모델링하였다. 그림 2를 이용하여 TIA의 전압 및 전류 루프를 해석하기 위한 블록도로 그리면 그림 3과 그림 4와 같다.

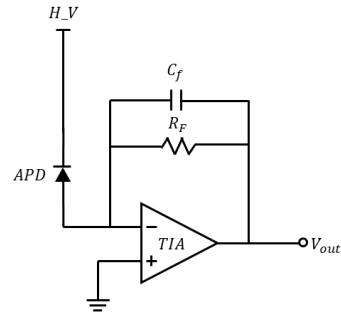


Fig. 1. Compensated TIA without Quenching Resistor. 그림 1. Quenching 저항이 없는 보상된 TIA

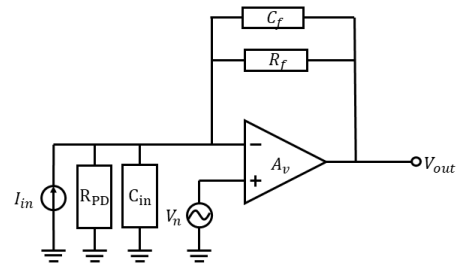


Fig. 2. Compensated TIA Voltage/Current Loop Analysis Block Diagram without Quenching Resistor. 그림 2. Quenching 저항이 없는 보상된 TIA 전압/전류 루프 해석 블록도

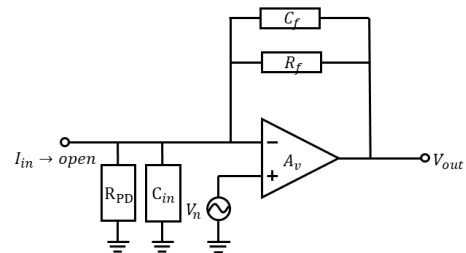


Fig. 3. Compensated Voltage Loop Analysis Block Diagram without Quenching Resistor. 그림 3. Quenching 저항이 없는 보상된 전압 루프 해석 블록도

그림 3에서 전압 루프에 대한 루프 이득을 구하면 식 (1)과 같이 나타나며, 극점과 영점은 식 (2)와 같이 계산된다.

$$A_v \cdot \beta = \frac{R_{PD}}{R_{PD} + R_f} \frac{(1 + sC_f R_f)}{1 + s(R_{PD} \parallel R_f)(C_f + C_{in})} \cdot \frac{A_0}{1 + \frac{s}{p1}} \quad (1)$$

$$f_{p1} = \frac{p1}{2\pi} \cdot f_{p2} = \frac{1}{2\pi(R_{PD} \parallel R_f)(C_f + C_{in})} \quad (2)$$

$$f_{z1} = \frac{1}{2\pi R_f C_f}$$

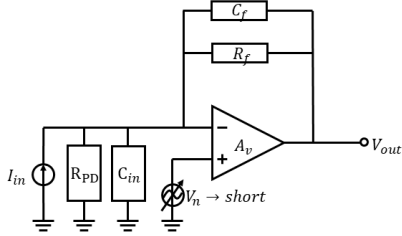


Fig. 4. Compensated Current Loop Analysis Block Diagram without Quenching Resistor.

그림 4. Quenching 저항이 없는 보상된 전류 루프 해석 블록도

여기서 C_{in} 은 APD의 커패시터(C_{PD})를 포함한 입력단에 보이는 모든 커패시터를 의미하며, R_{PD} 는 APD의 저항을 나타낸다. 또한 A_0 는 증폭기의 DC이득을 나타내며 p_1 은 증폭기의 극점을 나타낸다.

그리고 그림 4에서 전류 루프에 대하여 해석을 하면 그때의 개방 루프 이득은 식 (3)과 같이 나타나며, 중심 주파수 ω_0 및 Q factor는 식 (4)와 같다.

$$\frac{V_{out}}{I_{in}} = -R_f \cdot \frac{\frac{A_0 p1}{C_{in} R_f}}{s^2 + sp1(1 + \frac{C_f A_0}{C_{in}}) + \frac{A_0 p1}{C_{in} R_f}} \quad (3)$$

$$\omega_0 = \sqrt{\frac{A_0 p1}{C_{in} R_f}}, Q = \frac{1}{1 + \frac{C_f A_0}{C_{in}}} \sqrt{\frac{A_0}{C_{in} R_f p1}} \quad (4)$$

2. Quenching 저항을 포함한 TIA의 루프 해석

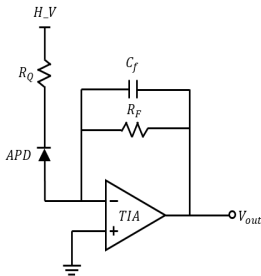


Fig. 5. TIA with Quenching Resistor.

그림 5. Quenching 저항을 포함한 TIA

높은 전압에서 사용되는 APD는 LTV 변환시 과전류가 흐를 가능성이 있어 그림 5와 같이 외부에 Quenching 저항(R_Q)을 이용하여 TIA를 구성한다. 그림 5의 전압/전류 루프 해석을 위해 노이즈를 전압원 V_n 으로 모델링

하였고, APD를 전류원 I_{in} 과 커패시터 C_{PD} 및 저항 R_{PD} 를 갖는 등가회로로 모델링하여 그림 6과 같이 블록도로 나타낼 수 있다. 그림 5의 Quenching 저항은 APD의 C_{PD} 와 같이 TIA의 안정도 및 Settling에 영향을 준다.

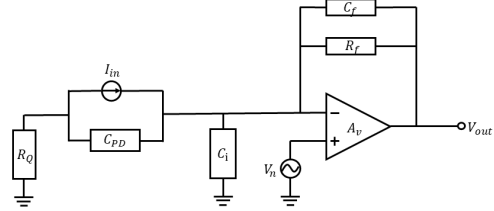


Fig. 6. TIA Voltage/Current Loop Analysis Block Diagram with Quenching Resistor.

그림 6. Quenching 저항을 포함한 TIA 전압/전류 루프 해석 블록도

Quenching 저항의 영향을 분석하기 위해 R_Q 를 포함한 TIA의 전달함수를 전압 및 전류 루프를 해석하기 위한 블록도를 그리면 그림 7과 그림 8과 같다.

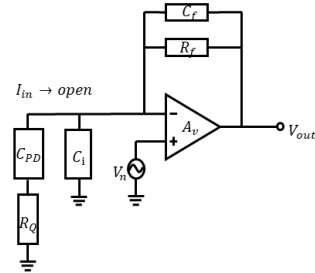


Fig. 7. Voltage Loop Analysis Block Diagram with Quenching Resistors.

그림 7. Quenching 저항을 포함한 전압 루프 해석 블록도

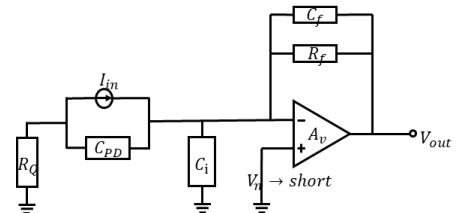


Fig. 8. Current Loop Analysis Block Diagram with Quenching Resistor.

그림 8. Quenching 저항을 포함한 전류 루프 해석 블록도

그림 7에서 전압 루프에 대하여 루프 이득을 구하면 다음 식 (5)와 같이 나타난다.

$$A_v \cdot \beta \approx \frac{(1 + sR_f C_f)(1 + sR_Q C_{PD})}{1 + sR_f(C_f + C_i)(1 + sR_Q C_{PD})} \cdot \frac{A_V}{1 + \frac{s}{p1}} \quad (5)$$

식 (5)에서 C_i 값은 TIA의 입력단에 보이는 전체 커패시터(C_{in})에서 APD의 커패시터(C_{PD})를 뺀 값과 같다. 식 (5)를 통해 영점 및 극점을 구하면 식 (6)과 같다.

$$f_{p1} = \frac{p1}{2\pi}, f_{p2} = \frac{1}{2\pi R_f (C_f + C_i)}, f_{p3} = \frac{1}{2\pi R_Q C_{PD}} \quad (6)$$

$$f_{z1} = \frac{1}{2\pi R_f C_f}, f_{z2} = \frac{1}{2\pi R_Q C_{PD}}$$

위 식 (6)을 통해 Quenching 저항에 의해 생긴 극점과 영점은 만나서 상쇄되어 2차 시스템으로 해석을 할 수 있다는 것을 알 수 있다.

또한 그림 8과 같이 전류 루프에 대하여 루프 해석을 하면 그때의 개방 루프 이득은 식 (7)과 같다.

$$\frac{V_{out}}{I_{in}} = \frac{-R_f \cdot \frac{A_V p1}{C_{in} R_f} \cdot \frac{1}{R_Q (C_i \parallel C_{PD})}}{[s + \frac{1}{R_Q (C_i \parallel C_{PD})}][s^2 + s p1 (1 + \frac{C_f A_V}{C_{in}}) + \frac{A_V p1}{C_{in} R_f}]} \quad (7)$$

위 식 (7)를 통해 Quenching 저항에 의해 이차시스템 응답인 식 (4)에 식 (8)과 같은 극점 f_{p3} 이 추가되어 R_Q 에 의하여 영향을 받는 것을 확인할 수 있다.

$$f_{p3} = \frac{1}{2\pi R_Q (C_i \parallel C_{PD})} \quad (8)$$

결론적으로 위 식 (1)과 식 (6)을 통해 Quenching 저항이 전압 피드백 루프의 안정도 즉, Phase Margin에 영향을 끼치지 않는다는 것을 알 수 있다.

반면, 위 식 (3)과 식 (7)을 통해 Quenching 저항이 전류 개방 루프에서는 극점을 하나 추가하여 3차 시스템이 되어 대역폭을 제한할 수 있으며, Q factor나 ω_0 에 영향을 주어 TIA의 출력 파형에 Overdamping을 야기하여 APD Sensor의 신호 처리 속도가 느려진다.

3. Quenching 저항 R_Q 값 결정

Quenching 저항에 의해 2차 시스템이 3차 시스템이 되기 때문에 식 (3)의 극점이 우성 극점이 되어 아래 식 (9)와 같이 3차 시스템이 2차 시스템처럼 근사되도록 R_Q 값을 설정해야한다.

$$H(s) = \frac{\alpha \cdot \omega_0^2}{(s + \alpha)(s^2 + \frac{\omega_0}{Q}s + \omega_0^2)} \approx \frac{\omega_0^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (9)$$

식 (9)와 같이 하나의 실근과 한 쌍의 복소수 켈레근을 갖는 3차 시스템이 한 쌍의 복소수 켈레근을 갖는 2차 시스템으로 근사되기 위해서는 실근이 켈레근의 실수부보다 10배 이상 커야한다. 따라서 다음 식 10과 같은 식을 이용하여 R_Q 값을 설정할 수 있다. Q factor의 경우 Critical Damping 값인 0.5이다.

$$\frac{\omega_0}{2Q} = 10\alpha, R_Q = \frac{10}{\omega_0 (C_i \parallel C_{PD})} \quad (Q=0.5) \quad (10)$$

위 식 10을 통해 R_Q 값이 결정되면 R_Q 에 의해 생긴 극점보다 기존의 복소수 켈레근의 극점이 우성 극점이 되어 기존 TIA의 Q factor 및 ω_0 에 영향을 주지 않게 된다. 하지만 Quenching 저항은 전류 제한 목적이기 때문에 APD의 전류 특성 또한 고려해야 하며 너무 작은 값을 설정하지 않도록 주의해야한다.

III. 시뮬레이션 및 칩 테스트 결과

3장에서는 분석 결과를 검증하기 위해 Virtuoso로 설계한 TIA의 시뮬레이션 결과에 대해 다룬다.

그림 9와 그림 10은 Quenching 저항에 따른 전압 루프 이득 및 전류 루프 이득에 대한 시뮬레이션이다. 2장에서 언급한 것처럼 전압 루프 이득의 경우 Quenching 저항에 영향을 받지 않았으며, 전류 루프의 경우에는 Quenching 저항에 의해 생긴 식 (8)과 같은 극점이 TIA의 대역폭을 제한하였다. 따라서 외부의 Quenching 저항이 TIA 안정도에 영향을 끼친다는 사실을 확인하였다.

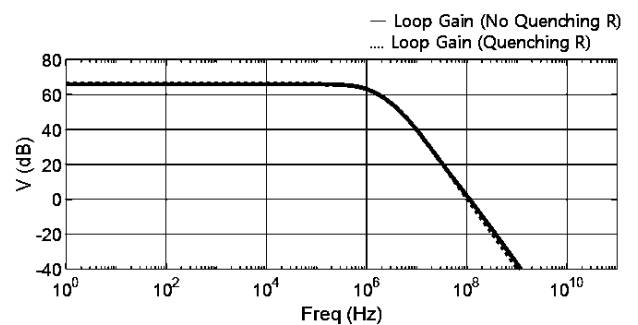


Fig. 9. Voltage Loop Gain according to Quenching Resistor. 그림 9. Quenching 저항에 따른 전압 루프 이득

또한 식 (8)과 같은 극점이 Q factor나 ω_0 에 영향을 주어 TIA의 출력 파형에 그림 11과 같은 Overdamping을 야기하는 것을 볼 수 있다.

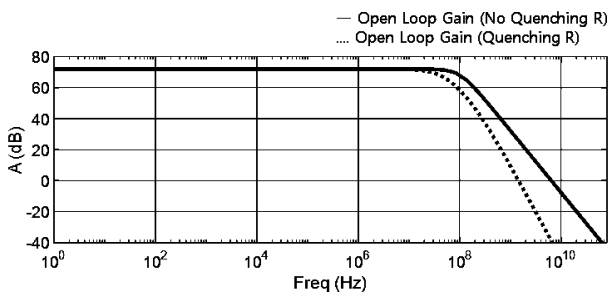


Fig. 10. Current Loop Gain according to Quenching Resistor.

그림 10. Quenching 저항에 따른 전류 루프 이득

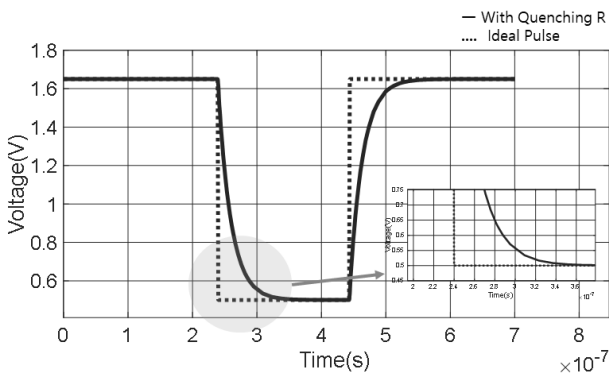


Fig. 11. Overdamping of Output Waveform due to Quenching Resistor.

그림 11. Quenching 저항으로 인한 출력 파형의 Overdamping

그림 11과 같은 Overdamping 현상을 막기 위해 먼저 3차 시스템의 Pole-Zero Map을 그려보면 그림 12와 같다.

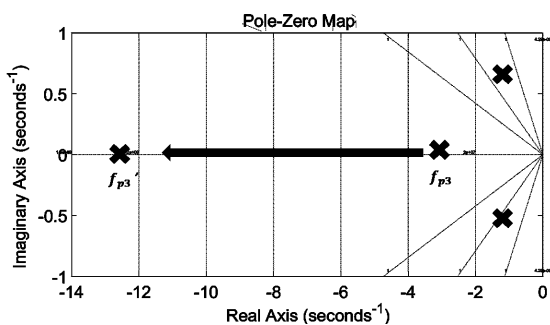


Fig. 12. Pole-Zero Map of TIA with Quenching Resistor.

그림 12. Quenching 저항을 포함한 TIA의 Pole-Zero Map

Quenching 저항 값을 식 10과 같이 설정하여 그림 12와 같이 기존의 R_Q 에 의해 생긴 극점 f_{p3} 의 실수부를 복소수 켈레근의 실수부보다 10배 정도 크게 이동시키면 그림 13과 같이 실제 3차 시스템의 Step Response는 Quenching 저항에 의한 Step Response를 무시하고

Quenching 저항이 없을 때인 2차 시스템의 Step Response와 같이 근사된다.

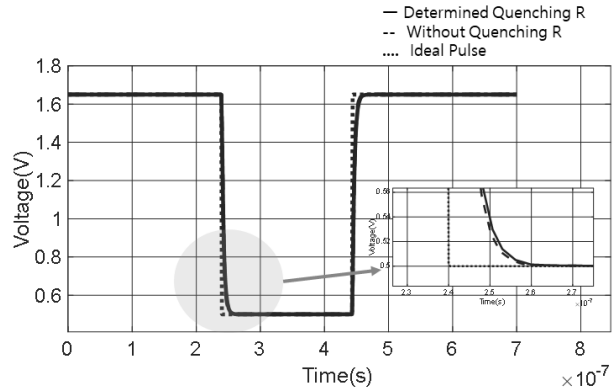


Fig. 13. TIA's Step Response according to Quenching Resistor.

그림 13. Quenching 저항에 따른 TIA의 Step Response

따라서 식 10에 의해 결정된 Quenching 저항을 포함한 TIA는 그림 13과 같이 기존의 Quenching 저항이 없는 TIA와 같은 0.5 정도의 Q factor 값을 가지며 Critical Damping의 Step Response를 가지게 된다.

이러한 TIA를 Virtuoso tool을 사용하여 CMOS 0.18 um 공정으로 설계하였으며 설계된 TIA의 Die Chip 도면 및 Layout 도면은 다음 그림 14와 같다.

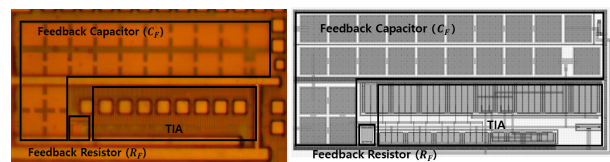


Fig. 14. CMOS TIA Die Chip and Layout.

그림 14. CMOS TIA Die Chip and Layout

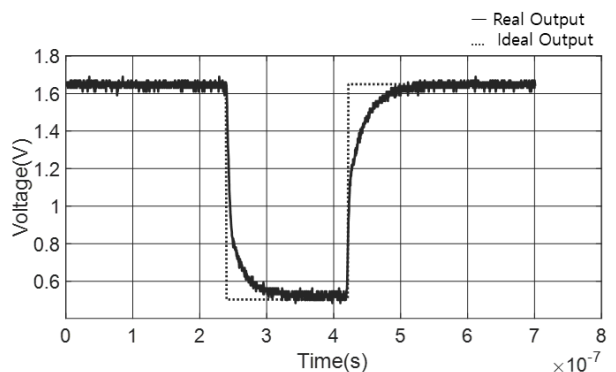


Fig. 15. Overdamping of Actual Output Waveform due to Quenching Resistor.

그림 15. Quenching 저항으로 인한 실제 출력 파형의 Overdamping

그림 14와 같이 실제 칩 구현하여 외부에 Quenching 저항을 달면 Quenching 저항으로 인한 출력 파형의 Overdamping을 볼 수 있는데 다음 그림 15와 같다.

Quenching 저항이 전달함수에 영향을 주지 않도록 식 10에 근거하여 R_Q 값을 설정하면 그림 16과 같이 안정된 실제 출력 파형을 얻을 수 있다.

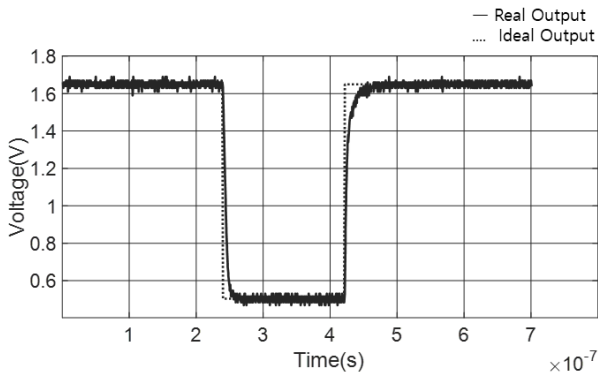


Fig. 16. Stable Actual Output Waveform.

그림 16. 안정된 실제 출력 파형

IV. 결론

본 논문에서는 APD용 LTV 회로의 안정도 및 settling 시간 개선을 위해 Quenching 저항이 각 루프의 전달함수에 미치는 영향을 분석하고 저항 값 결정 방법을 제안하였다. 제안된 이론적 배경에 의하여 Quenching 저항 값을 설정하여 TIA를 설계하여 시뮬레이션 및 칩 테스트 결과 APD 광센서의 과전류 방지를 위해 사용되는 Quenching 저항은 전압 피드백 루프의 안정도에는 영향을 끼치지 않았지만 전류 루프에서는 대역폭 제한과 같은 영향을 끼친다는 것을 알 수 있었으며 Quenching 저항 값 결정에 대한 방향성을 입증할 수 있었다.

본 논문을 통하여 R_Q 의 적정 값을 선택할 수 있도록하여 APD 소자 특성에 맞는 TIA의 대역폭 및 안정도를 향상시킴으로써 APD의 Analog Front-end 성능 개선에 영향을 미칠 것으로 예상된다.

References

- [1] Akshay Bhat, "Stabilize your Transimpedance Amplifier," *Maxim Technical Documents*, Tutorial 5129, 2012.
- [2] Baker Bonnie, "The eyes of the electronic world

are watching," *EDN*, p.24, 2008.

- [3] Mehmet Demirtas and Mehmet Akif Erismis and Salih Gunes, "Analysis and design of a transimpedance amplifier based front-end circuit for capacitance measurements," *SN Applied Sciences*, 2020.

- [4] Saroj R Desai, Nilima V Warke and Shivaji S Nawatake, "Auto gain Ultra low signal transimpedance amplifier for Blood Diagnostic machine," *IOP Conference Series. Materials Science and Engineering*, Vol.1084, 2021.

DOI: 10.1088/1757-899X/1084/1/012070

- [5] Jung-Hoon Noh, "Frequency-Response Analysis and Design Rules for Capacitive Feedback Transimpedance Amplifier," *IEEE transactions on instrumentation and measurement*, 2020.

DOI: 10.1109/TIM.2020.3006325

- [6] Manuel de Medeiros Silva and Luis B. Oliveira, "Regulated Common-Gate Transimpedance Amplifier Designed to Operate With a Silicon Photo-Multiplier at the Input," *IEEE Transactions on circuits and systems*, 2013. DOI: 10.1109/TCSI.2013.2283992

- [7] Franco Zappa, Andrea L. Lacaita, Carlo Samori, "Impact of Local-Negative-Feedback on the MRS Avalanche Photodetector Operation," *IEEE Transactions on electron device*, 1998. DOI: 10.1109/16.658816

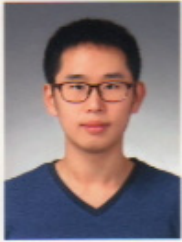
BIOGRAPHY

Dong-Han Ki (Member)



2021 : BS degree in Semiconductor Science and Technology, Jeonbuk National University.

2021~present : MS candidate in Electronic Engineering, Jeonbuk National University.

Yu-Rin Jin (Member)

2016 : BS degree in Electronic Engineering, Jeonbuk National University.

2018 : MS degree in Electronic Engineering, Jeonbuk National University.

2018~Present : PhD candidate in Electronic Engineering, Jeonbuk National University.

Sung-Mi Kim (Member)

1998 : BS degree in Electronic Engineering, Jeonbuk National University.

2000 : MS degree in Electronic Engineering, Jeonbuk National University.

2017 : PhD degree in Electronic Engineering, Jeonbuk National University.

2017~Present : Research Engineer, Electronic Engineering, Jeonbuk National University.

Seong-Ik Cho (Member)

1987 : BS degree in Electronic Engineering, Jeonbuk National University.

1989 : MS degree in Electronic Engineering, Jeonbuk National University.

1994 : PhD degree in Electronic Engineering, Jeonbuk National University.

1996~2004 : Hynix Semiconductor Memory Lab Senior Research Engineer.

2004~Present : Professor of Electronic Engineering, Jeonbuk National University.