

Channel과 gate 구조에 따른 산화물 박막트랜지스터의 전기적 특성 연구

Effect of Channel and Gate Structures on Electrical Characteristics of Oxide Thin-Film Transistors

공 희 성*, 조 경 아[★], 김 재 범**, 임 준 형**, 김 상 식^{***}

Heesung Kong*, Kyoungah Cho[★], Jaybum Kim**, Junhyung Lim**, Sangsig Kim^{***}

Abstract

In this study, we designed oxide thin-film transistors (TFTs) with dual gate and tri layered split channels, and investigated the structural effect of the TFTs on the electrical characteristics. The dual gates played a key role in increasing the driving current, and the channel structure of tri layers and split form contributed to the increase in the carrier mobility. The tri layered channels consisting of the a-ITGZO and two ITO layers inserted between the gate dielectric and a-ITGZO led to the increase in the on-current by using ITO layers with high conductivity, and the split channels lowered series resistance of the channels. Compared with the mobility ($15 \text{ cm}^2/\text{V}\cdot\text{s}$) of the single gate a-ITGZO TFT, the mobility ($134 \text{ cm}^2/\text{V}\cdot\text{s}$) of the dual gate tri-layer split channel TFT was remarkably enhanced by the structural effect.

요 약

본 연구에서는 새로운 구조의 dual gate tri-layer split channel 박막트랜지스터를 제작하였다. 전류 구동 능력을 향상시키기 위해 액티브 층의 양쪽에 게이트를 형성하였고 전하이동도를 증가시키기 위하여 액티브 층에서 채널이 형성되는 구간인 첫번째 층과 세번째 층에 전도성이 높은 ITO 층을 배치하였다. 추가적으로 분할 채널을 이용하여 채널의 series 저항을 낮추면서 분할한 채널의 측면에서도 accumulation을 유도하여 전하이동도를 향상시켰다. 기존의 single gate a-ITGZO 박막트랜지스터가 $15 \text{ cm}^2/\text{Vs}$ 의 전하이동도를 가지는 반면 dual gate tri-layer split channel 박막트랜지스터는 $134 \text{ cm}^2/\text{Vs}$ 의 높은 전하이동도를 가졌다.

Key words : Oxide TFT, Dual gate, tri-layer channel, split channel, mobility

* Dept. of Electrical Engineering, Korea University

** Display Research Center, Samsung Display

★ Corresponding author

Email : chochem@korea.ac.kr, sangsig@korea.ac.kr, Tel : +82-02-3290-3909

※ Acknowledgment

This study was supported in part by Samsung Display Co. Ltd., and it was supported by a National Research Foundation of Korea (NRF) grant funded by the Korean government (MISP) (NRF-2020R1A2C3004538, NRF-2022M3I7A3046571), the Brain Korea 21 Plus Project of 2022 through the NRF funded by the Ministry of Science and a Korea University Grant.

Manuscript received Sep. 19, 2022; revised Sep. 22, 2022; accepted Sep. 27, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited. medium, provided the original work is properly cited.

I. 서론

최근 산화물 박막트랜지스터는 디스플레이와 전자기기의 구동소자로 주목을 받고 있고, 특히 amorphous indium-tin-gallium-zinc oxide(a-ITGZO) 박막트랜지스터는 낮은 공정온도, 낮은 누설전류, 높은 광 투과도 등의 이유로 차세대 디스플레이 구동소자로써 연구가 이뤄지고 있다[1-6]. 또한 a-ITGZO 채널 물질은 기존의 amorphous indium-gallium-zinc oxide(a-IGZO)에서 희귀금속인 indium의 비율을 줄일 수 있는 장점을 가지고 있다[7]. 하지만 a-ITGZO 박막트랜지스터를 비롯한 종래의 산화물 박막트랜지스터의 전하이동도의 한계로 인하여 고이동도를 요구하는 어플리케이션의 적용에 한계가 있다. 박막트랜지스터의 전하이동도를 향상시키기 위해 다양한 구조적 변화가 이뤄지고 있지만, 더 높은 전하이동도를 위하여 새로운 구조의 산화물 박막트랜지스터가 필요한 실정이다.

따라서 본 연구에서는 게이트 구조 및 채널의 구조에 따른 산화물 박막트랜지스터의 전하이동도를 비교하기 위하여 single gate와 dual gate 박막트랜지스터, a-ITGZO single channel과 ITO/ITGZO/ITO tri-layer channel 박막트랜지스터, wide channel과 split channel 박막트랜지스터를 제작하고 그 전기적 특성을 비교하고자 한다. 그림 1은 (a) single gate a-ITGZO wide channel 박막트랜지스터, (b) dual gate a-ITGZO wide channel 박막트랜지스터, (c) single gate tri-layer wide channel 박막트랜지스터, (d) dual gate tri-layer wide channel 박막트랜지스터, (e) single gate a-ITGZO split channel 박막트랜지스터, (f) dual gate tri-layer split channel 박막트랜지스터의 구조도를 나타낸다.

II. 본론

1. 실험방법

그림 2는 dual gate tri-layer split channel 박막트랜지스터의 공정 흐름도를 나타낸다. 박막트랜지스터는 colorless polyimide 기판에 제작되었으며 기판의 뒷면으로부터의 산소와 수분의 투과를 막기위해 15 nm 두께의 Al_2O_3 가스 배리어 필름을 원자층 증착법을 통해 $130^\circ C$ 에서 증착하였다. Bottom 게이트 전극은 티타늄을 열증착 공정으로 100 nm 증착하였고, bottom 게이트 절연막은 $HfAlO$ 를 원자층 증착법을 이용하여 $150^\circ C$ 에서 15 nm 증착하였다. Tri-layer 채널의 경우 ITO/

ITGZO/ITO의 구조로 3개의 층을 순차적으로 stacking 하여 형성하였다.

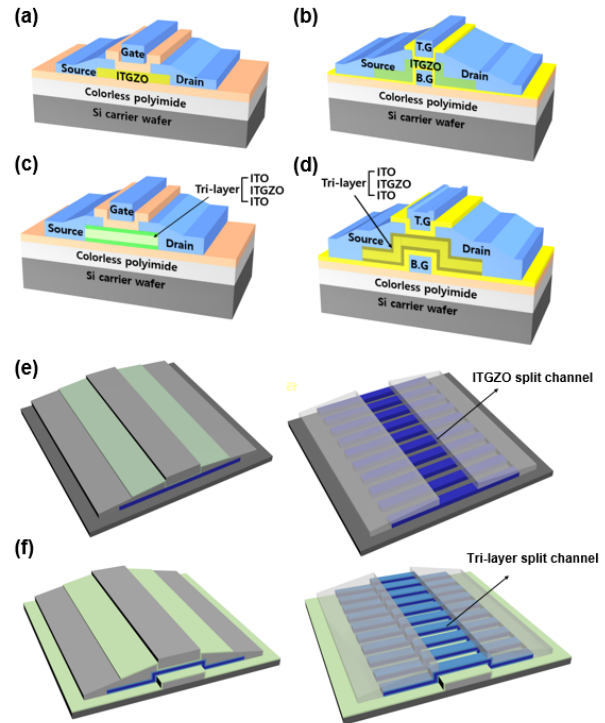


Fig. 1. Schematic of (a) single gate a-ITGZO wide channel TFT, (b) dual gate a-ITGZO wide channel TFT, (c) single gate tri-layer wide channel TFT, (d) dual gate tri-layer wide channel TFT, (e) single gate a-ITGZO split channel TFT and (f) dual gate tri-layer split channel TFT.

그림 1. (a) single gate a-ITGZO wide channel TFT, (b) dual gate a-ITGZO wide channel TFT, (c) single gate tri-layer wide channel TFT, (d) dual gate tri-layer wide channel TFT, (e) single gate a-ITGZO split channel TFT and (f) dual gate tri-layer split channel TFT의 구조도

첫번째 ITO 채널 층의 경우 ITO($In_2O_3:SnO_2 = 90:10$ wt%) 타겟을 이용하여 RF 스퍼터링 방법으로 1 mTorr의 공정압력과 120 W의 RF 파워로 Ar 가스와 O_2 가스의 비율을 40:10 sccm으로 30초간 증착되었다. 두번째 a-ITGZO 채널 층은 ITGZO($In_2O_3:SnO_2:Ga_2O_3:ZnO = 0.8:0.2:1:1$ mol%) 타겟을 이용하여 RF 스퍼터링 방법으로 1 mTorr의 공정압력과 120 W의 RF 파워로 Ar 가스와 O_2 가스의 비율을 47:3 sccm으로 6분간 증착되었으며, 세번째 ITO 채널 층은 첫번째 ITO 채널 층과 동일한 방법으로 증착되었다. ITO/ITGZO/ITO tri-layer channel 박막의 두께는 각각 4, 45, 4 nm이다. 채널의 길이와 전체 너비는 각각 100, 50 μm 이며 split 채널을

구성하기 위하여 너비가 50 μm 인 채널을 5 μm 씩 10개로 쪼개어 제작하였다. 소스 드레인 전극은 티타늄을 열 증착 공정으로 100 nm 증착하였고, top 게이트 절연막 및 top 게이트 전극은 각각 bottom 게이트 절연막 및 bottom 게이트 전극과 동일한 방법으로 증착하였다. 게이트 절연막의 capacitance는 HP 4284A를 이용하여 측정하였고, 박막트랜지스터의 전기적 특성은 HP 4155c를 이용하여 상온에서 측정하였다.

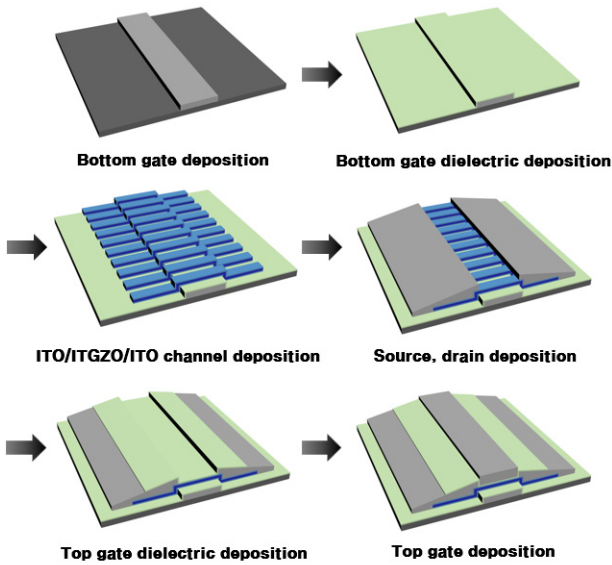


Fig. 2. Process flow of a dual gate tri-layer split channel TFT.

그림 2. Dual gate tri-layer split channel TFT의 공정 흐름도

2. 결과 및 토의

그림 3 (a)는 드레인-소스 전압 (V_{DS})이 0.1 V에서 (a) single gate a-ITGZO wide channel TFT, (b) dual gate a-ITGZO wide channel TFT, (c) single gate tri-layer wide channel TFT, (d) dual gate tri-layer wide channel TFT, (e) single gate a-ITGZO split channel TFT and (f) dual gate tri-layer split channel TFT의 transfer curve ($I_{DS}-V_{GS}$)이다. 표 1은 각각의 소자 구조에 따른 전기적 특성을 나타낸다. 박막트랜지스터의 전하이동도는 다음과 같은 식으로 계산되었다.

$$\mu = \frac{L}{WC_{ox}V_{DS}} \frac{\partial I_{DS}}{\partial V_{GS}} \quad (1)$$

여기서 $C_{ox}(=476 \text{ nF/cm}^2)$ 는 단위면적당 게이트 절연체의 정전용량, $L/W(100 \mu\text{m}/50 \mu\text{m})$ 는 채널 너비와 길

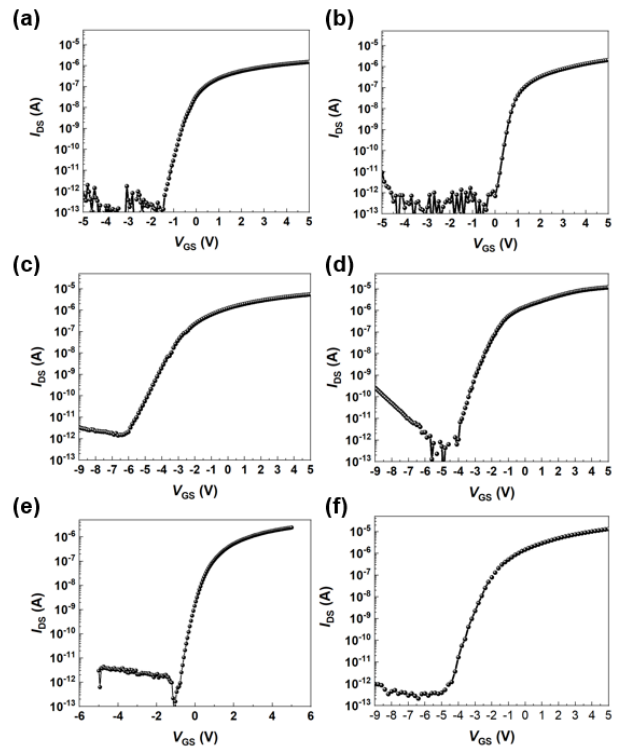


Fig. 3. IDS-VGS curves of (a) single gate a-ITGZO wide channel TFT, (b) dual gate a-ITGZO wide channel TFT, (c) single gate tri-layer wide channel TFT, (d) dual gate tri-layer wide channel TFT, (e) single gate a-ITGZO split channel TFT and (f) dual gate tri-layer split channel TFT.

그림 3. (a) single gate a-ITGZO wide channel TFT, (b) dual gate a-ITGZO wide channel TFT, (c) single gate tri-layer wide channel TFT, (d) dual gate tri-layer wide channel TFT, (e) single gate a-ITGZO split channel TFT and (f) dual gate tri-layer split channel TFT의 IDS-VGS 그래프

이의 비, V_{TH} 는 문턱전압을 나타낸다. 문턱전압은 I_{DS} 가 $W/L \times 10 \text{ nA}$ 일때의 V_{GS} 값으로 결정되었다. 표 1은 각각의 구조에 따른 박막트랜지스터의 on current와 전하이동도를 나타낸다. On current의 경우 V_{GS} 가 5 V, V_{DS} 가 0.1 V일때의 I_{DS} 값을 나타낸다.

그림 3의 (a)와 (b), (c)와 (d)를 통해 single gate 및 dual gate의 게이트 구조에 따른 전기적 특성을 비교하였다. Single gate a-ITGZO 박막트랜지스터와 dual gate a-ITGZO 박막트랜지스터의 on current와 전하이동도는 각각 1.5 μA , 15 cm^2/Vs 와 2.2 μA , 30 cm^2/Vs 이고, single gate tri-layer 박막트랜지스터와 dual gate tri-layer 박막트랜지스터의 on current와 전하이동도는 각각 5 μA , 52 cm^2/Vs 와 11 μA , 119 cm^2/Vs 이다. Dual gate를 활용하였을 때 채널이 액티

Table 1. Electrical characteristics according to device structure.

표 1. 소자 구조에 따른 전기적 특성

	On current (μA) ($I_{DS}@V_{GS} 5 \text{ V},$ $V_{DS} 0.1 \text{ V}$)	μ (cm^2/Vs)
Single gate a-ITGZO Wide channel	1.5	15
Dual gate a-ITGZO Wide channel	2.2	30
Single gate a-ITGZO Split channel	2.5	30
Single gate Tri-layer channel Wide channel	5	52
Dual gate Tri-layer channel Wide channel	11	119
Dual gate Tri-layer channel Split channel	13	134

브 층의 양쪽에 형성되어 single gate보다 on current가 향상되었다. 또한 dual gate를 통해 vertical electric field가 작아져 interface scattering이 감소해 전하이동도가 향상되었다[8, 9]. 그림 3의 (a)와 (c), (b)와 (d)를 통해 single channel 및 tri-layer channel의 채널 구조에 따른 전기적 특성을 비교하였다. Single gate a-ITGZO 박막트랜지스터와 single gate tri-layer channel 박막트랜지스터의 on current와 전하이동도는 각각 1.5 μA , 15 cm^2/Vs 와 5 μA , 52 cm^2/Vs 이고, dual gate a-ITGZO 박막트랜지스터와 dual gate tri-layer 박막트랜지스터의 on current와 전하이동도는 각각 2.2 μA , 30 cm^2/Vs 와 11 μA , 119 cm^2/Vs 이다. 액티브 층에서 채널이 형성되는 구간인 첫 번째 층과 세 번째 층에 전도성이 높은 ITO 층을 배치하여 on current 및 전하이동도가 향상되었다[10]. 마지막으로 그림 3의 (a)와 (e), (d)와 (f)를 통해 wide channel 및 split channel의 채널 구조에 따른 전기적 특성을 비교하였다. Single gate a-ITGZO wide channel 박막트랜지스터와 single gate a-ITGZO split channel 박막트랜지스터의 on current와 전하이동도는 각각 1.5 μA , 15 cm^2/Vs 와 2.5 μA , 30 cm^2/Vs 이고, dual gate tri-layer wide channel 박막트랜지스터와 dual gate tri-layer split channel 박막트랜지스터의 on current와 전하이동도는 각각 11 μA ,

119 cm^2/Vs 와 13 μA , 134 cm^2/Vs 이다. Split channel을 통해 multipath로 구성된 채널을 병렬로 연결하여 series 저항을 낮춰 on current와 전하이동도가 향상되었다[11]. 또한 분할한 채널의 측면에서도 전하의 accumulation을 유도하여 더 높은 on current 특성을 보인 것으로 사료된다[12]. 본 연구에서는 종래의 산화물 박막트랜지스터와 비교해 상당히 높은 전하이동도를 가지는 새로운 구조의 dual gate tri-layer split channel 박막트랜지스터를 제작하였다. 고이동도를 요구하는 차세대 디스플레이 및 전자기기에 dual gate tri-layer split channel 박막트랜지스터가 활용 가능할 것으로 기대된다.

III. 결론

본 연구에서는 새로운 구조의 dual gate tri-layer split channel 박막트랜지스터를 제작하였다. 전류 구동 능력을 향상시키기 위하여 듀얼게이트를 구성하였으며, 또한 전하이동도를 향상시키기 위하여 액티브 층에서 채널이 형성되는 구간인 첫 번째 층과 세 번째 층에 전도성이 높은 ITO 층을 배치하였다. 또한 split 채널을 이용하여 채널의 series 저항을 낮추면서 분할한 채널의 측면에서도 accumulation을 유도하여 전하이동도를 향상시켰다. 15 cm^2/Vs 의 전하이동도를 가지는 기존의 single gate a-ITGZO 박막트랜지스터와 비교하여 dual gate tri-layer split channel 박막트랜지스터는 134 cm^2/Vs 의 높은 전하이동도를 가졌다.

References

[1] Lee, H., Cho, K., Kim, H., Kim, S., "Electrical characteristics of bendable a-ITGZO TFTs on colorless polyimide substrates," *Semicond. Sci. Technol.* Vol.35, No.6, 2020.
DOI: 10.1088/1361-6641/ab8439

[2] Kong, H., Cho, K., Lee, H., Lee, S., Lim, J., Kim, S., "Bias-stress stability of top-gate coplanar a-ITGZO TFTs with HfO₂ and HfAlO gate dielectrics," *Materials Science in Semiconductor Processing*, Vol.143, 2022.
DOI: 10.1016/j.mssp.2022.106527

[3] Kim, D., Cho, K., Woo, S., Kim, S., "Electrical characteristics of amorphous indium-tin-gallium-

zinc-oxide TFTs under positive gate stress," *Electron. Lett.*, Vol.56, pp.102-104, 2020.

DOI: 10.1049/el.2019.2784

[4] Nakata, M., Ochi, M., Takei, T., Tsuji, H., Miyakawa, M., Motomura, G., Goto, H., Fujisaki, Y. "High-mobility back-channel-etched IGZO-TFT and application to dual-gate structure," *SID Symp. Dig.* Vol.50, pp.1226-1229, 2019.

DOI: 10.1002/sdtp.13153

[5] Choi, I., Kim, M., On, N., Song, A., Chung, K., Jeong, H., Park, J., Jeong, J. Jeong, "Achieving high mobility and excellent stability in amorphous In-Ga-Zn-Sn-O thin film transistors," *IEEE Trans. Electron. Vol.67*, pp.1014-1020, 2020.

DOI: 10.1109/TED.2020.2968592

[6] Lu, X., Wang, K., Hu, H., Zhang, W., Ning, C., Yang, W., Wang, J., Yao, Q., Cao, Z., Yuan, G., Huang, Y., "Highly reliable amorphous indium-gallium-zinc-tin-oxide TFTs with back-channel-etch structure," *SID Symp. Dig.* Vol.48, pp.291-293, 2017.

DOI: 10.1002/sdtp.11608

[7] Lee, H., Cho, K., Kong, H., Lee, S., Lim, J., Kim, S., "Electrical characteristics of flexible amorphous indium-tin-gallium-zinc oxide thin-film transistors under repetitive mechanical stress," *Jpn. J. Appl. Phys.*, Vol.60, No.9, 2021.

DOI: 10.35848/1347-4065/ac1c8d

[8] Wong, H., Frank, D., Solomon, P., Wann, C., Welser, J., "Nanoscale CMOS," *Proc. IEEE*, Vol.87, pp.537-570, 1999.

[9] Zhang, S., Ham, R., Sin, J., Chan, M. A "Novel Self-Aligned Double-Gate TFT Technology," *IEEE Electron Device Lett.*, Vol.22, pp.530-532, 2001.

DOI: 10.1109/55.962653

[10] Chung, Y., Kim, U., Hwang, E., "Indium tin oxide/InGaZnO bilayer stacks for enhanced mobility and optical stability in amorphous oxide thin film transistors," *Appl. Phys. Lett.* Vol.105, 2014.

DOI: 10.1063/1.4889856

[11] Oh, H., Cho, K., Park, S., Kim, S. "Electrical characteristics of bendable a-IGZO thin-film transistors with split channels and top-gate structure," *Microelectronic Engineering*, Vol.159, pp.179-182,

2016. DOI: 10.1016/j.mee.2016.03.044

[12] Byun, C., Reddy, A., Son, W., Lee, Y., Joo, S. "Channel Width Splitting Effect on Driving Characteristics of Silicide Seed-Induced Laterally Crystallized Poly-Si Thin-Film Transistors," *IEEE Trans. On Electron Devices*, Vol.60, pp.1390-1396, 2013. DOI: 10.1109/TED.2013.2245896

BIOGRAPHY

Heesung Kong (Member)



2021 : BS degree in Electrical Engineering, Korea University.
2021~present : MS degree in Electrical Engineering, Korea University.

Kyoungah Cho (Member)



1993 : BS degree in Chemistry, Sungshin Women's University.
1995 : MS degree in Physical Chemistry, Sungshin Women's University.
2000 : PhD degree in Physical Chemistry, Tokyo University.
2002~present : Research Professor, Korea University.

Jaybum Kim (Member)



2013 : BS degree in Department of Advanced Materials Science & Engineering, Sungkyunkwan University.
2015 : MS degree in Department of Advanced Materials Science & Engineering, Sungkyunkwan University.
2015~present : Pro, Samsung Display.

Junhyung Lim (Member)

1999 : BS degree in Department of Materials Engineering, Sungkyunkwan University.

2001 : MS degree in Department of Materials Engineering, Sungkyunkwan University.

2005 : PhD degree in Department of Materials Engineering, Sungkyunkwan University.

2006~2008 : Post-Doc Research fellow, Stanford University.

2010~present : Master, Samsung Display.

Sangsig Kim (Member)

1985 : BS degree in Physics, Korea University.

1987 : MS degree in Solid State Physics, Korea University.

1996 : PhD degree in Applied Physics, Columbia University.

1996~1998 : Post-Doc, University of Illinois at Urbana-Champaign.

1998~1999 : Research Engineer, University of Illinois at Urbana-Champaign.

1999~present : Professor, Korea University