

# Single Device를 사용한 조도센서용 eFuse OTP IP 설계 Design of eFuse OTP IP for Illumination Sensors Using Single Devices

에치크 수아드\*, 김 홍 주\*, 김 도 훈\*, 권 순 우\*, 하 판 봉\*, 김 영 희\*

Echikh Souad\*, Hongzhou Jin\*, DoHoon Kim\*, SoonWoo Kwon\*, PanBong Ha\*,  
YoungHee Kim\*

## Abstract

A light sensor chip requires a small capacity eFuse (electrical fuse) OTP (One-Time Programmable) memory IP (Intellectual Property) to trim analog circuits or set initial values of digital registers. In this paper, 128-bit eFuse OTP IP is designed using only 3.3V MV (Medium Voltage) devices without using 1.8V LV (Low-Voltage) logic devices. The eFuse OTP IP designed with 3.3V single MOS devices can reduce a total process cost of three masks which are the gate oxide mask of a 1.8V LV device and the LDD implant masks of NMOS and PMOS. And since the 1.8V voltage regulator circuit is not required, the size of the illuminance sensor chip can be reduced. In addition, in order to reduce the number of package pins of the illumination sensor chip, the VPGM voltage, which is a program voltage, is applied through the VPGM pad during wafer test, and the VDD voltage is applied through the PMOS power switching circuit after packaging, so that the number of package pins can be reduced.

## 요 약

조도센서 칩은 아날로그 회로의 트리밍이나 디지털 레지스터의 초기 값을 셋팅하기 위해 소용량의 eFuse(electrical Fuse) OTP (One-Time Programmable) 메모리 IP(Intellectual Property)를 필요로 한다. 본 논문에서는 1.8V LV(Low-Voltage) 로직 소자를 사용하지 않고 3.3V MV(Medium Voltage) 소자만 사용하여 128비트 eFuse OTP IP를 설계하였다. 3.3V 단일 MOS 소자로 설계한 eFuse OTP IP는 1.8V LV 소자의 gate oxide 마스크, NMOS와 PMOS의 LDD implant 마스크에 해당되는 총 3개의 마스크에 해당되는 공정비용을 줄일 수 있다. 그리고 1.8V voltage regulator 회로가 필요하지 않으므로 조도센서 칩 사이즈를 줄일 수 있다. 또한 조도센서 칩의 패키지 핀 수를 줄이기 위해 프로그램 전압인 VPGM 전압을 웨이퍼 테스트 동안 VPGM 패드를 통해 인가하고 패키징 이후는 PMOS 파워 스위칭 회로를 통해 VDD 전압을 인가하므로 패키지 핀 수를 줄일 수 있다.

*Key words : Single Device, Illumination Sensor, eFuse, OTP, Program Voltage*

\* Dept. of Electronics Engineering, Changwon National University

★ Corresponding author

E-mail : youngkim@changwon.ac.kr, Tel : +892-55-213-3656

※ Acknowledgment

This research is financially supported by Changwon National University in 2021~2022.

Manuscript received Sep. 2, 2022; revised Sep. 25, 2022; accepted Sep. 30, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## 1. 서론

조도센서는 주변의 밝기를 측정하여 밝기에 따라 화면의 밝기를 자동적으로 조절하는 역할을 한다[1]. 최근 스마트 폰에서는 디스플레이 센서 뒤에 조도센서를 위치시키는 UPS(Under Panel Sensor) 기술이 사용되고 있다. 모바일용 언더디스플레이용 조도센서 등에서는 대부분의 메모리가 아날로그 회로의 트리밍 용도로 사용되고 일부 메모리는 디지털 레지스터의 초기값을 셋팅하기 위해 128비트 정도의 소용량 비휘발성 메모리 IP인 eFuse OTP(electrical Fuse One-Time Programmable) 메

모리 IP(Intellectual Property)가 요구된다[2][3]. 또한 디지털 집적회로에 사용되는 1.8V LV(Logic Voltage) 소자를 사용하지 않고 아날로그 회로에 사용되는 3.3V MV (Medium Voltage) 소자를 사용한 eFuse OTP IP를 설계한다면 LV 소자에 해당되는 마스크 수를 줄여서 공정 비용을 줄이므로 생산 원가절감을 가져올 수가 있다.

그래서 본 논문에서는 0.18 $\mu\text{m}$  CIS(CMOS Image Sensor) 공정에서 1.8V LV 소자를 사용하지 않고 3.3V MV 소자만으로 128bit eFuse OTP IP를 설계가 가능하도록 WL(Word Line) 구동회로, SL(Source Line) 구동회로와 S/A(Sense Amplifier) 회로를 제안하였다. 그리고 조도센서의 패키지 핀 수를 줄이기 위해 VPGM(=4.6V)의 program voltage를 program mode에서만 VPGM 패드를 통해 인가를 하고, normal read mode와 program-verify-read mode에서는 PMOS 파워 스위치 회로를 통해 VDD(=3.3V) 전압을 인가하는 회로를 새롭게 제안하였다. 이와같은 회로를 128bit eFuse OTP IP에 사용하므로 조도 센서는 LV 소자에 해당되는 게이트 옥사이드(gate oxide) 마스크와 NMOS와 PMOS LDD(Lightly Doped Drain) implant 마스크 관련 총 3장의 마스크에 해당되는 공정을 줄일 수 있으므로 공정 비용을 줄일 수 있다. 그리고 1.8V의 voltage regulator 회로를 제외시킬수 있으므로 칩 면적을 줄여서 원가 경쟁력을 확보할 수 있다.

## II. 회로 설계

128비트 eFuse OTP IP 설계에 사용한 eFuse OTP 셀의 회로도도 그림 1(a)에서 보는바와 같이 듀얼 포트 eFuse OTP 셀[4-7]을 사용하였으며, 읽기 모드에서 프로그램되지 않은 셀의 eFuse를 통해서 흐르는 전류를 줄일 수 있는 읽기 전용 NMOS 트랜지스터(MN1)과 프로그램 모드에서 선택된 eFuse link에 큰 프로그램 전류가 흐를 수 있게 해주는 프로그램 전용 NMOS 트랜지스터(MN2)를 사용하였다. 그림 1(a)의 MN1과 MN2 트랜지스터의 NMOS W/L은 각각 0.89 $\mu\text{m}/0.35\mu\text{m}$ 과 180 $\mu\text{m}/0.35\mu\text{m}$ 이다. 그리고 듀얼 포트 eFuse OTP 셀의 eFuse 링크는 n+ poly를 사용하였다. 설계된 eFuse OTP cell의 레이아웃 사이즈는 29.71 $\mu\text{m} \times 8.37\mu\text{m}$ (=248.6727 $\mu\text{m}^2$ )이다.

128비트 eFuse OTP IP에 사용된 eFuse OTP 셀의 동작 모드별 eFuse OTP 셀 노드에서의 바이어스 전압은 표 1에서 보는바와 같다. 프로그램 모드에서 선택된 WWL(Write Word-Line)은 VPGM(Program Voltage)

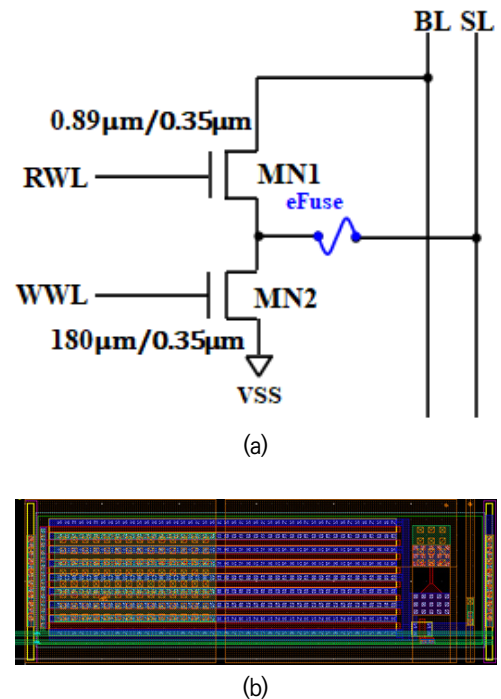


Fig. 1. Dual-port eFuse OTP cell: (a) schematic and (b) layout image.

그림 1. 듀얼 포트 eFuse OTP 셀 (a) 회로도 (b) 레이아웃 이미지

인 4.6V로 활성화된다. 그리고 eFuse OTP IP에서 선택되지 않은 WWL은 0V를 유지하므로 eFuse OTP 셀의 eFuse link는 BL으로부터 격리되어 eFuse link에는 전류가 흐르지 않게 된다. Program mode에서 eFuse OTP 셀을 프로그램하기 위해서는 입력 데이터인 DIN (Input Data)에 로직 '1'인 VDD 전압을 인가하고 입력 제어신호인 PGM 신호에 high 펄스를 인가하면 SL과 WWL에 VPGM(=4.6V) 전압이 인가되면서 eFuse link와 MN2를 통해 수 십 mA의 큰 프로그램 전류가 흐른다. 이렇게 하면 eFuse link는 thermal rupture에 의해 blowing 되고 eFuse의 저항은 수 십 k $\Omega$  이상이 된다[8]. 만약 프로그램 하지 않는 셀인 경우 DIN은 0V를 인가하고 SL은 0V를 유지하기 때문에 eFuse 양단에는 0V의 전압이 걸리면서 eFuse link에는 전류가 흐르지 않으므로 eFuse의 저항은 변화가 없다. 그림 2는 프로그램 모드의 경우 row의 선택 유·무, DIN 데이터에 따른 eFuse OTP cell에서 RWL, WWL, SL의 전압을 볼 수 있다. 설계된 eFuse OTP IP에서 eFuse link가 blowing에 의해 프로그램된 셀은 그림 2에서 보는바와 같이 선택된 row에 위치한 셀이고 DIN에 디지털 로직 '1'이 인가된 경우이다. 그리고 eFuse link가 unblown 상태를 유지하는 프로그램 되지 않은 셀은 선택되지 않은 row

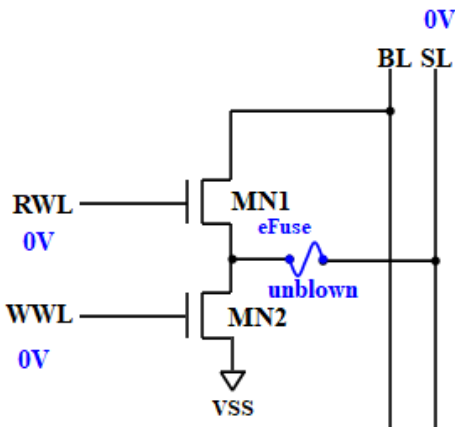
인 경우나 선택된 row에 위치한 셀 중 DIN에 디지털 로직 '0'가 인가된 경우이다. 프로그램 모드에서 읽기 전용 NMOS 트랜지스터 MN1이 항상 OFF 상태에 있으므로 BL은 플로팅 상태에 있다. 한편 read mode에서는 row address RA[2:0]의 디코딩에 의해 8(=2<sup>3</sup>)개의 RWL 중 선택된 RWL만 VDD 전압으로 활성화된다. 만약 eFuse link가 프로그램 되지 않은 셀의 경우 그림 1(a)의 MN2, eFuse link를 통해 전류 경로가 제공되어 BL은 0V로 방전되며, DOUT은 디지털 로직 '0'가 출력된다. 한편 프로그램된 셀은 eFuse link가 수 십 kΩ 이상의 고저항 상태에 있으며, BL 전압은 VDD로 프리차징된 상태를 유지하므로 DOUT은 디지털 로직 '1'이 출력된다[8].

Table 1. Table of eFuse OTP cell bias conditions by operating mode.

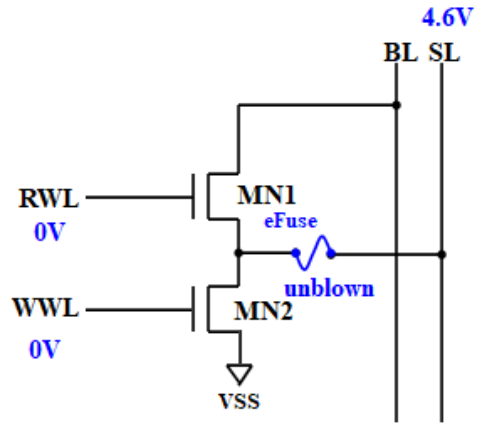
표 1. 동작 모드에 따른 eFuse OTP 셀 바이어스 조건 테이블

	Program Mode		Read Mode	
WWL	4.6V		0V	
RWL	0		VDD	
DIN	0	1	×	×
SL	0	4.6V	0	0
BL	Floating	Floating	0	VDD
DOUT	×	×	0	1
eFuse	Unblown	Blown	Unblown	Blown

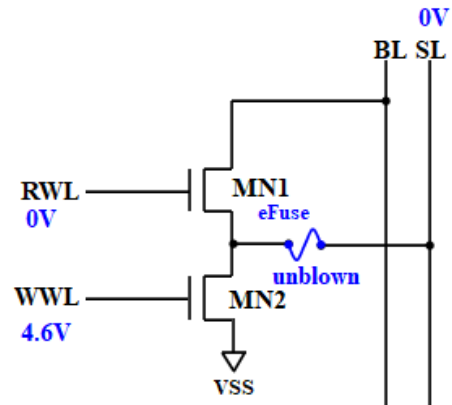
0.18μm CIS 공정 기반의 128비트 eFuse OTP IP의 주요 특징은 표 2와 같다. 셀 어레이는 8행×16열로 구성되어 있으며, 듀얼 포트 eFuse OTP 셀을 사용하였다. 동작모드는 프로그램 모드, read 모드와 program-verify-read 모드가 있다. 128비트 eFuse OTP IP는



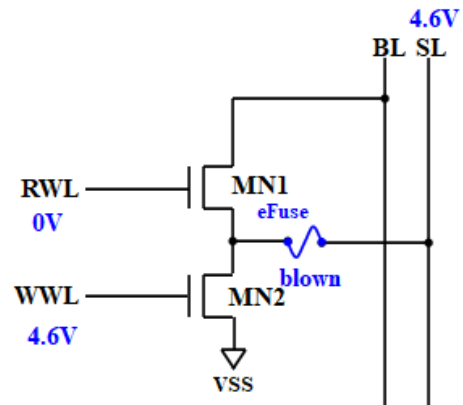
(a) 선택되지 않은 row, DIN이 '0'인 경우



(b) 선택되지 않은 row, DIN이 '1'인 경우



(c) 선택된 row, DIN이 '0'인 경우



(d) 선택된 row, DIN이 '1'인 경우

Fig. 2. The voltages of RWL, WWL, and SL in eFuse OTP cell according to whether or not row is selected and DIN data in the case of program mode: (a) unselected row and DIN is '0', (b) unselected row and DIN is '1', (c) selected row and DIN is '0', and (d) selected row and DIN is '1'.

그림 2. 프로그램 모드의 경우 row의 선택 유·무, DIN 데이터에 따른 eFuse OTP cell에서 RWL, WWL, SL의 전압 1.8V 로직소자를 사용하지 않고 3.3V 소자만으로 eFuse OTP IP를 설계하는 방식을 채택하였다. 그리고 VPGM

패드(pad)를 통해 프로그램 모드에서만 4.6V의 프로그램 전압인 4.6V를 인가하므로 프로그램되는 eFuse link에 인가하여 프로그램 파워를 높여주었다. 한편 VPGM 전압은 read 모드와 program-verify-read 모드에서 PMOS 스위치를 통해 VDD 전압을 인가하는 방식을 새롭게 제안하였다. 한편 128비트 eFuse OTP IP의 프로그램 비트와 read 비트는 각각 1비트, 8비트이고 프로그램 시간(program time)은 200 $\mu$ s이다. 한편 128비트 eFuse OTP IP의 top metal은 metal3이다. 그림 3은 128비트 eFuse OTP IP에서 8row $\times$ 16column의 셀 어레이에 대한 회로도를 보여주고 있다. RWL과 WWL은 row 방향으로 라우팅 되어있고, BL과 SL은 column 방향으로 라우팅되어 있다.

Table 2. Major features of designed 128-bit eFuse OTP IP.  
 표 2. 설계된 128비트 eFuse OTP IP의 주요 특징

Items	Main Features	
Process	DBH 0.18 $\mu$ m CIS Process	
OTP Cell Array	8R $\times$ 16C	
VDD	Read	1.62V ~ 3.6V
	Program	3.0V ~ 3.6V
	Program-Verify-Read	1.62V ~ 3.6V
VPGM	Read	Floating
	Program	4.6V
	Program-Verify-Read	Floating
Operating Mode	Program / Read / Program-Verify-Read	
Program bit / Read bit	1bit / 16bit	
Program Time	200 $\mu$ s	
Top Metal	M3	

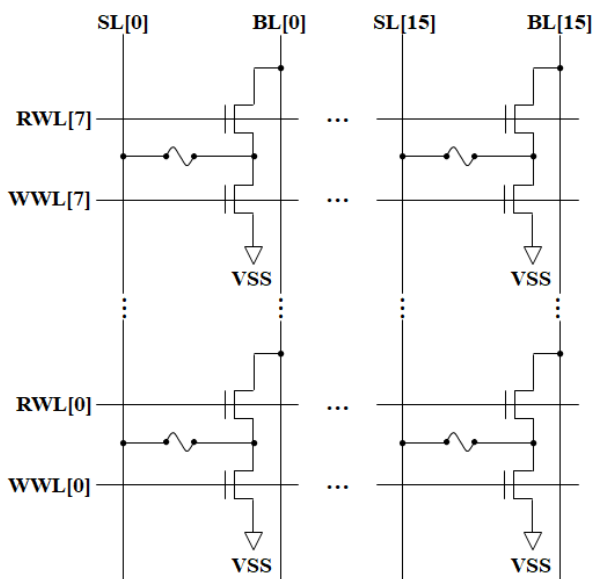


Fig. 3. Cell array of 8 rows  $\times$  16 columns.  
 그림 3. 8 row $\times$ 16 column의 셀 어레이에 대한 회로도

본 논문에서는 조도센서에 응용되는 eFuse OTP IP의 패키지 핀 수를 줄이기 위해 웨이퍼 테스트를 할 때 VPGM 전압을 프로그램 모드에서만 VPGM 패드를 통해 인가를 하고, read 모드와 program-verify-read 모드에서는 PMOS 파워 스위치 회로를 통해 VDD(=3.3V) 전압을 인가하는 회로를 새롭게 제안하였다. 그래서 설계된 eFuse OTP IP는 웨이퍼 상태에서 VPGM 패드를 통해서 4.6V 전압이 인가되고, 패키징한 후 VPGM 패드는 플로팅 상태를 유지하므로 VPGM 전압은 0V라고 생각하면 된다. 그림 4는 본 논문에서 제안된 파워 스위칭 회로를 보여주고 있으며, 프로그램 모드에서 PWSW\_EN 신호는 0V가 인가되고, VDD와 VPGM 전압은 각각 3.3V와 4.6V가 인가된다. 그림 4에서 cross-coupled PMOS 트랜지스터인 MP3와 MP4는 각각 OFF와 ON 상태에 있으므로 N3 노드 전압은 VPGM 전압인 4.6V로 바이어스 된다. 그래서 프로그램 모드에서 N1과 N2의 노드 전압은 각각 4.6V와 VDD 전압이 되면서 PMOS 트랜지스터인 MP3와 MP4를 모두 OFF시킨다. 반면 read 모드와 program-verify-read 모드에서 PWSW\_EN은 VDD 전압이 인가되고, VDD와 VPGM 전압은 각각 3.3V와 Floating 상태가 된다. 이와같은 조건에서는 MP3와 MP4는 각각 ON과 OFF 상태가 되므로 N3 노드 전압은 VDD이 된다. 이때 N1과 N2 전압은 모두 0V가 되어 PMOS 트랜지스터인 MP1과 MP2를 ON 시키

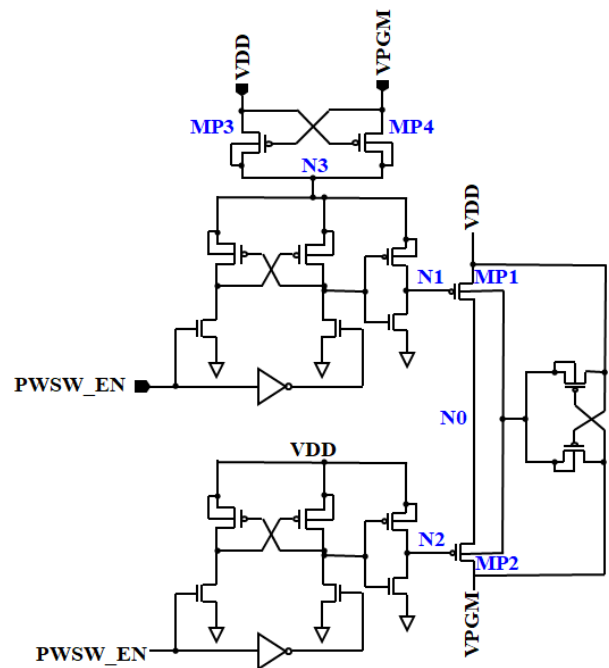


Fig. 4. Proposed power switching circuit.  
 그림 4. 제안된 파워 스위칭 회로

므로 플로팅된 VPGM 전압은 VDD 전압이 공급되어 그림 5의 row 구동회로와 그림 6의 SL 구동회로에 스위칭 파워인 VPGM 전압이 사용된다.

그림 5의 row 구동회로는 row address RA[3:0]의 디코딩에 의해 8개의 row중 한 개의 row를 선택해준다. 그리고 그림 6의 SL 구동회로는 프로그램 모드에서 column address CA[2:0]의 디코딩에 의해 16개의 SL 구동회로중 한 개의 SL 구동회로를 선택한다. 한편 SL 구동회로는 DIN이 디지털 로직 '1'인 경우는 선택된 SL에 4.6V의 프로그램 전압을 공급하는 반면, DIN이 디지털 로직 '0'인 경우는 선택된 SL을 0V로 구동한다. Read 모드와 program-verify-read 모드에서는 IPGM 신호가 디지털 로직 '0' 상태이므로 16개의 SL은 항상 0V를 구동하도록 되어있다. 기존의 row 구동회로와 SL 구동회로에서는 점선 박스 안에 있는 소자는 1.8V의 로직 소자를 사용한 반면, 본 논문에서는 3.3V 소자만 이용하여 설계를 하였다. 그래서 그림 5와 그림 6의 점선 박스 안에 있는 소자는 1.8V 소자 대신 3.3V 소자로 대체하여 회로를 설계하였다.

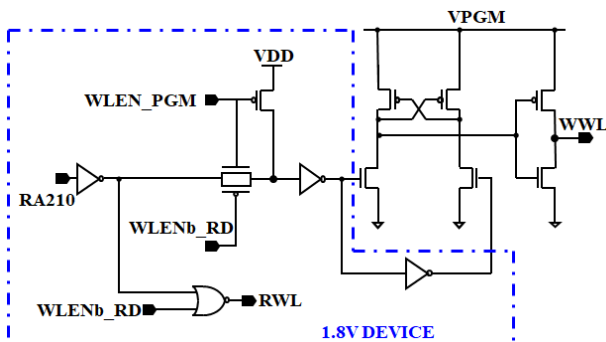


Fig. 5. Row driver.  
그림 5. Row 구동회로 [8][9]

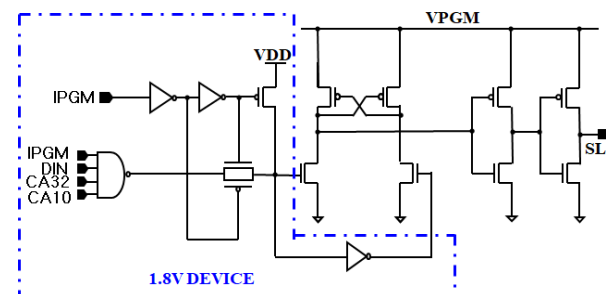


Fig. 6. SL driver.  
그림 6. SL 구동회로 [8][9]

eFuse OTP IP에서 BL S/A(Sense Amplifier)에서 BL의 프리차징 전압을 VDD로 하는 경우는 프로그램 안

된 eFuse 링크가 blowing될 수 있다[10]. 그래서 본 논문에서도 그림 7의 BL S/A에서 BL의 프리차징 전압을 VDD에서 VSS로 변경한 VSS 프리차징 방식의 BL S/A 회로 [10]를 사용하였다. 본 논문에서 사용한 그림 7의 BL S/A 회로는 read 모드와 program-verify-read 모드에서 RWL 신호가 활성화되기 이전에 NMOS 트랜지스터인 MN1에 의해 BL 전압을 VSS로 프리차징 한다. 그래서 프로그램된 eFuse OTP 셀을 read하는 경우만 BL 전압은 BL\_LOADb 신호에 low 펄스가 발생될 때 BL 전압은 VDD로 풀-업 되고, eFuse OTP 셀이 프로그램 되지 않은 경우는 RWL이 활성화되기 이전 프리차징 전압인 VSS를 유지한다. 한편 BL 데이터는 SAEN 신호를 클럭으로 사용하는 positive level sensitive D-latch 회로에 의해 래치된다.

한편 그림 7의 BL S/A 회로는 10년의 data retention 시간동안 프로그램된 eFuse 링크의 저항 변동을 고려하여 설계하였다. eFuse 링크를 프로그램한 후 program-verify-read 모드에서는 그림 7의 PMOS 트랜지스터인 MP1을 ON시켜 eFuse 저항이 10KΩ 이상으로 정상적으로 프로그램 되었는지 테스트한다. 그리고 실제 응용에서 사용되는 read 모드에서는 그림 7의 MP2만 ON시켜 풀-업 저항을 낮추므로 eFuse 저항이 5KΩ 이상만 유지한다면 BL 전압을 정상적인 '1' 데이터로 센싱하도록 한다. 이와같이 BL S/A 회로에 사용하는 BL pull-up load를 program-verify-read 모드와 read 모드에 따라 변동하는 variable BL pull-up load 방식 [10]을 채택하였다. 한편 그림 7의 BL S/A 회로도 1.8V 로직 소자 대신 3.3V 소자로 설계를 하였다.

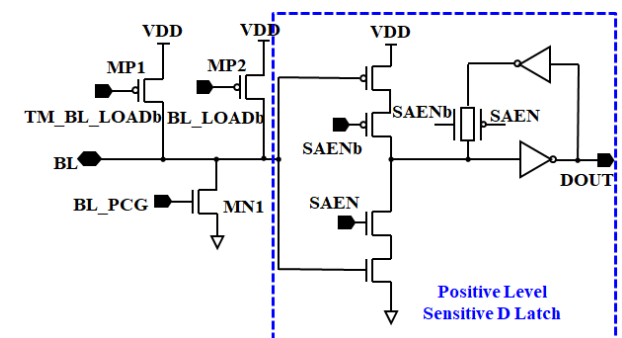


Fig. 7. BL S/A circuit.  
그림 7. BL S/A 회로 [9][10]

이와같이 3.3V MOS 소자만 이용하여 eFuse OTP 셀 및 주변회로를 설계하므로 128비트 eFuse OTP IP를 사용한 조도 센서 칩은 LV 소자에 해당되는 게이트 옥사

이드 마스크와 NMOS와 PMOS LDD implant 마스크 관련 총 3장의 마스크에 해당되는 공정을 줄일 수 있으므로 공정 비용을 줄일 수 있다. 그리고 1.8V와 3.3V의 파워를 모두 사용하는 경우는 1.8V 파워 전압을 공급하기 위해 3.3V를 1.8V로 voltage regulation하기 위한 1.8V voltage regulator 회로가 필요하다. 그런데 본 논문에서 제안된 3.3V 단일 소자로 설계를 하는 경우 1.8V voltage regulator 회로를 제외시킬 수 있으므로 조도센서 칩 면적을 줄여서 원가 경쟁력을 확보할 수 있다.

### III. 모의실험 및 레이아웃 결과

그림 8은 0.18 $\mu$ m CMOS 이미지센서 공정을 사용하여 VDD=1.62V, SS(Slow NMOS Slow PMOS) 모델 파라미터, Temp.=85°C의 모의실험 조건에서 설계된 128비트 eFuse OTP IP의 전압 파형을 보여주고 있다. 그림 8에서 x 축은 시간 축이고, y 축은 그림 4의 파워 스위칭 회로에 있는 입력 신호인 PWSW\_EN 신호와 VPGM 전압, 파워 스위칭 회로의 내부 노드 전압(N0, N1과 N2) 전압과 eFuse OTP IP의 프로그램 입력 신호인 PGM 신호 전압 파형을 보여주고 있다. 그림 8에서 보는 바와 같이 PWSE\_EN 신호에 VDD(=1.62V) 전압에서 0V 전압을 인가한 후 VPGM 패드를 통해 4.6V를 인가하면 그림 4에서 있는 MP1 트랜지스터의 게이트 전압인 N1 노드 전압이 4.6V가 되면서 MP1 트랜지스터를

OFF시킨다. 한편 그림 8에서 보는바와 같이 PWSW\_EN 전압이 VDD 전압에서 0V 전압으로 떨어지면서 그림 4의 MP2 트랜지스터의 게이트 전압인 N2 노드 전압은 0V에서 VDD 전압으로 스위칭하면서 MP2 PMOS 트랜지스터는 ON 상태가 된다. 파워 스위칭 회로를 보면 PWSW\_EN 신호가 VDD에서 0V로 떨어지면서 그림 4의 제안된 파워 스위칭 회로에서 MP2는 ON 상태가 되지만 MP1은 OFF 상태가 되어서 그림 4의 회로에서 VDD 전압과 VPGM 전압이 단락되는 것을 막아준다.

Table 3. Simulation results for eFuse sensing resistor programmed in 128-bit eFuse OTP IP.

표 3. 128비트 eFuse OTP IP에서 프로그램된 eFuse 센싱저항에 대한 모의실험 결과

Operation Mode	Temp	SS model	SF model	TT model	FS model	FF model
PVR	-40°C	5.9K	3.2K	5.9K	9.3K	5.7K
	25°C	6.7K	3.8K	6.5K	9.8K	6.3K
	85°C	7.3K	4.3K	7.1K	10K	6.7K
Read	-40°C	2.5K	0.9K	2.6K	4.9K	2.7K
	25°C	2.6K	1.0K	2.8K	5.0K	2.9K
	85°C	2.8K	1.1K	2.9K	4.9K	2.9K

표 3은 BL S/A 회로에 사용하는 pull-up load를 program-verify-read 모드와 read 모드에 따라 변동하는 variable BL pull-up load 방식을 적용한 128비트 eFuse OTP IP에서 1.62V의 VDD 전압인 경우

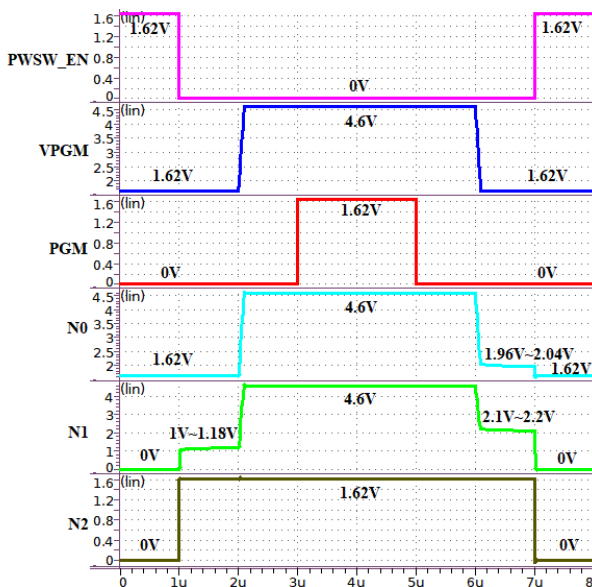


Fig. 8. Simulation results of eFuse OTP IP in program mode.

그림 8. 프로그램 모드에서 eFuse OTP IP의 모의실험 결과

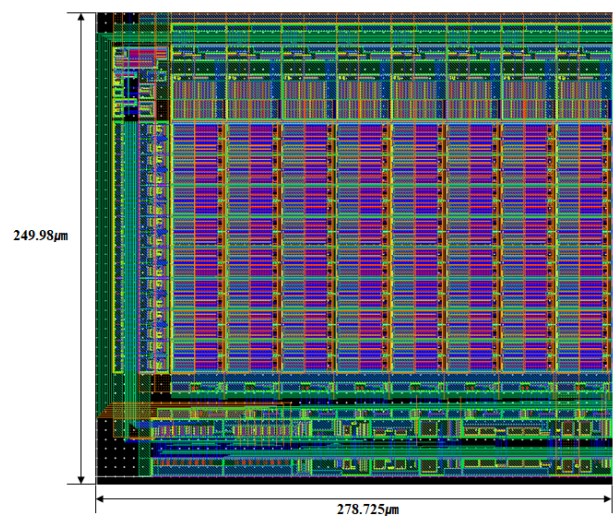


Fig. 9. Layout image of the designed 128-bit eFuse OTP IP.

그림 9. 설계된 128비트 eFuse OTP IP의 레이아웃 이미지

MOS 모델 파라미터와 온도의 변동에 대한 프로그램된 eFuse 센싱저항에 대한 모의실험 결과를 보여주고 있다. 표 3에서 보는바와 같이 program-verify-read 모드와 read 모드에서 프로그램된 eFuse의 센싱저항은 각각  $10K\Omega$ 과  $5K\Omega$ 이다.

그림 9는  $0.18\mu\text{m}$  CMOS 이미지센서 공정을 이용하여 조도센서용으로 설계된 128비트 eFuse OTP IP의 레이아웃 이미지를 보여주고 있다. 128비트 eFuse OTP IP의 레이아웃 사이즈는  $278.725\mu\text{m} \times 249.98\mu\text{m} (=0.0697\text{mm}^2)$ 이다. 설계된 128비트 eFuse OTP IP는 실제 조도센서 칩에 응용되어 웨이퍼 테스트와 패키지 테스트를 통해 기본 동작을 확인하였다.

#### IV. 결론

조도센서 칩은 아날로그 회로의 트리밍이나 디지털 레지스터의 초기 값을 셋팅하기 위해 비휘발성 메모리 IP인 eFuse OTP 메모리 IP를 필요로 한다.

본 논문에서는  $0.18\mu\text{m}$  CIS 공정을 이용하여 1.8V LV 로직 소자를 사용하지 않고 3.3V MV 소자만 사용하여 128비트 eFuse OTP IP를 설계하였다. 설계된 128비트 eFuse OTP IP는 3.3V 단일 MOS 소자를 이용하여 row 구동회로, SL 구동회로, BL S/A를 포함하는 코어 회로와 주변회로관련 설계를 하였다. 3.3V MOS 소자만 사용하여 128비트 eFuse OTP IP를 설계하므로 1.8V와 3.3V MOS 소자를 사용하여 설계하는 경우보다 1.8V LV 소자의 gate oxide 마스크, NMOS와 PMOS의 LDD implant 마스크에 해당되는 총 3개의 마스크에 해당되는 공정비용을 줄일 수 있다. 또한 1.8V voltage regulator 회로를 제외시키므로 조도센서의 칩 사이즈를 줄일 수 있었다. 한편 조도센서 칩의 패키지 핀 수를 줄이기 위해 프로그램 전압인 VPGM 전압을 웨이퍼 테스트 동안 VPGM 패드를 통해 인가하고 패키징 이후는 PMOS 파워 스위칭 회로를 통해 VDD 전압을 인가하므로 패키지 핀 수를 줄일 수 있었다. 한편 1.8V 소자 대신 3.3V 소자를 사용하는 128비트 eFuse OTP IP의 주변회로 레이아웃 관점에서는 라우팅 채널이 추가적으로 필요하지 않았기 때문에 3.3V 단일 소자를 사용하므로 인한 IP 사이즈가 증가되지 않았다고 판단된다. 반면 패키지 상태에서 프로그램이 불가능하다는 단점은 있지만 핀 수를 줄이는 장점이 요구되는 경우는 이 기술이 필요하다.

설계된 128비트 eFuse OTP IP의 레이아웃 사이즈는  $278.725\mu\text{m} \times 249.98\mu\text{m} (=0.0697\text{mm}^2)$ 이며, 조도센서 칩

에 응용되어 웨이퍼 테스트와 패키지 테스트를 통해 기본 동작을 확인하였다.

#### References

- [1] <http://samsungsimulator.com>.
- [2] S. H. Kulkarni et al., "A 4kb metal-fuse OTP-ROM macro featuring a 2V programmable  $1.37\mu\text{m}^2$  1T1R bit cell in 32 nm high-k metal-gate CMOS," *IEEE Solid-State Circuits*, vol.45, no.4, pp.863-868, 2010. DOI: 10.1109/JSSC.2010.2040115
- [3] H. Park et al., "Design of an 64-bit eFuse One-Time Programmable Memory IP Based on a Logic Process for Sensors," *Proceedings of ICFICE 2015*, pp.119-124, 2015.
- [4] J. H. Lee et al., "Design of a Asynchronous eFuse One-Time Programmable Memory IP of 1 Kilo Bits Based on a Logic Process," *Journal of KIMICS*, vol.13, no.7, pp.1371-1378, 2009.
- [5] Il-Jun Kim et al., "Design of an eFuse OTP IP for Illumination Sensor," *Proceedings of KIIECT*, pp.57-59, 2017.
- [6] Y. H. Kim et al., "Design of a 64-bit eFuse OTP Memory for Illumination Sensor Chips," *Proceedings of KIIECT*, pp.102-104, 2018. DOI: 10.6109/jkiice.2016.20.2.317
- [7] Y. H. Kim et al., "Design of eFuse OTP Memories of Various Sizes," *Proceedings of KIIECT*, pp.100-102, 2021. DOI: 10.6109/jkiice.2012.16.7.1455
- [8] D. H. Kim, J. H. Jang, L. Jin, J. H. Lee, P. B. Ha, and Y. H. Kim, "Design and Measurement of a 1-kBit eFuse One-Time Programmable Memory IP Based on a BCD Process," *IEICE Trans. Electron.*, vol.E93-C, no.8, pp.1365-1370, 2010. DOI: 10.1587/transele.E93.C.1365
- [9] Y. H. Kim, "Non-Volatile Memory Design," GS Intervention, 2016.
- [10] Jeong-Ho Kim, Du-Hwi Kim, Liyan Jin, Pan-Bong Ha, and Young-Hee Kim, "Design of 1-Kb eFuse OTP Memory IP with Reliability Considered," *Journal of Semiconductor Technology and Science*, vol.11, no.2, pp.88-94, 2011. DOI: 10.5573/JSTS.2011.11.2.088

---

**BIOGRAPHY**


---

**Echikh Souad** (Member)

2015.6 : BS degree in Electronic Engineering, Abdelmalek Essaâdi University  
 2021.3~ : MS degree in Electronics engineering, Changwon National University.

**Hongzhou Jin** (Member)

2017.6 : BS degree in Communication Engineering, Yanbian University  
 2022.9 : Combined MS/PhD course in Electronic Engineering, Changwon National University  
 2022.9~ : Engineer, Magnachip Semiconductor

**DoHoon Kim** (Member)

2022.2 : BS degree in Electronic Engineering, Kyungnam University  
 2022.3~ : MS degree in Electronic Engineering, Changwon National University

**SoonWoo Kwon** (Member)

2022.2 : BS degree in Electronic Engineering, Gangneung-Wonju University  
 2022.3~ : MS degree in Electronic Engineering, Changwon National University

**PanBong Ha** (Member)

1981.2 : BS degree in Electrical Engineering, Pusan National University.  
 1983.2 : MS degree in Electronic Engineering, Seoul National University.

1993.2 : PhD degree in Electronic Engineering, Seoul National University.

1987.3~ : Professor, Changwon National University

**YoungHee Kim** (Member)

1989.2 : BS degree in Electronic Engineering, Kyungpook National University.

1997.2 : MS degree in Electronic Engineering, POSTECH.

2000.8 : PhD degree in Electronic Engineering, POSTECH.

1989.1~2001.2 : Senior Research Engineer, Hyundai Electronics.

2001.3~ : Professor, Changwon National University