

저전압급 ESD 보호를 위한 NPN BJT

내장형 SCR 설계에 관한 연구

A study on the Design of NPN BJT built-in SCR for Low Voltage Class ESD Protection

정승구*, 백승환*, 이병석**, 구용서**

Seung-Gu Jeong*, Seung-Hwan Baek*, Byung-Seok Lee**, Yong-Seo Koo**

Abstract

In this paper, an ESD protection device with a simpler structure than the existing ESD protection device is proposed. The proposed new structure operates an additional NPN parasitic bipolar transistor by adding an N+ diffusion region and connecting it to the bridge region, thereby lowering the current gain. As a result, it was confirmed that the proposed ESD protection device has a trigger voltage of 10.8V and a holding voltage of 6.1V. It is expected to have reliability for 5V applications and is expected to have high tolerance characteristics.

요약

본 논문에선 기존의 ESD 보호소자보다 간단한 구조의 ESD 보호소자를 제안하였다. 제안하는 새로운 구조는 N+ 확산영역을 추가하고 브릿지영역과 연결함으로써 추가 NPN 기생 바이폴라 트랜지스터를 동작시켜 전류이득을 낮춘다. 그 결과 제안된 ESD 보호소자는 10.8V의 트리거 전압 및 6.1V의 홀딩전압을 갖는 것을 확인하였다. 이는 5V 어플리케이션에 신뢰성을 가질 것으로 기대되며 높은 감내특성을 가질 것으로 예상된다.

Key words : ESD, Latch-up, SCR, LRSCR, LVTSCR

* Dept. of Electronics Engineering, Dankook University

** Research Institute for Industrial Technology

★ Corresponding author

E-mail : yskoo@dankook.ac.kr, Tel : +82-31-8005-3625

※ Acknowledgment

This paper was supported by Korea Evaluation Institute of Industrial Technology(KEIT) grant funded by the Ministry of Trade, Industry & Energy (20016115, "Development of DLDO with 99% maximum current efficiency of event-driven asynchronous type without external capacitor") and RS-2022-00143842, "Single/Three-phase AC/DC Converter Smart Power IC using SiC MOSFET devices" Manuscript received Sep. 9, 2022; revised Sep. 19, 2022; accepted Sep. 20, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

반도체 공정 기술이 발전하여 소자가 점차 작아지면서 열적 파괴로 인한 IC 장치의 고장으로 ESD/EOS 보호가 더욱 중요해졌다[1]. ESD(Electro-Static Discharge) 고장의 경우 ESD 전류가 방전되면 산화막, 금속 전극 및 접합면이 파괴된다[2]. 따라서 ESD 보호소자는 반도체 IC(집적회로)의 안전성과 신뢰성에서 가장 중요한 이슈 중 하나이다[3]-[4]. ESD로부터 IC를 보호하기 위해 SCR(Silicon Controlled Rectifier) 및 GGNMOS(Grounded-Gate NMOS)는 ESD 보호장치로 잘 알려져 있다. SCR은 두 개의 기생 바이폴라 트랜지스터로 전류를 방전시키기 때문에 고 전류구동능력을 갖는다. 그러나 높은 트리거 전압과 낮은 홀딩 전압으로 인해 어플리케이션에 적용하기가 어려운 상황이다[5]. 선행 연구되었던 LRSCR

(Low Ron SCR)은 높은 트리거와 낮은 홀딩전압을 개선하여 낮은 on 저항과 높은 감내 특성을 가진다[6]. 하지만 구조적 특성상 웰 영역의 추가와 5V에 최적화된 설계 변수로 인해 회로크기가 증가한다. 따라서 본 논문에서 제안하는 소자는 기존 SCR의 특성을 개선함과 동시에 간단히 구조적으로 변경함으로써 높은 홀딩전압을 갖는 SCR 기반 ESD 보호 소자를 제안한다. 이는 Synopsys사의 TCAD를 이용하여 검증되었다.

II. 본론

1. 기존의 ESD 보호소자

LVTSCR과 LRSCR 구조의 단면도는 그림 1, 2에 나타나 있다.

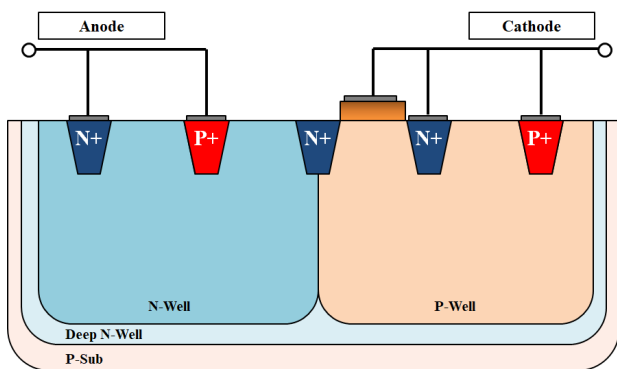


Fig. 1. Cross section of the conventional LVTSCR.

그림 1. 일반적인 LVTSCR의 단면도

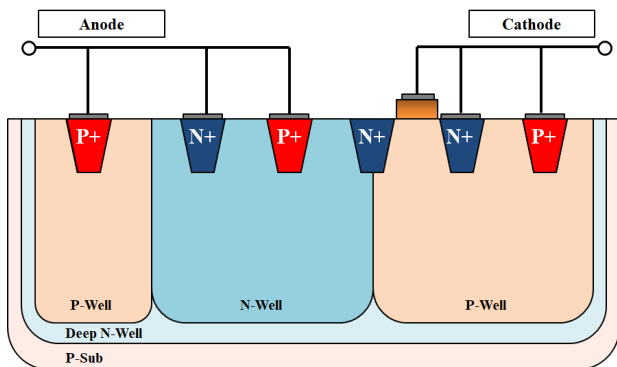


Fig. 2. Cross section of the conventional LRSCR.

그림 2. 일반적인 LRSCR의 단면도

LVTSCR(Low Voltage Triggered SCR)은 SCR에 GGNMOS구조를 삽입하여 애벌런치 항복전압을 낮추어 트리거 전압을 낮춘다. 동작원리는 다음과 같다. 정상 동작시에는 N웰과 P웰 사이에 역방향 접합 때문에 ESD 소자는 동작하지 않는다. ESD 서지 인가시에는 N+브릿

지와 P웰 사이에서 애벌런치 현상이 일어나고 생성된 EHP중에서 홀 전류는 P+캐소드 쪽으로 빠져나가며 P웰의 전위를 증가시킨다. 이때 전위가 P웰 N+캐소드 순방향 접합의 내부 전위를 넘으면 기생 바이폴라 트랜지스터 NPN이 동작하고 동시에 전자의 입장에서 동일하게 기생 바이폴라 트랜지스터 PNP가 동작한다. 이렇게 동작하는 것을 SCR 동작이라고 하며 두 BJT는 서로의 베이스 전류를 공급해주면서 정궤환 루프를 형성하여 큰 전류구동능력을 가진다. LVTSCR은 N+브릿지 영역의 존재로 인해 낮은 트리거전압을 갖지만 여전히 낮은 홀딩전압을 갖고 있다. 이러한 단점은 여전히 LRSCR에서도 유지된다.

LRSCR의 동작원리는 LVTSCR과 동일하나 추가적인 P웰과 P+영역으로 인해 기생 바이폴라 트랜지스터 PNP가 하나 더 동작한다. 따라서 전류의 병렬 방전경로의 증가로 on저항이 낮아지게 되고 이는 홀딩전압 개선의 효과도 가져오게 된다. 하지만 구조적으로 P웰 영역과 P+확산영역의 추가로 큰 구조를 갖고 원하는 어플리케이션에 최적화 시킬 때 소자의 크기가 커진다는 단점을 갖고 있다. 따라서 본 논문에서는 간단한 구조로 높은 홀딩전압을 갖는 ESD 보호소자를 제안한다.

2. 제안된 ESD 보호소자

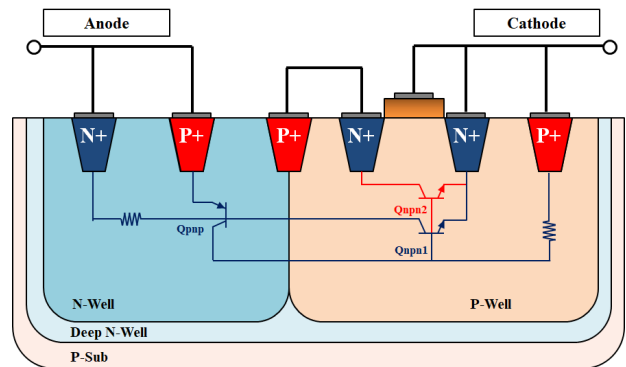


Fig. 3. Equivalent circuit and cross section of the proposed ESD protection device.

그림 3. 제안하는 ESD 보호소자의 등가회로 및 단면도

그림 3은 제안하는 보호소자의 단면도와 등가회로를 나타낸다.

기존의 LVTSCR에서 P+브릿지를 사용하고 N+확산영역을 추가함으로써 추가 기생 바이폴라 트랜지스터 NPN(Qnp2)을 동작시킨다. 기본적인 동작원리는 LVTSCR과 동일하나 애벌런치 항복이 N웰과 P+브릿지 영역 사이에서 일어나는 것과 P웰의 전위가 순방향 접합 이상으로 증가하여 SCR 동작할 때 Qnp1, 2 같이 동작한다.

추가로 동작하는 Qnnp2에 의해서 SCR 루프상의 전류 이득이 줄어들어 홀딩전압이 높아지는 효과를 가져온다.

3. 시뮬레이션 결과

본 논문에선 Synopsis사의 TCAD Simulation을 사용하여 제안하는 소자의 전기적 특성 및 동작원리를 관찰하였다.

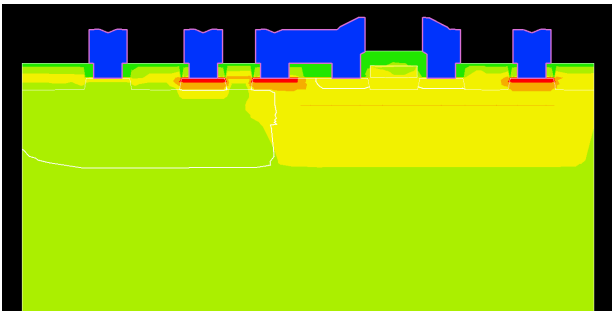


Fig. 4. Simulation structure of the proposed ESD protection device.

그림 4. 제안하는 ESD 보호소자의 Simulation 구조

그림 4는 TCAD Simulation으로 구현된 제안된 보호소자의 구조이며 N+확산영역과 P+브릿지가 연결되었는 것을 볼 수 있다. 그림 5는 Current flow Simulation 결과이다.

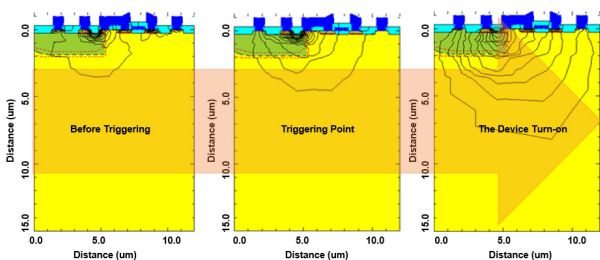


Fig. 5. Current Flow Simulation Results of the Proposed ESD Protection Device.

그림 5. 제안된 ESD 보호소자의 Current Flow Simulation 결과

그림 5의 Current flow Simulation을 통해 제안된 보호소자의 동작을 확인할 수 있으며 추가적인 구조로 인한 기생 바이폴라 트랜지스터 NPN의 동작을 확인하였다. 이는 P+브릿지 영역을 베이스 영역으로 동작하는 Qnnp1의 전류밀도를 감소시키고 결과적으로 SCR 루프상의 전류이득을 감소시켜 홀딩전압이 상승한다.

그림 6은 비교소자와 제안된 소자의 HBM 4kV 시뮬레이션 결과이다. 제안된 보호소자는 약 6.1V의 홀딩전

압을 가지며 10.8V의 트리거전압을 갖는 것을 확인하였다. 비교된 전기적 특성은 아래 표 1에 나타내었다.

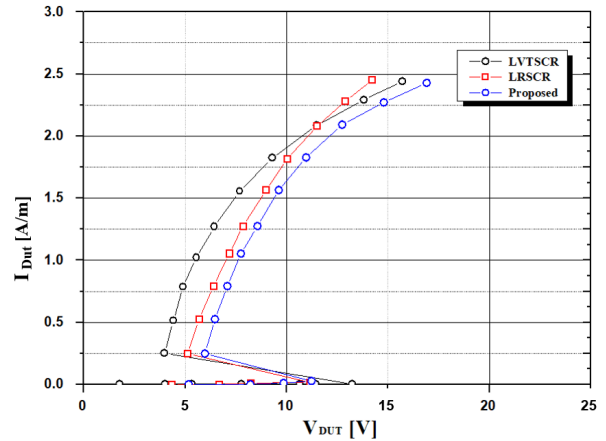


Fig. 6. Results of HBM 4kV Simulation of LVTSCR, LRSCR and Proposed ESD Protection Device.

그림 6. LVTSCR, LRSCR 및 proposed ESD 보호소자의 HBM 4kV Simulation 결과

Table 1. HBM 4kV Simulation Electrical Characteristics Results.

표 1. HBM 4kV 시뮬레이션 전기적 특성 결과

	V _t (Trigger Voltage)	V _h (Holding Voltage)
LVTSCR	10.4V	4.3V
LRSCR	10.5V	5.1V
Proposed	10.8V	6.1V

III. 결론

본 논문에선 기존의 ESD 보호소자보다 간단한 구조의 ESD 보호소자를 제안하였다. 새로운 구조는 N+확산영역을 추가하고 브릿지영역과 연결함으로써 SCR 전류방전 경로상의 추가 바이폴라 트랜지스터 NPN을 동작시켜 전류이득을 낮추고 높은 홀딩전압을 가진다. 제안된 구조의 검증은 TCAD Simulation을 통해 진행되었으며 current flow simulation과 HBM 4kV simulation을 통해 동작 및 전기적 특성이 검증되었다. 그 결과 제안된 ESD 보호소자는 10.8V의 트리거 전압 및 6.1V의 홀딩 전압을 갖는 것을 확인하였다. 이는 5V 어플리케이션에 신뢰성을 가질 것으로 기대되며 간단한 구조로 인해 높은 감내특성을 가질 것으로 예상된다. 또한 충분히 높은 홀딩전압으로 래치업 면역 특성을 가져 IC의 신뢰성 향상에 도움이 될 것으로 기대된다.

References

- [1] Albert Z.H. Wang, On-Chip ESD Protection for Integrated devices 2nd edition Springer, US,2002.
- [2] M.-D. Ker and C.-C. Yen, "Investigation and design of on-chip power rail ESD clamp circuits without suffering latchup-like failure during system-level ESD test," *IEEE J. Solid-State Circuits*, vol.43, no.11, pp.2533-2345, 2008.
DOI: 10.1109/JSSC.2008.2005451
- [3] O. Semenov, H. Sarbishaei, and M. Sachdev, "ESD protection design for advanced CMOS," in *Proc. SPIE*, pp.123-131, 2001.
DOI: 10.1007/978-1-4020-8301-3
- [4] Y. Koo, K. Lee, K. Kim, and J. Kwon, "Design of SCRbased ESD protection device for power clamp using deepsubmicron CMOS technology," *Microelectron. J.*, vol.40, no.6, pp.1007-1012, 2009.
DOI: 10.1016/j.mejo.2009.01.001
- [5] R. G. Wagner, J. Soden, and C. F. Hawkins, "Extend and cost of EOS/ESD damage in an IC manufacturing process," in *Proc. EOS/ESD Symp.*, pp.49-55, 1993.
- [6] M.-D. Ker and C.-C. Yen, "Investigation and design of on-chip powerrail ESD clamp circuits without suffering latchup-like failure during system-level ESD test," *IEEE J. Solid-State Circuits*, vol.43, no.11, pp.2533-2545, 2008.
DOI: 10.1109/JSSC.2008.2005451