

# 고전압 정전기 보호용 DDDNMOS 소자의 더블 스냅백 방지를 위한 최적의 이온주입 조건 결정

## Determination of optimal ion implantation conditions to prevent double snapback of high voltage operating DDDNMOS device for ESD protection

서 용 진<sup>★</sup>

Yong-Jin Seo<sup>★</sup>

### Abstract

Process and device simulations were performed to determine the optimal ion implantation conditions to prevent double snapback of high voltage operating DDDNMOS (double diffused drain N-type MOSFET) device for ESD protection. By examining the effects of HP-Well, N<sup>-</sup> drift and N<sup>+</sup> drain ion implantation on the double snapback and avalanche breakdown voltages, it was possible to prevent double snapback and improve the electrostatic protection performance. If the ion implantation concentration of the N<sup>-</sup> drift region rather than the HP-Well region is optimally designed, it prevents the transition from the primary on-state to the secondary on-state, so that relatively good ESD protection performance can be obtained. Since the concentration of the N<sup>-</sup> drift region affects the leakage current and the avalanche breakdown voltage, in the case of a process technology with an operating voltage greater than 30V, a new structure such as DPS or colligation of optimal process conditions can be applied. In this case, improved ESD protection performance can be realized.

### 요 약

고전압용 정전기 보호소자인 DDDNMOS(double diffused drain N-type MOSFET) 소자의 더블 스냅백 방지를 위한 최적의 이온주입 조건을 결정하기 위해 공정 및 소자 시뮬레이션이 수행되었다. HP-Well, N<sup>-</sup> 드리프트 및 N<sup>+</sup> 드레인 이온주입량의 변화가 더블 스냅백 및 애발란치 브레이크다운 전압에 미치는 영향을 고찰함으로써 더블 스냅백을 방지하여 정전기 보호 성능 개선할 수 있었다. HP-Well 영역보다는 N<sup>-</sup> 드리프트 영역의 이온주입 농도를 최적으로 설계할 경우, 1차 on 상태에서 2차 on 상태로 전이하는 것을 막아주므로 비교적 양호한 정전기 보호 성능을 얻을 수 있었다. 또한 드리프트 이온주입 농도는 누설전류 및 애발란치 브레이크다운 전압에도 영향을 미치므로 동작전압이 30V보다 큰 공정기술에서는 DPS와 같은 새로운 구조를 적용하거나, 대안으로 여러 공정 변수들을 종합(colligation)하여 적용할 경우 향상된 정전기 보호 성능을 실현할 수 있을 것이다.

*Key words* : ESD (electrostatic discharge), DDDNMOS (double diffused drain N-type MOSFET), double snapback,  $V_{av}$ (avalanche breakdown voltage), design window, simulation. DPS(double polarity source), colligation.

\* Dept. of Fire Service, Sehan University

★ Corresponding author

E-mail : syj@sehan.ac.kr, Tel : +82-41-359-6098

※ Acknowledgment

This work was supported by the Seahn university research fund in 2022.

Manuscript received Jul. 26, 2022; revised Aug. 21, 2022; accepted Sep. 19, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

### I. 서론

오늘날 반도체 공정기술의 발전과 더불어 IC가 초고집적화되면서 ESD(electrostatic discharge)는 생산성과 상품의 안정성을 비롯한 전체적인 신뢰성에 영향을 미치는 중요한 요인으로 작용하고 있다. 반도체 산업에서 공정기술의 발전과 집적회로의 소형화 및 초고집적화는 회로의 성능과 속도 향상을 가져왔지만, ESD 현상에 의한 회로의 오작동 및 파괴는 점점 심각한 문제로 인식되면서 ESD 보호회로의 중요성이 커지고 있으며, ESD 보호 소자에 대한 연구가 활발히 진행되고 있다. 고전압에서 동작하는 디스플레이 구동용 마이크로칩에서 ESD가 발생하면 전자장치의 오작동 및 물리적 손상 등의 문제로 인해 LDI(LCD driver IC), DDIC(Display Driver IC)와 같은 마이크로칩의 성능이 저하될 수 있다. 따라서 안정적인 ESD 보호 성능을 위해 다양한 MOSFET 구조가 도입되었다[1, 2]. MOSFET 소자가 갖추어야 하는 기본적인 조건 중의 하나는 애발란치(avalanche) 브레이크다운 전압( $V_{av}$ )이 동작전압( $V_{op}$ )보다 높아야 한다는 것이다. 고전압에서 동작하는 N형 MOSFET 소자의 경우 위와 같은 특성을 만족시키기 위해서 일반적으로 DDDNMOS(double diffused drain N-type MOS)가 기본 소자로 사용되어왔다[1, 2]. 그러나 현재까지 채용한 DDDNMOS 소자의 TLP(transmission line pulse) 테스트  $I-V$  특성을 분석한 결과 다음과 같은 문제점이 대두되었다[3, 4]. 첫째, 더블 스냅백(double snapback) 현상이 일어난다. 1차 스냅백은 약한 스냅백 양상을 나타내는 반면에, 2차 스냅백은 스냅백 홀딩전압이 동작전압보다 훨씬 작은 강한 스냅백 양상을 나타낸다. 두 번째로는 동작전압이 높아질수록 2차 on 상태가 주로 나타나고, 동작전압이 낮아질수록 1차 on 상태가 주로 나타난다. 1차 on 상태가 주가 되는 경우에는 비교적 양호한 정전기 보호 성능을 얻을 수 있다. 즉, 활성 폭(active width)/핑거 수(finger number)에 대한 전류 면역 레벨(current immunity level)의 선형성이 확보된다. 반면 2차 on 상태가 주요한 on 상태일 경우에는  $I-V$  특성이 매우 불안정하다. 즉, 공정변수 및 설계 파라미터의 변화에 민감하게 반응할 뿐만 아니라 재현성 및 일관성이 부족하다는 단점이 있다.

따라서 본 논문에서는 공정 및 소자 시뮬레이션을 이용하여 더블 스냅백 발생 메커니즘, 특히 1차 on 상태에서 2차 on 상태로의 전이(transition)와 관련된 메커니즘을 규명하고자 한다. 또한 다양한 공정변수들(HP-well, N

드리프트 및  $N^+$  드레인 이온주입) 중에서 1차 on에서 2차 on 상태로의 전이를 결정하는 임계 공정 파라미터를 추출함으로써 고전압에서 동작하는 DDDNMOS 소자가 고전류 영역에서 두 번째 on 상태로 전이되는 것을 막고 우수한 정전기 보호를 수행할 수 있는 방법을 모색하고자 한다. 이를 통해 얻어진 최적의 이온주입 조건을 실제 소자제작에 적용함으로써 더블 스냅백 현상을 방지하여 정전기 보호 성능을 개선하고자 한다.

### II. 설계 창을 통한 설계 파라미터의 결정

정전기 보호회로가 양방향의 정전기 스트레스에 대해 정상적으로 동작하기 위해서는 마이크로칩 내 각각의 정전기 보호소자는 스트레스가 가해지는 방향에 따라 순방향 다이오드 동작과 애발란치 브레이크다운 스냅백 동작을 함께 해야 한다[5]. 그림 1은 정전기 보호소자의  $I-V$  특성을 나타내는 설계 창(design window)으로 표 1에 보인 설계 파라미터를 결정하는 데 사용하였다[5, 6]. 그림 1에 보인 정전기 보호소자의  $I-V$  특성은 회로가 정상적인 조건에 있을 때( $0 \leq \text{Voltage} \leq V_{op}$ )는 꺼지고, 정전기 스트레스와 같이 비정상적인 조건에 있을 때만 켜진다. 정전기 보호성능을 저해하는 요인으로 더블 스냅백 현상 외에도 내부 확산 폭 또는 핑거 수의 변화에 따른 전류 면역 레벨의 비선형성도 문제가 된다[6]. 일반적으로 정전기 보호소자의 전류 면역 레벨의 선형성을 확보

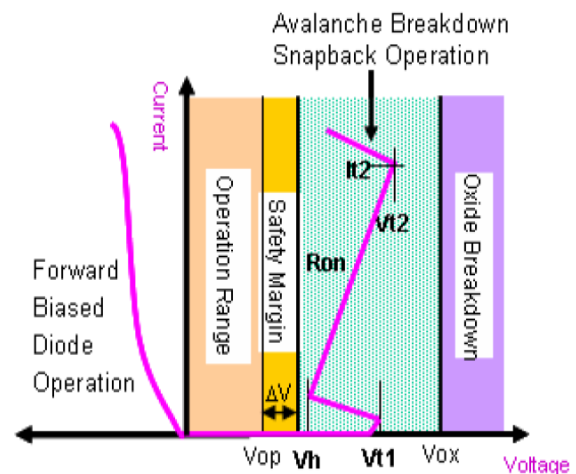


Fig. 1. Design window of ESD protection device( $V_{op}$ : operation voltage),  $V_{ox}$ : gate oxide breakdown voltage),  $V_h$ : snapback holding voltage,  $V_{t1}$ : triggering voltage,  $V_{t2}$ : thermal breakdown voltage,  $I_{bt2}$ : thermal breakdown current,  $R_{on}$ : on resistance = slope of graph,  $\Delta V$ : safety margin).

그림 1. 정전기보호소자의 설계 창

하려면 열적 브레이크다운 전압( $V_{I2}$ )이 트리거링 전압( $V_{I1}$ )보다 클 때 보장된다. 이상과 같은 설계 창을 만족하는 정전기 보호를 위한 필요충분조건은 표 1과 같다[6].

Table 1. Requirements for ESD protection.

표 1. 정전기 보호를 위한 필요충분조건

| Requirements for ESD protection  |
|--|
| $V_{op} < V_{av}, V_{I1}$<br>$V_{I1}, V_{I2} < V_{ox}$<br>$V_{op} + \Delta V < V_h$<br>$I_{th} : \text{Large}$<br>$V_{I1} \leq V_{I2}$ |

### III. 소자 구조 및 시뮬레이션 방법

#### 3.1 소자구조

그림 2는 DDDNMOS 소자의 단면을 개략적으로 나타낸 것으로, N<sup>-</sup> 드리프트 확산 영역으로 N<sup>+</sup> 드레인 영역을 둘러싸고 있는 이중 확산 드레인(DDD)을 갖는 구조를 사용하였다. 이 소자는 게이트와 N<sup>+</sup> 드레인 영역이 서로 인접되지 않도록 설계하였다. 정전기 스트레스에서 동작하는 MOSFET 소자는 표 1에 보인 것처럼  $V_{av}$ 가  $V_{op}$  보다 커야 한다는 조건을 만족하기 위해서는 그림 2의 오른쪽 원으로 표시된 접합 영역(N<sup>-</sup> drift/HP-well)의 농도인 백그라운드 도핑 농도(background doping concentration; BDC)가 매우 중요한 역할을 한다[7].  $V_{av}$ 는 반대 극성을 갖는 두 영역의 불순물 농도에 의해 결정되므로 DDD 구조를 갖는 NMOS 소자의  $V_{av}$ 는 N<sup>-</sup> drift/HP-well 접합의 측면 브레이크다운 전압에 의해 결정되며, 이는 다시 N<sup>-</sup> 드리프트 영역과 HP-well 영역에 주입되는 이온주입량에 의해 결정된다. 일반적으로 두 영역의 불순물 농도가 낮을수록  $V_{av}$ 는 높아지는 경향을 갖는다. 따라서 DDD 구조를 채용하면 HP-well

역과 접촉하는 드리프트 영역의 불순물 농도를 충분히 낮출 수 있기 때문에 목표하는 크기의 높은  $V_{av}$  값을 얻을 수 있다. 표 2는 DDDMOS 소자를 제작하기 위해 사용된 대표적인 공정 조건들을 요약한 것이다. N<sup>+</sup> 드레인 영역은  $\sim 10^{15} \text{cm}^{-2}$ 의 높은 도즈(dose)로 이온주입하였고, 드레인을 둘러싸고 있는 N<sup>-</sup> 드리프트 영역의 이온주입량은  $\sim 10^{13} \text{cm}^{-2}$ 의 비교적 낮은 도즈의 이온주입을 실시하였다. 또한 채널을 형성하는 HP-well 영역은  $\sim 10^{12} \text{cm}^{-2}$ 의 범위에서 드리프트 영역보다 더 낮게 이온주입하였다.

Table 2. Typical process conditions for DDDNMOS standard devices.

표 2. DDDNMOS 소자의 대표적인 공정 조건

| Process Name                  | Process Condition  |
|-------------------------------|--|
| HP-well implant               | B, 300KeV, $7.5 \times 10^{12} \text{cm}^{-2}$   |
| Well drive-in                 | 1,200°C, 30min   |
| N <sup>-</sup> drift implant  | P, 80KeV, $1.1 \times 10^{13} \text{cm}^{-2}$  |
| N <sup>-</sup> Drift drive-in | 1,100°C, 60min   |
| HNF implant                   | B, 180KeV, $8.5 \times 10^{13} \text{cm}^{-2}$   |
| HPF implant                   | P, 500KeV, $1.6 \times 10^{13} \text{cm}^{-2}$   |
| Thick gate oxidation          | 850°C, 75min, (120Å)   |
| Thin gate oxidation           | 850°C, 33min, (30Å)  |
| N <sup>+</sup> active implant | As, 60KeV, $5.0 \times 10^{15} \text{cm}^{-2}$<br>P, 30KeV, $3.0 \times 10^{13} \text{cm}^{-2}$  |
| P <sup>+</sup> active implant | BF2, 25KeV, $3.0 \times 10^{15} \text{cm}^{-2}$<br>B, 30KeV, $2.0 \times 10^{13} \text{cm}^{-2}$ |
| S/D anneal                    | 600°C, 1min, RTP   |

#### 3.2 시뮬레이션 방법

DDDNMOS 소자의 구조는 TMA 공정 시뮬레이션 툴(@TSUPREM4)을 이용하여 형성하였으며, 공정 시뮬레이션의 조건은 0.18 $\mu\text{m}$ \_30V 표준 공정에 따라 진행되었다. 형성시킨 소자구조를 ISE 툴의 입력 파일로 입력

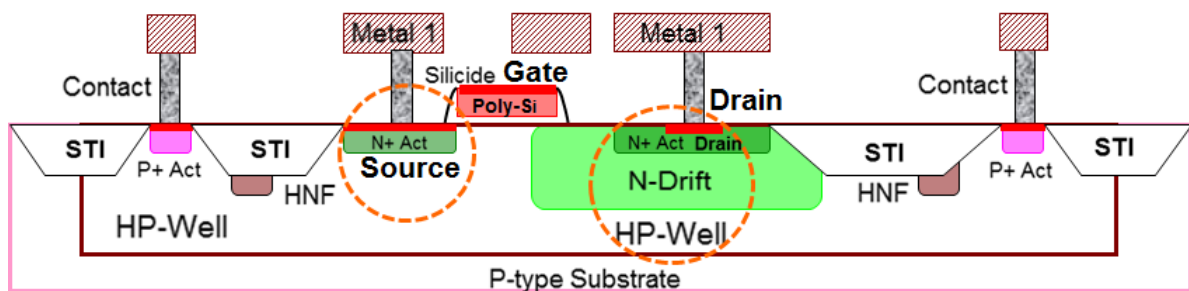


Fig. 2. Cross-sectional schematic diagram of DDDNMOS device.

그림 2. DDDNMOS 소자의 단면 개략도

시커 메쉬(mesh) 최적화(@MDRAW)를 실시한 후, 소자 시뮬레이션(@ DESSIS)을 실시하였다. DDDNMOS 소자의 고전류 특성은 열적 특성이 내장된 2차원 시뮬레이션을 수행하여 분석하였으며, 인간 신체 모델(human body model; HBM)의 정전기 스트레스를 시뮬레이션하기 위해 10ns의 상승시간과 100ns의 지속시간을 갖는 사다리꼴 전류 펄스를 적용하여 MMT(mixed mode transient) 시뮬레이션을 수행하였다. 이온주입 조건이 더블 스냅백 현상에 미치는 영향을 고찰하기 위해 HP-well, N<sup>-</sup> 드리프트 및 N<sup>+</sup> 드레인의 이온주입량을 각각 변화시키면서 2차원 매트릭스 조합(2D matrix combination)에 의한 수십 차례의 반복 시뮬레이션을 수행하여 최적의 이온주입 범위를 결정하였다. 제작된 DDDNMOS 소자의 강건성(robustness) 및 고전류 특성은 TLP 측정 시스템(Barth 4002)을 사용하여 분석하였다[8].

IV. 시뮬레이션 결과

4.1 I-V TLP 데이터와 시뮬레이션 비교

그림 3은 DDDNMOS 소자의 시뮬레이션 및 TLP I-V 특성을 비교한 것이다. 애발란치 브레이크다운, 더블 스냅백, 낮은 2차 스냅백 전압 등의 특징들은 TLP 데이터와 시뮬레이션 결과가 정성적으로 일치하는 경향을 나타내었다. 특히, 더블 스냅백 현상 및 그 결과로서 발현되는 1차 on 상태 및 2차 on 상태의 특성이 시뮬레이

션 결과와 명확히 일치하였다. 특히 1차 on 상태에서 2차 on 상태로 전이할 때 전류-온도 곡선의 기울기가 명확하게 바뀌었다. 즉, 소자 내부의 전도 메커니즘이 근본적으로 차이가 있음을 의미하는 것이다.

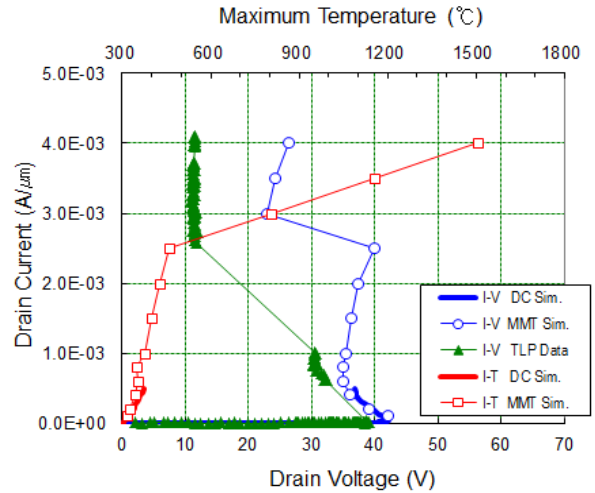


Fig. 3. Comparison of simulation and TLP I-V characteristics of DDDNMOS standard device.

그림 3. DDDNMOS 표준소자의 시뮬레이션 및 TLP I-V 특성

4.2 등고선 분석을 통한 더블 스냅백과 열적 브레이크다운 메커니즘 분석

그림 4는 DDDNMOS 표준소자에서 관측된 더블 스냅백 및 열적 브레이크다운 메커니즘을 분석하기 위해 1차 on 상태 및 2차 on 상태에서의 전류밀도, 전체 전류,

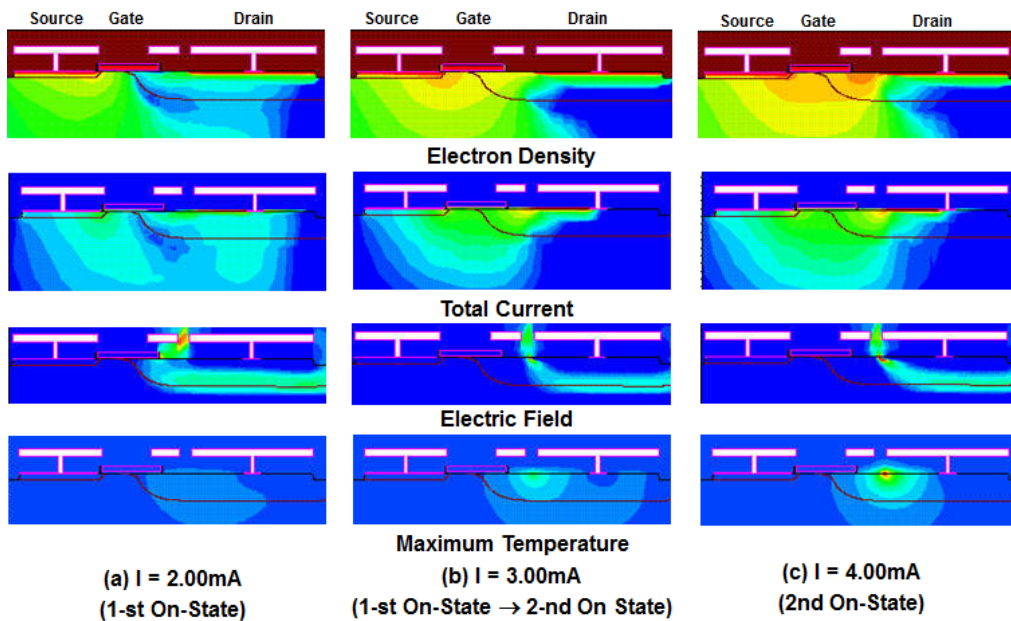


Fig. 4. Contour distribution for current density, total current, electric field and maximum temperature.

그림 4. 전류밀도, 전체전류, 전계 및 최대온도의 등고선 분포

전계 및 최대 온도에 대한 등고선(contour) 데이터를 분석하여 나타낸 것으로, 더블 스냅백과 열적 브레이크다운 메커니즘을 고찰하였다. 더블 스냅백의 직접적인 원인은 게이트 아래의 깊은 전자 채널의 형성에 기인함을 확인할 수 있다. 전류가 증가함에 따라 소스에서 드레인 쪽으로 electron-rich 영역이 점차 확대되다가 전류가 특정 임계값 이상이 되면 게이트 하부에 소스와 드레인을 연결하는 electron-rich 영역에 깊은 채널이 형성되면서 소자가 1차 on 상태에서 2차 on 상태로 전이하는 메커니즘이다. 또한 전계 국부화(localization)가 열적 브레이크다운에 중요한 역할을 담당한다. 전자 채널이 형성되기 전에 드리프트 영역 전체에 걸쳐 고르게 분포하던 전계가 깊은 전자 채널이 형성되면서 N<sup>+</sup> 드레인과 N<sup>-</sup> 드리프트/표면 영역에 집중되고 그 결과 해당 영역의 온도가 급격하게 증가하여 열적 브레이크다운이 발생하는 메커니즘을 갖는다.

### 4.3 공정 파라미터의 영향

HP-well 이온주입량/드리프트 이온주입량/액티브 이온주입량이 DDDNMOS의 고전류 영역에서  $I-V$  특성에 끼치는 영향에 대해 분석하였다.

#### 1. HP-well 이온주입량의 영향

그림 5는 HP-well 이온주입변화에 따른 시뮬레이션 및 TLP  $I-V$  특성을 나타낸다. Well 이온주입량과 무관하게 더블 스냅백 현상은 발생하였다. 즉, Well 이온주입량은 고전류 영역에서의 전도 메커니즘을 근본적으로 변화시키지는 못함을 알 수 있다. 또한 Well 이온주입량이 증가할 때 고전류 영역에서의 TLP  $I-V$  곡선에서의 1차 on 상태는 축소되고 2차 on 상태는 확장되는 양상을 나타내었다. Well 이온주입량이 증가할 때  $V_{th}$ 와  $R_{on}$ 은 감소하고  $I_{cb}$ 는 증가하는 경향을 나타내었다. Well의 이온주입 변화에 따른 등고선 데이터는 큰 변화가 없었다.

#### 2. N<sup>-</sup> 드리프트 이온주입량의 영향

그림 6은 N<sup>-</sup> 드리프트 이온주입량의 변화에 따른 시뮬레이션 및 TLP  $I-V$  특성을 나타낸 것이다. 드리프트 이온주입량이 증가할수록 누설전류는 증가하고  $V_{av}$ 는 감소하는 경향을 나타내었다. 여기서 드리프트 이온주입량이 더블 스냅백의 발생 여부를 결정하는 중요한 인자임을 알 수 있다. 즉, 드리프트 이온주입량을 특정한 임계값 이상으로 유지하면 고전류 영역에서도 게이트 하부에 깊은 채널이 형성되지 않아 1차 on 상태에서 2차 on 상태

로의 전이가 이루어지지 않기 때문에 양호한 정전기 보호 성능을 얻을 수 있다. 드리프트 이온주입량이  $1.1 \times 10^{13} \text{cm}^{-2}$  이하일 경우에는 전체 전류가 임계값 이상에 도달하면 게이트 하부에 깊은 전자 채널이 형성되므로 더블 스냅백이 발생한다. 반면 드리프트 이온주입량이  $3.3 \times 10^{13} \text{cm}^{-2}$  이상일 경우에는 전체 전류가 증가하여도 게이트 아래에 전자 채널이 형성되지 않아 더블 스냅백이 발생하지 않으므로 열적 브레이크다운이 발생할 때까지 첫 번째 on 상태를 유지한다.

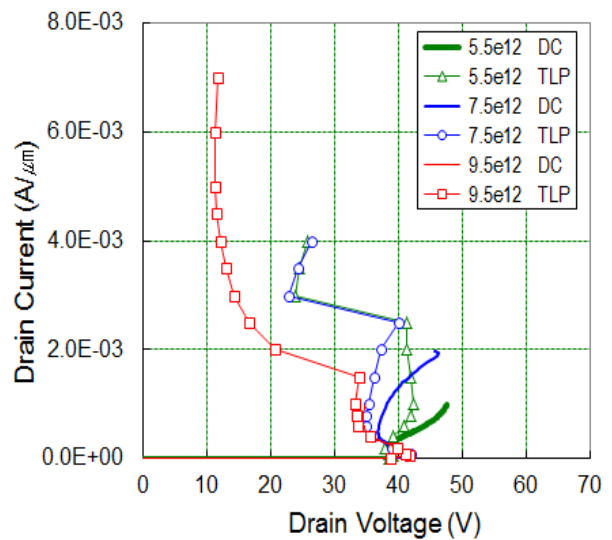


Fig. 5. Comparison of simulation and TLP  $I-V$  characteristics according to well implant dose.

그림 5. HP-well 이온주입량 변화에 따른 시뮬레이션 및 TLP  $I-V$  특성 비교

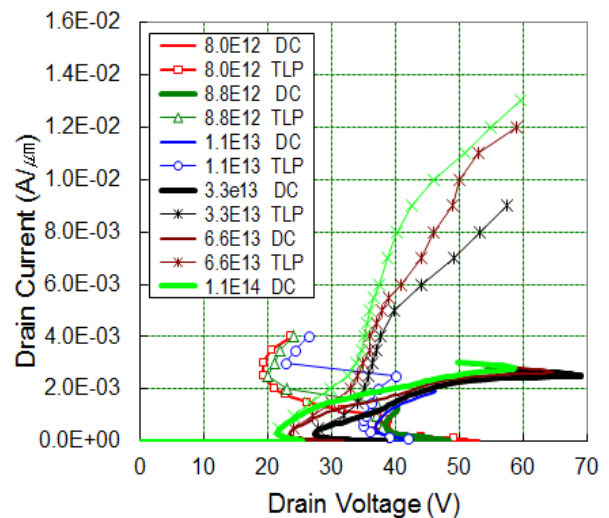
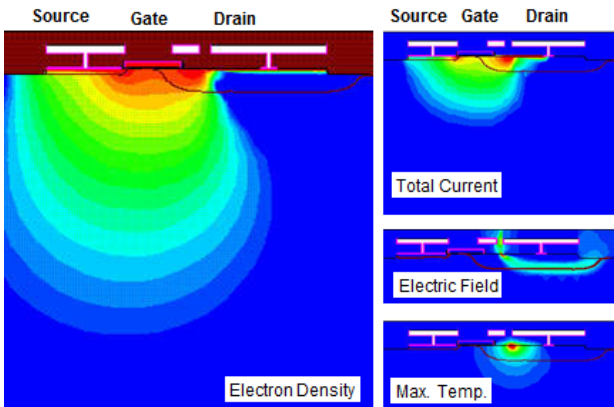


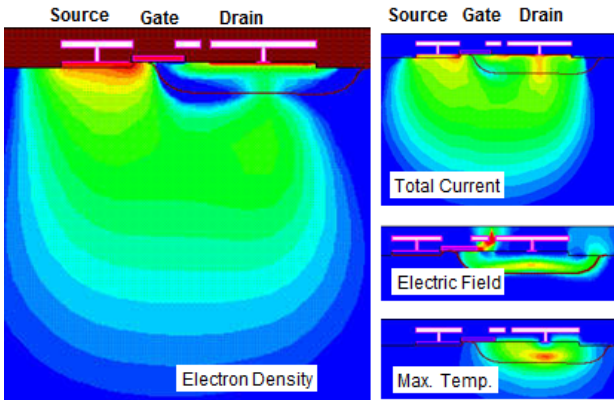
Fig. 6. Comparison of simulation and TLP  $I-V$  characteristics according to drift implant dose.

그림 6. 드리프트 이온주입량 변화에 따른 시뮬레이션 및 TLP  $I-V$  특성 비교

그림 7은 드리프트 이온주입량 변화에 따른 등고선 분포를 보인 것이다. 전류는 소자 표면에 집중되지 않고 깊이 방향으로 일정한 분포를 유지하며 측면 전계도 초기 상태의 균일하고 넓은 분포를 유지하였다. 따라서 열적 브레이크다운이 일어나는 포인트도 N<sup>+</sup> 드레인 아래 영역에 넓게 분포하였다. 드리프트 이온주입량에 따른 누설전류 및 V<sub>av</sub>를 고려할 때 3.3 × 10<sup>13</sup>cm<sup>-2</sup>의 드리프트 도즈가 30V 이하의 동작전압에 대해 적용 가능한 것으로 예측할 수 있다.



(a) Drift dose=8.0 × 10<sup>12</sup>cm<sup>-2</sup>, Current=3.5mA/um



(b) Drift dose=3.3 × 10<sup>13</sup>cm<sup>-2</sup>, Current = 8.0mA/um

Fig. 7. Contour distribution according to drift implant dose.  
그림 7. 드리프트 이온주입량 변화에 따른 등고선 분포

3. 액티브 이온주입량의 영향

그림 8은 소오스/드레인 이온주입량 변화에 따른 시뮬레이션 및 TLP I-V 결과를 비교한 것이다. 소오스/드레인 이온주입량을 5.0 × 10<sup>14</sup> ~ 5.0 × 10<sup>16</sup>cm<sup>-2</sup>의 범위 내에서 변화시켜도 DDDNMOS의 TLP I-V 곡선 및 등고선 특성은 전혀 변화가 없었다. 즉, 소오스/드레인 영역 전면에 대해 이온주입량을 바꾸는 것은 DDDNMOS의 정전기 보호 성능에는 전혀 영향이 없음을 알 수 있다.

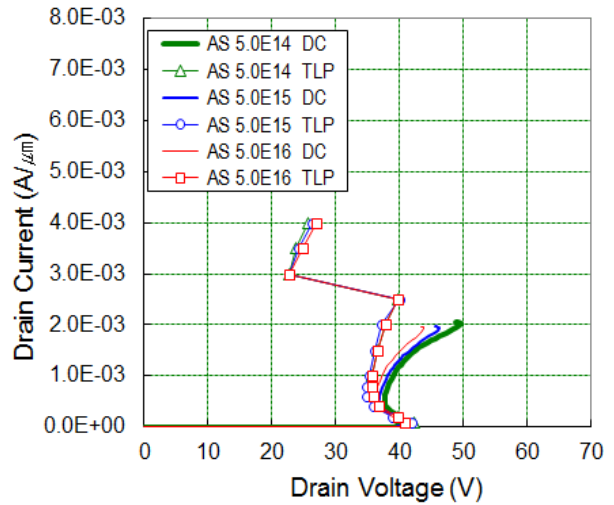


Fig. 8. Comparison of simulation and TLP I-V characteristics according to source/drain ion implant dose.

그림 8. 소오스/드레인 이온주입량 변화에 따른 시뮬레이션 및 TLP I-V 특성 비교

4.4. 공정변수들의 통합에 의한 영향

4.3절에서 공정 파라미터들 중에서 N<sup>-</sup> 드리프트 이온주입량을 최적으로 설계하면 고전류 영역에서 소자가 1차 on 상태에서 2차 on 상태로 전이하는 것을 막아주므로 매우 우수한 정전기 보호 성능을 실현할 수 있다고 설명하였다. 그러나 N<sup>-</sup> 드리프트 이온주입량을 증가시킬 경우 소자의 더블 스냅백을 방지할 수 있으나, 상대적으로 V<sub>av</sub> 값이 낮아지기 때문에 30V보다 큰 동작전압에는 적용할 수 없는 것이 문제가 된다. 따라서 V<sub>av</sub> 값을 원하는 값으로 유지하면서 2차 on 상태로의 전이를 막기 위해서는 well/드리프트/액티브 이온주입 조건은 그대로 유지하면서 소오스의 이온주입 조건 또는 구조를 바꾸는 방법이 대안이 될 수 있다. 즉, N<sup>+</sup> 소오스의 바로 옆에 P<sup>+</sup> 이온주입을 추가하여 형성시킨 P<sup>+</sup> 확산층을 기존의 N<sup>+</sup> 소오스와 N<sup>+</sup> 드레인 사이에 배치하면 N<sup>+</sup> 소오스에서 주입되는 전자의 흐름을 방해하므로 게이트 하부에 전자 채널이 발생하는 것을 막을 수 있기 때문에 소자에 열적 브레이크다운이 발생할 때까지 1차 on 상태를 유지하도록 강제할 수 있다. 이상과 같은 형태의 이중극성소오스(double polarity source; DPS)를 갖는 소자에 대해 시뮬레이션을 수행한 결과, V<sub>av</sub>는 표준소자와 동일하면서도 더블 스냅백을 방지해주는 향상된 정전기 보호 성능을 얻을 수 있다[9]. 등고선 분포도 열적 브레이크다운이 발생할 때까지 전자채널이 형성되지 않고 전계가 분산되는 양상을 나타내었다. DPS 구조의 DDDNMOS는 표준소자에 비해 향상된 정전기 보호 성능을 실현할 수

있다. 추가하는 P<sup>+</sup> 확산영역의 크기 및 이온주입량을 최적화시켜주면 전자채널 및 2차 on 상태의 발현을 확실하게 방지하는 효과가 있다. 이상과 같이 well 이온주입량, 드리프트 이온주입량, 소오스/드레인 이온주입량을 개별적으로 변화시켜 가면서 최적 이온주입 조건을 찾거나, 소오스 구조를 DPS로 변경하여 더블 스냅백이 일어나는 것을 방지하고자 하였다[9]. 마지막으로 드리프트 이온주입량을 증가 시킬 경우 소자의 V<sub>av</sub>가 더 낮아지기 때문에 DPS의 대안으로 더 효과적인 방법을 찾고자 표 3과 같은 통합(colligation) 조건을 제안한다. 개별적으로 수행된 이온주입 최적화 시뮬레이션에서 드리프트 이온주입의 변화가 더블 스냅백에 가장 큰 영향을 미친 점에 착안하여 표 3에 보인 것과 같은 이온주입 에너지, retrograde multiple 이온주입 및 열적 드라이브 인과 같은 다양한 공정변수들이 통합되어 적용되었을 경우 더블 스냅백에 미치는 영향을 고찰하였다.

Table 3. Suggestion of colligation conditions.

표 3. 콜리게이션 공정 조건의 제안

| Process Name                 | Process Condition  |
|------------------------------|--|
| N <sup>-</sup> Drift Implant | P, 80KeV, 1.1×10 <sup>13</sup> cm <sup>-2</sup><br>P, 80KeV, 3.3×10 <sup>13</sup> cm <sup>-2</sup> |
| Drift drive-in               | 1,100°C, 60min   |

↓

↓

|   |   |
|---|---|
| Colligation of multiple implant (energy, multiple implant conditions) | P, 700KeV, 7.0×10 <sup>12</sup> cm <sup>-2</sup><br>P, 200KeV, 6.0×10 <sup>12</sup> cm <sup>-2</sup><br>P, 160KeV, 2.0×10 <sup>12</sup> cm <sup>-2</sup><br>As, 140KeV, 8.0×10 <sup>12</sup> cm <sup>-2</sup> |
| Drift drive-in  | 1,100°C, 60min  |

그림 9는 이온주입 에너지, retrograde 다중 이온주입 및 드라이브-인 조건의 통합에 따른 I-V 특성을 비교한 것으로 3.3×10<sup>13</sup>cm<sup>-2</sup>의 드리프트 이온주입을 한 경우보다 더 우수한 스냅백 특성을 나타내었다. 이는 드리프트 이온주입 공정에서 이온주입 에너지를 달리하여 retrograde multiple 이온주입을 적용하면서 동시에 열적 드라이브-인을 약하게 적용하면 결과적으로 드리프트 이온주입량을 더 증가 시키는 것과 같은 동일한 결과를 나타내었기에 더 개선된 스냅백 특성을 나타낸 것으로 생각된다. 즉, 열적 브레이크다운이 발생하기 전까지는 깊은 전자 채널이 발생하지 않고 1차 온 상태에 남아 있는 특성을 나타내었다. 그러나 V<sub>av</sub>는 0.18μm<sub>30V</sub> DDDNMOS 표준소자(@ 드리프트 도즈=1.1×10<sup>13</sup>cm<sup>-2</sup>)와 동일한 메카니즘, 즉 전자 채널링 및 전계 국부화에 의해 발생하여

다소 한계가 있음을 시사하고 있다. 향후 다양한 공정 변수들의 통합에 대한 포괄적이고 종합적인 분석이 이루어질 경우 좀 더 향상된 정전기 특성을 얻을 수 있을 것으로 생각된다.

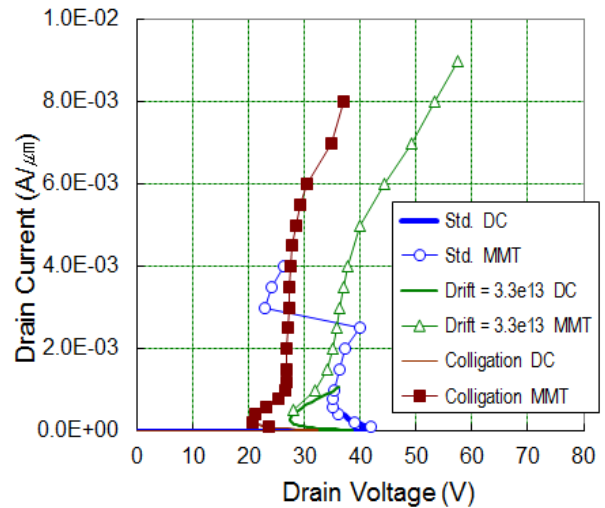


Fig. 9. Comparison of I-V characteristics according to the change of colligation conditions. (ion implant energy, retrograde multiple ion implant, and drive-in).

그림 9. 이온주입에너지, retrograde 다중 이온주입 및 드라이브 인 조건에 따른 I-V 특성 비교

## V. 결론

고전압용 DDDNMOS 소자는 고전류 영역에서 소오스에서 드레인 측으로 확장되는 electron-rich 영역에 의해 게이트 아래에 깊은 전자 채널을 형성하였다. 그 영향으로 인해 더블 스냅백, 즉 1차 on 상태에서 2차 on 상태로 전이하는 현상이 발생하였다. DDDNMOS 소자가 2차 on 상태로 전이할 경우 매우 불안정한 I-V 특성을 나타내기 때문에 안정적인 정전기 보호 성능을 얻을 수 없다. DDDNMOS의 불안정한 정전기 보호 성능을 개선하기 위해 공정 및 소자 시뮬레이션을 진행한 결과, 다양한 공정 파라미터들 중에서 드리프트 이온주입량이 DDDNMOS 소자에서 발생하는 더블 스냅백을 조절할 수 있는 중요한 임계 인자인 것으로 나타났다. 즉, 드리프트 이온주입량을 3.3×10<sup>13</sup>cm<sup>-2</sup> 이상으로 유지할 경우 1차 on 상태에서 2차 on 상태로 전이하는 것을 막아 주므로 비교적 양호한 정전기 보호 성능을 얻을 수 있었다. 또한 드리프트 이온주입 농도는 누설전류 및 V<sub>av</sub>에 영향을 미치기 때문에 드리프트 이온주입 농도를 3.3×10<sup>13</sup>cm<sup>-2</sup> 이상으로 유지하는 방법은 동작전압이 30V 이하인 DDDNMOS 공정에 한정해서 적용할 수 있다. 동

작전압이 30V보다 큰 기술에 대해서는 DPS 구조를 적용한 DDDNMOS 소자를 이용하거나 그 대안으로 여러 공정 변수들을 통합(colligation)하여 적용할 경우 향상된 정전기 보호 성능을 실현할 수 있을 것이다.

## References

- [1] M. P. J. Mergens, W. Wilkening, S. Mettler, H. Wolf, A. Stricker and W. Fichtner, "Analysis of lateral DMOS power devices under ESD stress conditions," *IEEE Trans. Electron Devices*, Vol.47, pp.2128-2137, 2000. DOI: 10.1109/16.877175
- [2] K. Kawamoto, S. Takahashi, S. Fujino and I. Shirakawa, "A no-snapback LD MOSFET with automotive ESD endurance," *IEEE Trans. Electron Devices*, Vol.49, pp.2047-2053, 2002. DOI: 10.1109/TED.2002.804734
- [3] G. Bosselli, S. Meeuwssen, T. Mouthaan and F. Kuper, "Investigations on double diffused MOS (DMOS) transistors under ESD zap conditions," in *Proc. EOS/ESD Symp.*, pp.11-18, 1999. DOI: 10.1109/EOESD.1999.818984
- [4] M. D. Ker and K. H. Lin, Double snapback characteristics in high-voltage nMOSFETs and the impact on-chip ESD protection, *IEEE Electron Dev. Lett.*, Vol.25, No.9, pp.640-642, 2004. DOI:10.1109/LED.2004.833372
- [5] J. W. Yang and, Y. J. Seo, "Improvements of Extended Drain NMOS (EDNMOS) Device for Electrostatic Discharge (ESD) Protection of High Voltage Operating LDI Chip," *Journal of Satellite, Information and Communications*, Vol.7, No.2, pp.18-24, 2012.
- [6] Y. J. Seo and K. H. Kim, "Characteristics of an extended drain N-type MOS device for electrostatic discharge protection of a LCD driver chip operating at high voltage," *J. Korean Phys. Soc.*, Vol.50, No.3, pp.897-901, 2007. DOI: 10.3938/jkps.50.897
- [7] Y. J. Seo and K. H. Kim, "Effects of background doping concentration on electrostatic discharge protection of high voltage operating extended drain N-type MOS device," *Microelectronic Engineering*, Vol.84, No.1, pp.161-164, 2007. DOI: 10.1016/j.mee.2006.09.030
- [8] J. E. Barth, K. Verhaege, L. G. Henry, and J. Richner, "TLP calibration, correlation, standards, and new techniques," *IEEE Trans. Electron. Packaging Manufact.*, Vol.24, No.2, pp.99-108, 2001. DOI:10.1109/6104.930960
- [9] Y. J. Seo and J. W. Yang, "Improvements of ESD Protection Performance of High Voltage Operating EDNMOS Device with DPS (Double Polarity Source) Structure," *Journal of Satellite, Information and Communications*, Vol.9, No.2, pp.12-17, 2014.

## BIOGRAPHY

### Yong-Jin Seo (Member)



1987 : B.S. degree in Electrical Engineering, Chungang University.  
 1989 : M.S. degree in Electrical Engineering, Chungang University.  
 1994 : Ph. D. degree in Electrical Engineering, Chungang University.

1999~2000 : Visiting Faculty, University of North Carolina at Charlotte.

1995~Present : Professor, Sehan University.