

센서 시스템을 위한 저전력 시그마-델타 ADC

Low-Power Sigma-Delta ADC for Sensor System

신 승 우*, 권 기 백*, 박 상 순*, 최 중 호*

Seung-Woo Shin*, Ki-Baek Kwon*, Sang-Soon Park*, Joogho Choi*

Abstract

Analog-digital converter (ADC) should be one of the most important blocks that convert various physical signals to digital ones for signal processing in the digital signal domain. As most operations of the analog circuit for sensor signal processing have been replaced by digital circuits, high-resolution performance is required for ADC. In addition, low-power must be the critical issue in order to extend the battery time of mobile system. The existing integrating sigma-delta ADCs has a characteristic of high resolution, but due to its low supply voltage condition and advanced technology, circuit error and corresponding resolution degradation of ADC result from the finite gain of the operational amplifier in the integrator. Buffer compensation technique can be applied to minimize gain errors, but there is a disadvantage of additional power dissipation due to the added buffer. In this paper, incremental signal-delta ADC is proposed with buffer switching scheme to minimize current and igh-pass bias circuit to improve the settling time.

요 약

다양한 물리적 신호를 디지털 신호 영역에서 처리하기 위해서 센서의 출력을 디지털로 변환하는 아날로그-디지털 변환기 (ADC)는 시스템 구성에 있어 매우 중요한 구성 블록이다. 센서 신호 처리를 위한 아날로그 회로의 역할을 디지털로 변환하는 추세에 따라 이러한 ADC의 해상도는 높아지는 추세이다. 또한 ADC는 모바일 기기의 배터리 효율 증대를 위해서 저전력 성능이 요구된다. 기존 integrating 시그마-델타 ADC의 경우 고해상도를 가지는 특징이 있지만, 저전압 조건과 미세화 공정으로 인해 적분기의 연산증폭기 이득 오차가 증가해 정확도가 낮아지게 된다. 이득 오차를 최소화하기 위해 버퍼 보상 기법을 적용할 수 있지만 버퍼의 전류가 추가된다는 단점이 있다. 본 논문에서는 이와 같은 단점을 보완하고자 버퍼를 스위칭하며 전류를 최소화시키고, 하이패스 바이어스 회로를 통해 settling time을 향상시켜 기존과 동일한 해상도를 갖는 ADC를 설계하였다.

Key words : sigma-delta, gain error compensation, sensor signal processing, buffer, settling time

Dept. of Electrical and Computer Engineering, University of Seoul

★ Corresponding author

E-mail : jchoi@uos.ac.kr, Tel : +82-2-6490-2328

※ Acknowledgment

This work was supported by the 2020 Research Fund of the University of Seoul.

Manuscript received May. 25, 2022; revised Jun. 15, 2022; accepted Jun. 21, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

다양한 물리적 신호를 센서를 통해 얻는 센서 시스템은 디지털 신호 영역에서 센서 출력 신호 처리를 위해서 아날로그-디지털 변환기(ADC)가 필수적이다. 그림 1은 센서와 액츄에이터를 위한 시스템의 블록 다이어그램을 나타낸다. 디지털 연산의 결과와 물리적 신호의 인터페이스를 위해 데이터 변환기(ADC 및 DAC)가 필요하며 센서 소자를 위해 최적화된 아날로그 프런트-엔드 (AFE) 블록이 포함되어 있다. 아날로그 프런트-엔드에서 수행하는 연산을 디지털 시스템으로 변환하기 위해서는 ADC의 높은 해상도가 필수적이다. 또한 모바일 기기에 적용하기 위해서 낮은 소비 전력이 요구된다.

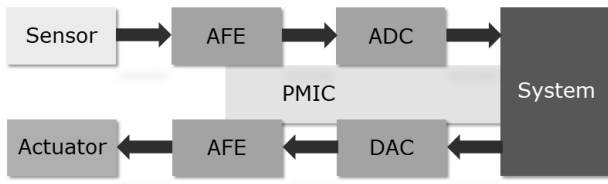


Fig. 1. Block diagram of the sensor-actuator system.
 그림 1. 센서-액츄에이터 시스템의 블록 다이어그램

본 논문에선 저전력과 고해상도를 만족하기 위해 1.4V 이하 조건에서 16-bit 이상을 목표로 integrating 시그마-델타 ADC를 설계하였다. 해당 ADC는 낮은 전압에서의 선형성 확보를 위해 그림 2와 같은 Cascade of Integrators with Feed Forward(CIFF) 구조의 2차 시그마-델타 모듈레이터와 decimation filter로 설계되었다[1]. 또한 공정의 미세화에 따른 연산증폭기 이득 저하 보상하기 위해 버퍼 보상법을 사용하였으며, 스위칭 버퍼와 추가 바이어스 회로를 통해 전류 소모를 줄이며 settling time을 유지하였다.

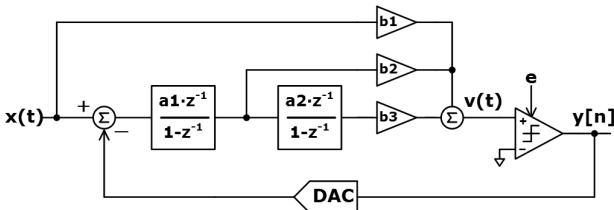


Fig. 2. CIFF structure 2nd-order sigma-delta modulator.
 그림 2. CIFF 구조 2차 시그마-델타 모듈레이터

II. 본론

1. Integrating 시그마-델타 ADC

그림 3은 일반적인 integrating 시그마-델타 ADC 구조를 나타낸 블록도이다. 입력 신호 $x(t)$ 는 시그마-델타 모듈레이터의 적분기로 입력되어 매 오버샘플링 클럭마다 적분된다. 이후 적분된 값이 기준전압을 넘어 비교기 출력에 'high'가 되면, DAC를 통해 설정한 VREF 전압만큼 감소한다. 일련의 동작들이 계속 반복되면, 연속되는 비교기 출력 $y[n]$ 을 얻을 수 있고 이는 decimation filter로 전달되어 디지털 코드로 연산된다. 이후, 오버샘플링 만큼의 클럭이 지나면 최종 연산된 디지털 코드를 출력하고, 모듈레이터 내의 적분기와 decimation filter를 리셋하여 새로운 입력 신호를 변환할 준비를 한다.

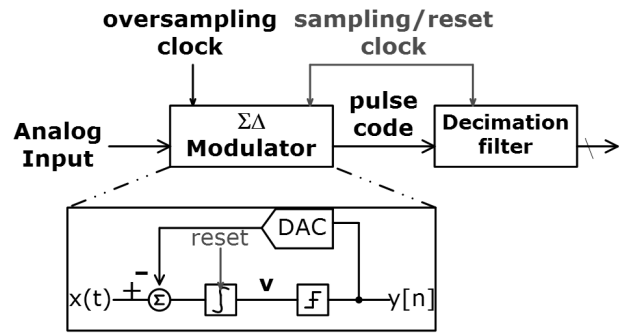


Fig. 3. Block diagram of the conventional integrating sigma-delta ADC.
 그림 3. 일반적인 integrating 시그마-델타 ADC 블록도

시그마-델타 모듈레이터는 비교기에서 발생하는 양자화 잡음과 출력 $y[n]$ 의 전달함수인 noise transfer function (NTF)이 하이-패스 필터 형태를 띠며, 차수가 높아질수록 기울기가 가팔라진다. 그림 4는 차수 L 에 따른 양자화 잡음의 power spectral density(PSD)를 나타낸 그래프이다. 차수가 높아질수록 해상도가 증가하지만, 회로가 복잡해지고 신호 변환 속도가 느려지기 때문에 본 논문의 ADC는 요구 조건을 고려하여 2차 시그마-델타 모듈레이터로 설계하였다.

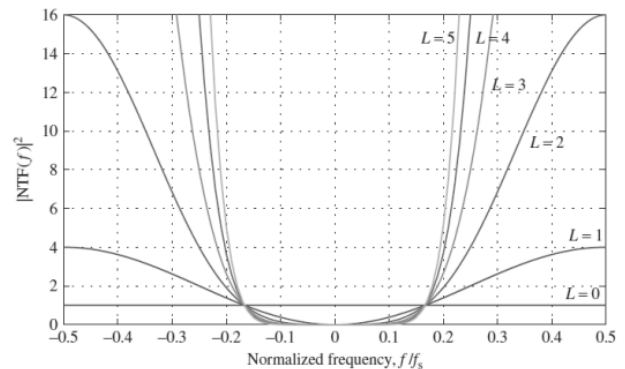


Fig. 4. Quantization noise PSD of L^{th} -order sigma-delta modulator [2].
 그림 4. 차수 L 에 따른 양자화 잡음 PSD[2]

모듈레이터의 차수가 2차이며, 그림 2의 CIFF 구조일 경우, n 번의 클럭이 지났을 때 integrating 시그마-델타 ADC의 출력은 식 (1)과 같아진다[3].

$$\frac{V_{\epsilon}}{V_{\text{Fullscale}}} \approx \frac{2}{n(n-1)} \sum_{l=0}^{n-1} \sum_{k=0}^{l-1} N_k \quad (1)$$

N_k 는 k 번째 사이클에서의 비교기 출력을 의미하며, 본 논문에선 수식의 시그마를 구현하기 위해 decimation

filter를 카운터와 누산기로 구성하였고 다양한 OSR 옵션을 위해 22-bit 출력으로 설계하였다.

2. 연산 증폭기 이득 오차를 위한 버퍼 보상법

그림 5는 시그마-델타 모듈레이터에 사용되는 일반적인 switched-capacitor 적분기 회로이다. 샘플링 클럭 $\phi 1$ 일 때 입력전압 V_{IN} 을 C_S 에 저장하며, 적분 클럭 $\phi 2$ 일 때 연산증폭기의 가상 단락 성질을 이용해 C_S 의 전하를 C_H 로 전달해 적분된 값을 V_{OUT} 으로 출력한다. 전하량 보존 법칙으로 전달함수를 구하면 식 (2)와 같다.

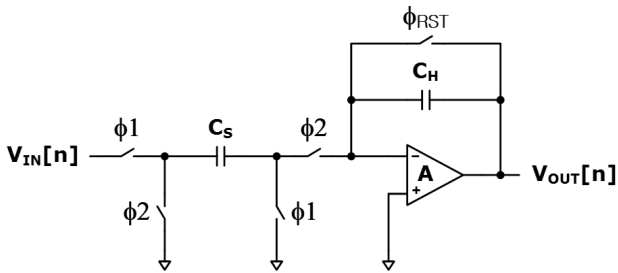


Fig. 5. Schematic of switched-capacitor integrator of sigma-delta modulator.

그림 5. 시그마-델타 모듈레이터의 스위치드-커패시터 적분기 회로

$$V_{OUT}[n] = \frac{C_S}{C_H} V_{IN}[n-1] + V_{OUT}[n-1] \quad (2)$$

앞서 말한 바와 같이 공정의 집적화, 미세화에 따라 소자의 intrinsic gain은 감소하는 추세를 보인다[4]. 따라서 같은 조건에서 연산증폭기의 이득은 감소하게 되므로 적분기의 정확도는 점점 낮아지게 된다. 연산증폭기의 이득을 A라 할 때 이득 오차를 포함한 적분기의 전달함수는 식 (3)과 같다.

$$V_{OUT}[n] = \frac{C_S}{C_H} \left(1 - \frac{1}{A} \left(1 + \frac{C_S}{C_H}\right)\right) V_{IN}[n-1] + \left(1 - \frac{C_S}{C_H} \frac{1}{A+1}\right) V_{OUT}[n-1] \quad (3)$$

수식이 나타내는 바와 같이 연산증폭기의 이득 에러는 샘플링된 입력 전압 $V_{IN}[n-1]$ 뿐 아니라 기존 적분된 출력 전압 $V_{OUT}[n-1]$ 에도 영향을 끼쳐 모듈레이터의 정확도를 낮추게 된다. 따라서 본 논문에서는 버퍼 보상법을 통해 이득 에러가 적분기에 끼치는 영향을 최소화하였다. 버퍼 보상법이란 적분 클럭 $\phi 2$ 일 때 C_S 양 단을 버퍼를 통해 연결하는 기법으로 적분기에 적용된 회로는 그림 6과 같다[5].

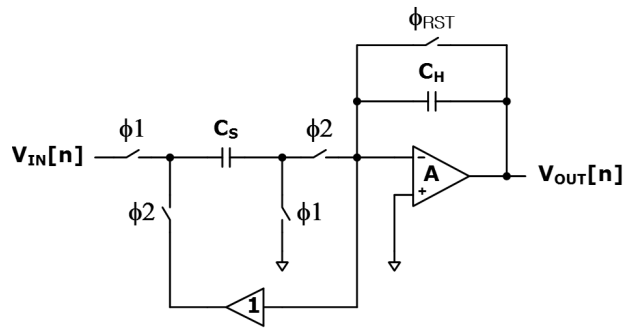


Fig. 6. Schematic of switched-capacitor integrator with buffer compensation [5].

그림 6. 버퍼 보상법이 적용된 스위치드-커패시터 적분기 회로[5]

버퍼 보상법이 적용된 적분기의 전달함수는 식 (4)와 같이 변형된다. 식 (3)과 비교했을 때, 연산증폭기 이득 에러가 입력 전압에 미치는 영향은 확연히 줄고 기존 적분된 출력 전압에 미치는 영향은 사라지는 것을 확인할 수 있다.

$$V_{OUT}[n] = \frac{C_S}{C_H} \left(1 - \frac{1}{A}\right) V_{IN}[n-1] + V_{OUT}[n-1] \quad (4)$$

3. Settling time을 개선한 스위칭 버퍼 보상법

일반적인 2차 시그마-델타 모듈레이터는 2개의 적분기가 차동 구조로 이루어져 있으므로 버퍼 보상법을 적용하려면 총 4개의 버퍼가 필요하다. 각각의 버퍼는 추가적인 전류를 소모하게 되며 저전력을 요구하는 BMIC의 ADC와 부합하지 않는다. 따라서 버퍼 보상법의 효과를 유지하며 소모 전류를 최소화하기 위해 하이패스 바이어스가 포함된 스위칭 버퍼 보상법을 제안한다. 그림 7과 8은 각각 스위칭 버퍼 보상법을 적용한 적분기와 버퍼의 회로이다.

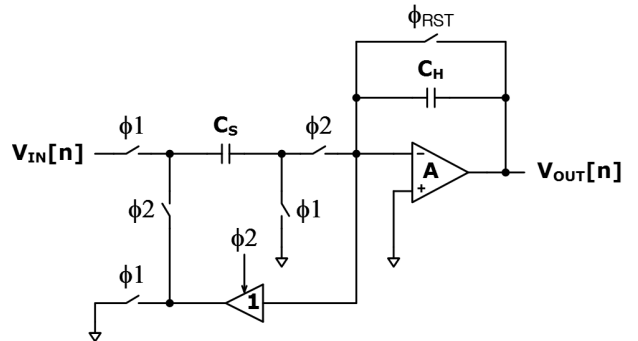


Fig. 7. Schematic of switched-capacitor integrator with switching buffer compensation [6].

그림 7. 스위칭 버퍼 보상법이 적용된 스위치드-커패시터 적분기[6]

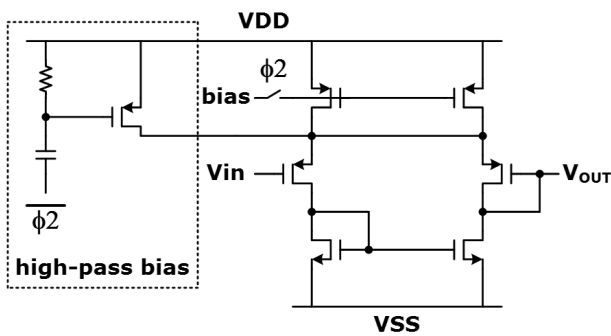


Fig. 8. Schematic of switching buffer with high-pass bias.

그림 8. 하이패스 바이어스를 포함한 스위칭 버퍼 회로

적분 클럭인 ϕ_2 일 때만 버퍼가 C_S 양 단을 연결해도 식 (4)와 같은 수식을 도출할 수 있다는 점을 이용하여, 샘플링 클럭 ϕ_1 에선 버퍼의 전원을 차단하였다. 따라서 매 적분기 동작마다 버퍼의 소모 전류를 절반 수준으로 줄일 수 있게 된다[6]. 하지만 버퍼에 전원이 들어오며 안정 상태에 이르기 까지 지연 시간이 있기 때문에 적분기의 settling time 증가가 필연적이다. 적분기 출력이 제시 시간에 안정되지 않는다면 ADC의 해상도는 급격하게 낮아지기 때문에, 본 논문에선 버퍼 전원이 들어오는 순간 많은 전류를 흘려주는 하이-패스 바이어스를 추가하여 settling time을 개선하였다. 그림 9는 버퍼에 따른 적분기 출력 파형이다.

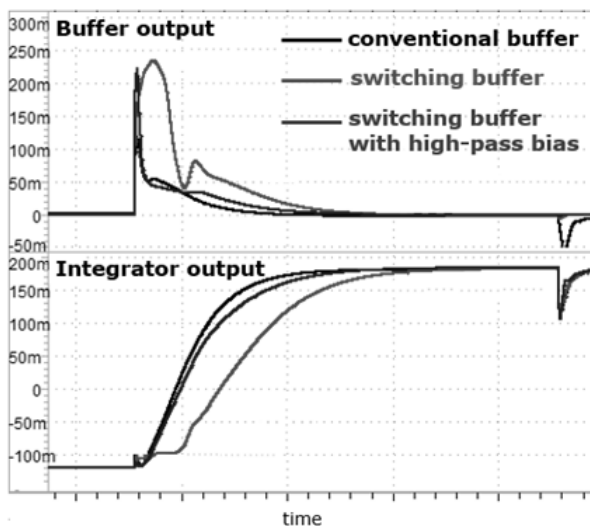


Fig. 9. Integrator output waveform according to buffer.

그림 9. 버퍼에 따른 적분기 출력 파형

스위칭 버퍼에 하이패스 바이어스를 추가함으로써 적분기 settling time을 20% 개선할 수 있었다. 그에 따라 ADC 해상도를 저감하지 않을 수준의 적분기 출력을 얻

을 수 있었다.

4. 회로 구현

그림 10은 전체 ADC 회로도를 나타낸다. 본 논문의 ADC는 스위칭 버퍼 보상법과 DAC를 포함한 2차 차동 적분기, preamp와 래치로 이루어진 비교기, 카운터와 누산기로 구성된 decimation filter로 설계되었다. 적분기의 DAC는 비교기의 출력에 따라 $C_{DACP}(C_{DACM})$ 에 샘플링 되는 전압이 $V_{REFP}(V_{REFM})$ 혹은 $V_{REFM}(V_{REFP})$ 이 된다. 그에 따라 1차 차동 적분기의 전달함수는 비교기 출력 CT가 'low'일 경우 식 (5), 'high'일 경우 식(6)이 된다.

$$V_{OUT}[n] = \frac{C_S}{C_H} V_{in}[n-1] + V_{OUT}[n-1] + \frac{C_{DAC}}{C_H} (+V_{REF}) \quad (5)$$

$$V_{OUT}[n] = \frac{C_S}{C_H} V_{in}[n-1] + V_{OUT}[n-1] + \frac{C_{DAC}}{C_H} (-V_{REF}) \quad (6)$$

V_{REF} 는 V_{REFP} 와 V_{REFM} 의 차이로써 비교기 출력에 따라 극성이 바뀌기 때문에 시그마-델타 모듈레이터의 감가산 동작을 가능하게 한다. 또한, V_{REFP} 와 V_{REFM} 값을 조정하여 ADC 입력 전압의 크기를 설정할 수 있다.

본 논문의 모듈레이터는 CIFF 구조를 사용하였기 때문에 피드 포워드된 신호를 합산할 회로가 필요하며, 비교기 출력으로 인한 kickback 노이즈를 줄이기 위해 preamp가 필요하다[7]. 따라서 preamp에 피드포워드 경로를 추가한 회로를 적용하였다. ADC 성능에 가장 영향력이 큰 첫 번째 적분기의 샘플링 커패시터 C_S 값은 열 잡음을 고려하여 3pF를 사용하였으며, C_H 와 피드포워드 커패시터 $C_{FF1,2,3}$ 값은 매트랩 시뮬레이션을 통한 계수 설정에 맞춰 각각 5pF, 0.4pF, 0.7pF, 0.4pF로 설정하였다.

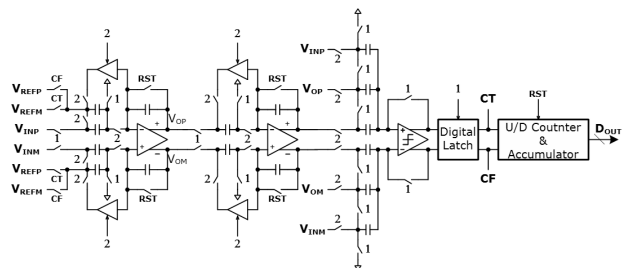


Fig. 10. Schematic of the proposed 2nd-order sigma-delta ADC.

그림 10. 제안하는 2차 시그마 델타 ADC회로

5. 시뮬레이션 및 측정

그림 11은 settling time을 개선한 스위칭 버퍼 보상법이 적용된 ADC 시뮬레이션 결과이다. 양자화 잡음만을 포함하였으며, 목표로 정한 16-bit를 얻을 수 있었던 최소전압 1.2V 환경에서 수행하였다. 표 1은 기존 버퍼 보상법과 제안하는 보상법의 ADC 성능을 비교한 표이다. 제안하는 보상법을 적용할 경우, 기존 버퍼 보상법에 비해 소모 전류가 15.6% 줄어들지만 동일한 수준의 해상도를 얻을 수 있었다.

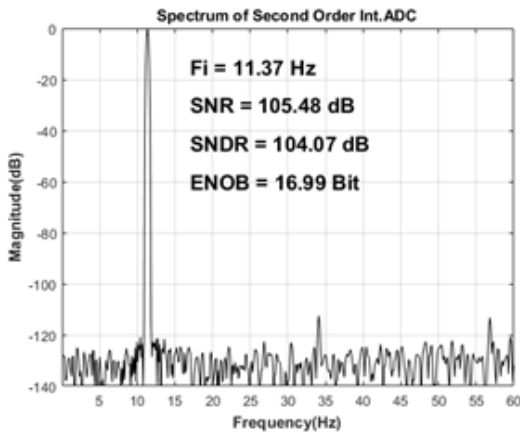


Fig. 11. Simulation result of proposed ADC.
그림 11. 제안하는 ADC의 시뮬레이션 결과

Table 1. Comparison of ADC simulation results.

표 1. ADC 시뮬레이션 결과 비교

Simulation Result	Conventional buffer compensation	Proposed switching buffer compensation
VDD	1.2V	
FCLK	124.8kHz	
Conversion rate (OSR)	120Hz (1024)	
SNDR	103.95 dB	104.07 dB
ENOB	16.98-bit	16.99-bit
Current Consumption	109uA	92uA

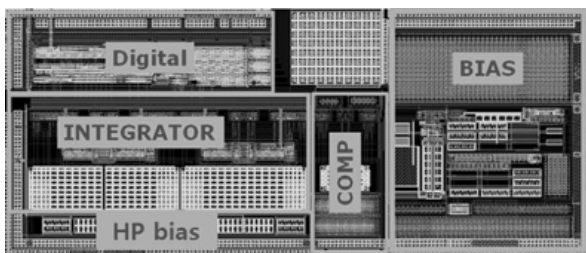


Fig. 12. Layout of the proposed ADC.
그림 12. 제안하는 ADC의 레이아웃

제안하는 Integrating 시그마-델타 ADC는 0.13um BCDMOS 공정으로 설계되었다. 그림 12은 ADC의 레이아웃을 나타내며, 코어의 면적은 1500×650 um²이다.

그림 13은 가장 높은 해상도를 얻을 수 있었던 전원 전압 1.4V, OSR=2048 조건에서 측정된 결과이다. 전원 전압은 low noise LDO를 통해 인가되며 차동 입력 신호는 audio precision을 이용해 인가해주었다. 클럭 신호는 clock generator를 통해 124.8kHz가 인가되었으며, OSR과 버퍼 보상법 여부는 외부 스위치를 통해 변경가능하게 제작되었다. 표 2는 다른 논문과의 연구결과를 비교한 것이다. 실제 측정환경에선 소자와 장비에서 발생하는 노이즈가 포함되어 ENOB가 감소한 것으로 예상된다.

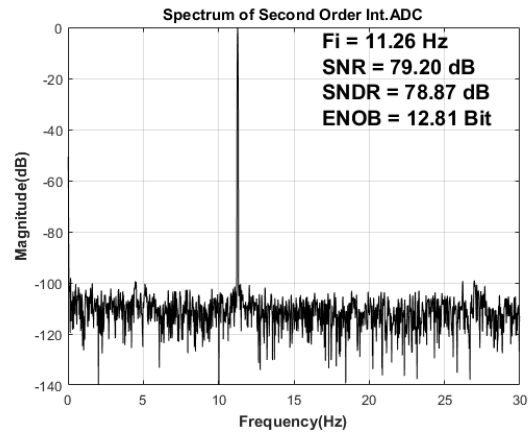


Fig. 13. Measurement result.
그림 13. 측정 결과

Table 2. Comparison with other work.

표 2. 다른 논문 연구결과와 비교

	Source	Power	VDD [V]	Conversion rate	SNDR [dB]	ENOB [bits]
[8]	ESSCIRC	20uW	1.6	12KS/s	74	12
[9]	TCAS1	96uW	1.6	320KS/s	64	10.3
[10]	CICC	6.7mW	1.8	10MS/s	81.5	13.2
[11]	TCAS1	34.8uW	1.2	8KS/s	75.9	12.3
This	-	129uW	1.4	60S/s	78.9	12.8

III. 결론

본 논문에서는 센서 시스템을 위한 integrating 시그마-델타 ADC를 설계하였다. 공정의 미세화로 인해 낮아지는 연산증폭기 이득 오차를 보상하기 위해 버퍼 보상법을 사용하였다. 이와 더불어, 버퍼의 소모 전류를 최소화하기 위해 버퍼를 스위칭 하였으며, 버퍼 스위칭에 따

른 settling time 저하를 개선하기 위하여 하이-패스 바이어스를 적용하였다. 제안하는 ADC는 0.13- μm BCDMOS 공정으로 제작되었으며, $V_{DD}=1.4\text{V}$, $f_{CLK}=124.8\text{kHz}$, $OSR=2048$ 조건에서 12.8-bit의 해상도를 측정할 수 있었다.

References

- [1] J. Silva, U. Moon, J. Steensgaard and G. C. Temes, "Wideband low distortion delta sigma ADC topology," *Electronics Letters*, vol.37, no.12, pp.737-738, 2001. DOI: 10.1049/el:20010542
- [2] Jos'e M. de la Rosa and Roc'io del R'io, "Press, CMOS Sigma-Delta Converters: Practical Design Guide," *Wiley-IEEE Press*, 2013.
- [3] Youngho Jung, "Derivation of design equations for various incremental delta sigma analog to digital converters," *Journal of the Korea Institute of Information and Communication Engineering*, Vol.25, No.11, pp.1619-1626, 2021. DOI: 10.6109/jkiice.2021.25.11.1619
- [4] Baschiroto, A. and Chironi, V. and Cocciolo, G. and D'Amico, S. and De Matteis, M. and Delizia, P. "Low Power Analog Design in Scaled Technologies", *Topical Workshop on Electronics for Particle Physics*, 2009, pp.103-109.
- [5] Chulkyu Park, "High-Accuracy Analog Front-End Compensation Technique for Mobile Sensor Applications," Ph.D. dissertation, University of Seoul, Seoul, Korea, 2018.
- [6] Jeong Tae-kyung, "Low-Power Integrating Sigma-Delta ADC for instrumentation Applications", Master thesis, University of Seoul, Seoul, Korea, 2020.
- [7] P. M. Figueiredo and J. C. Vital, 2004, "Low kickback noise techniques for CMOS latched comparators," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp.I-537-540, 2004. DOI: 10.1109/ISCAS.2004.1328250
- [8] Y. M. Chi and G. Cauwenberghs, "Micropower integrated bioamplifier and auto-ranging ADC for wireless and implantable medical instrumentation," *2010 Proceedings of ESSCIRC*, pp.334-337, 2010. DOI: 10.1109/ESSCIRC.2010.5619711
- [9] J. Garcia, S. Rodriguez and A. Rusu, "A Low-Power CT Incremental 3rd Order Sigma Delta ADC for Biosensor Applications," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol.60, no.1, pp.25-36, 2012. DOI: 10.1109/TCSI.2012.2215753
- [10] W. Yu, M. Aslan and G. C. Temes, "82 dB SNDR 20-channel incremental ADC with optimal decimation filter and digital correction," *IEEE Custom Integrated Circuits Conference 2010*, 2010. DOI: 10.1109/CICC.2010.5617596
- [11] S. Tao and A. Rusu, "A Power-Efficient Continuous-Time Incremental Sigma-Delta ADC for Neural Recording Systems," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol.62, no.6, pp.1489-1498, 2015. DOI: 10.1109/TCSI.2015.2418892

BIOGRAPHY

Seung-Woo Shin (Member)



2019 : BS degree in Electronic Engineering, Myongji University.
2021 : MS degree in Electrical and Computer Engineering, University of Seoul.
2021~ : Research Engineer, Siliconmitus.

Ki-Baek Kwon (Member)



2019 : BS degree in Electrical and Computer Engineering, University of Seoul.
2021 : MS degree in Electrical and Computer Engineering, University of Seoul.
2021~ : Research Engineer, Samsung Electronics.

Sang-Soon Park (Member)

2020 : BS degree in Electrical and Computer Engineering, University of Seoul.
2020~ : MS degree in Electrical and Computer Engineering, University of Seoul.

Joogho Choi (Member)

1987 : BS degree in Electronic Engineering, Seoul National University.
1989 : MS degree in Electronic Engineering, Seoul National University.

1993 : PhD degree in Electrical Engineering, University of Southern California.

1996~ : Professor, University of Seoul