

# 전위 장벽에 따른 4H-SiC MPS 소자의 전기적 특성과 깊은 준위 결함

## Electrical Characteristics and Deep Level Traps of 4H-SiC MPS Diodes with Different Barrier Heights

변 동 욱\*, 이 형 진\*, 이 희 재\*, 이 건 희\*, 신 명 철\*, 구 상 모\*★

Dong-Wook Byun\*, Hyung-Jin Lee\*, Hee-Jae Lee\*, Geon-Hee Lee\*, Myeong-Cheol Shin\*,  
and Sang-Mo Koo\*★

### Abstract

We investigated electrical properties and deep level traps in 4H-SiC merged PiN Schottky (MPS) diodes with different barrier heights by different PN ratios and metallization annealing temperatures. The barrier heights of MPS diodes were obtained in IV and CV characteristics. The leakage current increased with the lowering barrier height, resulting in 10 times larger current. Additionally, the deep level traps ( $Z_{1/2}$  and  $RD_{1/2}$ ) were revealed by deep level transient spectroscopy (DLTS) measurement in four MPS diodes. Based on DLTS results, the trap energy levels were found to be shallow level by 22~28% with lower barrier height. It could confirm the dependence of the defect level and concentration determined by DLTS on the Schottky barrier height and may lead to incorrect results regarding deep level trap parameters with small barrier heights.

### 요 약

서로 다른 PN 비율과 금속화 어닐링 온도에 의해 장벽 높이가 다른 4H-SiC 병합 PiN Schottky(MPS) 다이오드의 전기적 특성과 심층 트랩을 조사했다. MPS 다이오드의 장벽 높이는 IV 및 CV 특성에서 얻었다. 전위장벽 높이가 낮아짐에 따라 누설 전류가 증가하여 10배의 전류가 발생하였다. 또한, 심층 트랩( $Z_{1/2}$  및  $RD_{1/2}$ )은 4개의 MPS 다이오드에서 DLTS 측정을 통해 밝혀졌다. DLTS 결과를 기반으로, 트랩 에너지 준위는 낮은 장벽 높이와 함께 22~28%의 얇은 수준으로 확인되었다. 이는 쇼트키 장벽 높이에 대해 DLTS에 의해 결정된 결함 수준 및 농도의 의존성을 확인할 수 있다.

*Key words : 4H-SiC, Deep level transient spectroscopy, MPS diode, Schottky barrier height, Trap*

\* Dept. of Electronic materials Engineering, Kwangwoon University (Researcher, Professor)

★ Corresponding author

E-mail : smkoo@kw.ac.kr Tel : +82-2-940-5763

※ Acknowledgment

This work was supported by Korea Institute for Advancement of Technology (KIAT) grant funded by the Korea Government (MOTIE) (P0012451), Technology Innovation Program (20003540) and the excellent researcher support project of Kwangwoon University in 2022.

Manuscript received Jun, 7, 2022; revised Jun. 16, 2022; accepted Jun. 22, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

### I. 서론

Silicon carbide(SiC)는 ~3.3 eV, ~2.5 MV/cm 임계 전기장과 3~5 W/cm·K의 열전도도를 가지는 우수한 반도체 재료 특성을 가진다[1, 2]. 이러한 우수한 특성으로 인해, SiC는 고전압, 고온 및 고속 스위치와 같은 환경에서도 우수한 특성을 가지며, 최근 전기 자동차(EV/HEV) 및 신재생 에너지와 산업에도 대체되고 있다. 특히 기존 4H-SiC Schottky barrier diode(SBD)에서 P 영역을 추가로 설계하여 낮은 누설과 높은 스위칭 특성을 갖는 merged PiN Schottky(MPS) 다이오드는 여러 분야에서 많이 적용되기 시작했다[3-5].

그러나 지금까지 다양한 결함의 존재는 4H-SiC 소자의 상용화에 걸림돌이 되고 있으며, 특히 deep level trap은 소자의 성능 개선을 위해 많은 연구가 필요하다[6]. 반도체에서의 깊은 준위 결함은 trapping와 lifetime 감소를 초래하기에 누설 전류의 증가와 같은 소자에 치명적인 영향을 미칠 수 있다[7, 8]. 그러므로 고온, 고압 그리고 극한의 환경에서 주도 사용되는 SiC와 같은 고에너지 기반 소자에서의 깊은 준위 결함의 심화 연구는 매우 중요하기에 이들의 에너지 준위를 수치화 및 정량적 농도를 추출 할 수 있는 DLTS 측정 분석은 필수적이다. 본 연구는 전위 장벽이 다른 MPS 다이오드들에 대한 전기적 및 깊은 준위 결함 특성에 대해 비교 분석하였다. 전위 장벽은 IV와 CV 측정을 통해 확인하였다. 그리고 DLTS 분석을 통해, 고유한 결함과 이온 주입 공정에 따른 deep level trap을 관찰하였고 나아가 전위 장벽에 따른 이들의 준위와 농도 변화를 비교하였다.

### II. 실험 방법

본 연구에서 사용된 소자는 4H-SiC MPS 다이오드들이다. 네 개의 소자들은  $1 \times 10^{16} \text{ cm}^{-3}$  농도를 가지는 7  $\mu\text{m}$  epi 층을 기반으로 제작되었으며, P+ well 깊이는 0.5  $\mu\text{m}$ 이다. Cathode 전극은 Ti(100 nm), Ni(300 nm), Ag(160 nm)로 Ohmic contact을 형성하였고 Anode 전극은 Ti(300 nm), Al(3  $\mu\text{m}$ )로 Schottky contact을 형성하였다. 각 네 개의 소자들은 Metallization annealing이 500, 600  $^{\circ}\text{C}$ , 그리고 P+와 N-type epi 영역 비율 서로 다르며, 이는 그림 1과 표 1에 소자들의 단면도 및 구조 파라미터를 정리하였다.

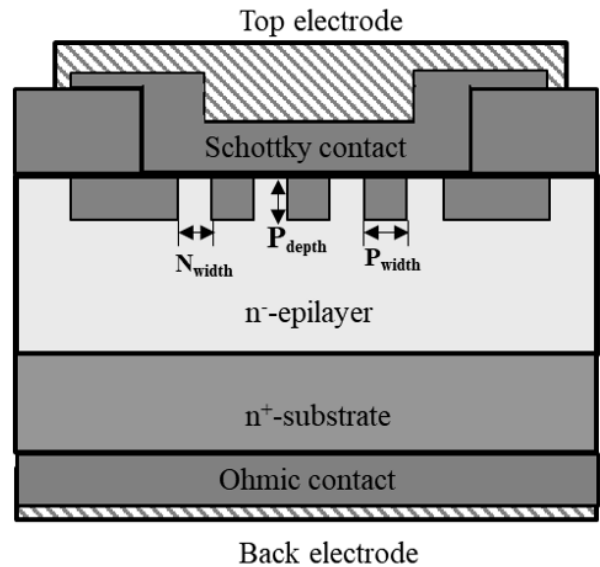


Fig. 1. A schematic cross section of the 4H-SiC MPS device.

그림 1. 4H-SiC MPS 소자의 단면도

Table 1. Structure parameters of the MPS devices.

표 1. MPS 소자들의 구조 파라미터

Parameters	Devices	A	B	C	D
Metallization annealing ( $^{\circ}\text{C}$ )		500		600	
Depth of P+ region ( $\mu\text{m}$ )		0.5			
Width of P+ region ( $\mu\text{m}$ )		2	1	2	1
Width of N-type region ( $\mu\text{m}$ )		2	3	2	3

### III. 결과 및 고찰

#### 1. 전기적 특성

그림 2는 MPS device A, B, C 그리고 D에 대한 순방향과 역방향에 대한 그래프이다. 순방향 특성의 그래프인 그림 2(a)에서 각 소자들 모두 우수한 온 특성을 확인할 수 있으며, P+ 영역의 길이가 2  $\mu\text{m}$ 로 비교적 큰 device A와 C의 turn-on voltage가 높다. 그림 2(b)는 역방향 특성의 그래프로 Keithley 2600으로 0~-1000 V까지 측정하였다. -400 V 이후 n-type 영역이 작은 device A와 C의 전류는  $\sim 1 \times 10^{-9}$  A로 device B와 D보다 10배 낮다. 낮은 누설 전류는 P+ 영역이 큰 소자들은 n-type 영역의 공간이 상대적으로 좁게 형성되어 있어, Schottky 접점의 전기장이 낮아지는 것과 관련이 있을 수 있다[9, 10].

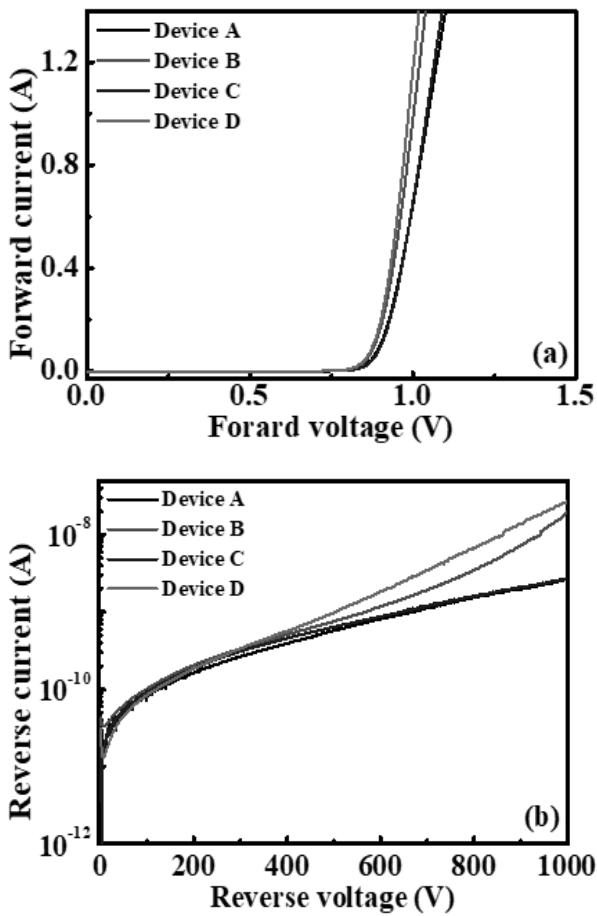


Fig. 2. I-V characteristics of four devices (a) forward characteristics, and (b) reverse characteristics.  
 그림 2. 소자들의 전류-전압 특성 (a) 순방향 (b) 역방향 특성

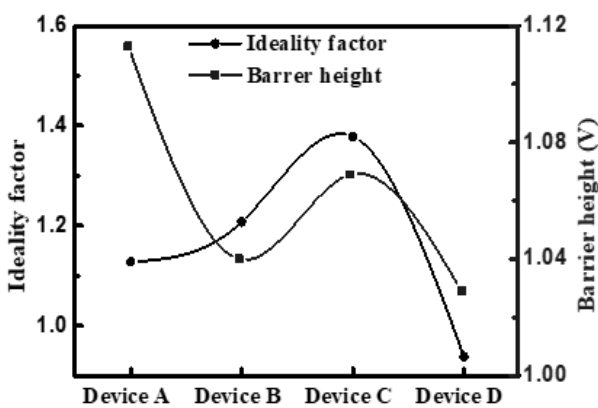


Fig. 3. The ideality factor and barrier heights of the four devices.  
 그림 3. 소자들의 이상계수와 barrier height 특성

그림 3은 선형화된 전류-전압 그래프를 통해 추출된 이상계수와 전위 장벽을 나타낸 그래프이다. 정류 특성 확인을 위해, 열전자 방출 방정식을 적용하여 설명된다 [11].

$$I = I_s [\exp(\frac{qV_D}{\eta k_B T}) - 1] \tag{1}$$

이때  $q$ 는 전하량,  $V_D$ 는 applied voltage,  $k_B$ 는 볼츠만 상수,  $T$ 는 절대온도,  $\eta$ 는 이상계수, 그리고  $I_s$ 는 saturation current로 다음과 같이 표현될 수 있다[12].

$$I_s = AA^{**} T^2 \exp(-\frac{q\Phi_B}{k_B T}) \tag{2}$$

$A$ 는 contact area ( $= 0.034 \text{ cm}^2$ ),  $A^{**}$ 는 Richardson 상수 ( $= 146 \text{ A}\cdot\text{cm}^{-2}\text{K}^{-2}$ )[13] 그리고  $\Phi_B (= \Phi_{B(I-V)})$ 는 전위 장벽이다.

4개의 소자들의 이상계수는 1.128, 1.208, 1.379 그리고 0.938 이다. 그리고 전위 장벽은 600 °C 열처리된 device C와 D가 500 °C 열처리된 device A, B 보다 1~3 % 더 낮으며, P<sup>+</sup> region width가 클수록 더 감소한다. 이는 PN 접합이 더 넓게 형성되어 공핍층의 영향을 받은 것과 관련이 있다[14]. 또한 metallization annealing condition에 의해서도 전위 장벽이 변조된다는 것을 보여준다. 장벽의 높이는 온도가 증가 할수록 감소하며, 이는 금속-반도체사이의 Schottky 접합 계면에서의 결정 방향 개선과 공정 이후 의도치 않은 오염 물질의 감소에 기인 할 수 있다[15-17].

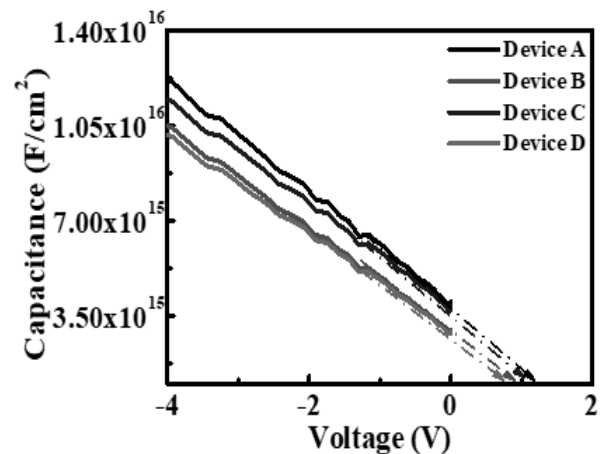


Fig. 4. Typical capacitance-voltage characteristics of the four devices.  
 그림 4. 소자들의 커패시턴스 특성

소자들의 C-V(Capacitance -V) 측정은 50 kHz의 주파수에서 수행되어졌다. 그 결과인  $(A^2/C^2) - V$  profile 은 그림 4에 나와 있다. 아래의 식(3), [18]에서 built in voltage를 얻을 수 있다.

$$\frac{1}{C^2} = 2(V_{bi} - \frac{kT}{q} - V) / (A^2 q N_D \epsilon_s \epsilon_0) \quad (3)$$

$V_{bi}$ 는 built in voltage,  $V$ 는 applied voltage, 그리고  $\epsilon_s (= 9.7)$ [9]는 n-type 4H-SiC의 유전상수 그리고  $N_D (= \sim 1 \times 10^{16} \text{ cm}^{-3})$ 는 SiC의 캐리어 농도이다. 소자들의 전위 장벽은 built in voltage와의 관계식을 통해 결정되어진다[19].

$$\Phi_{B(C-V)} = V_{bi} + k_B \ln\left(\frac{N_C}{N_D}\right) \quad (4)$$

이때  $\Phi_{B(C-V)}$  CV를 통해 얻어진 전위 장벽이며,  $N_C = 2\left(\frac{2\pi m k_B T}{h^2}\right)^{3/2}$ 는 전도대의 유효 상태 밀도 함수이다. 네 소자에서 추론된  $V_{bi}$ 인 1.193, 0.914, 1.978 그리고 0.767 V로 각각의 전위 장벽은 1.442, 1.105, 1.268 그리고 0.959 이다. MPS device들의 전위 장벽은 device A, C, B 그리고 D 순의 크기를 가지며, 이 수치는 IV에서 추출된 값과 경향성은 비슷한 것을 표 2에서 확인할 수 있다. 그리고 추출된 전위 장벽의 수차 차이는 IV와 CV의 측정 방법의 차이나 metal과 반도체 사이의 interface layer 혹은 trap state들에 의해 기인할 수 있다[20, 21].

Table 2. Summary of the electrical parameters calculated from I-V and C-V characteristics for de-vices.

표 2. I-V, C-V에서 추출된 전기적 특성 파라미터 요약

Device	I-V		C-V
	Ideality factor	Barrier height (V)	Barrier height (V)
Device A	1.128	1.113	1.442
Device B	1.208	1.040	1.105
Device C	1.379	1.069	1.268
Device D	0.958	1.029	0.959

## 2. 깊은 준위 결함 특성

그림 5는 네 개의 MPS 소자들에 대한 200~600 K에서 관찰된 DLTS spectra이다. DLTS spectra는 capacitance transient를 측정하여 도출하였으며, 약 300과 400 K에서 두드러진 peak가 나타난다. 이들은 전위 장벽 높이에 따라 뚜렷하게 증가한다. 또한 각 peak들에 해당되는 결함은  $Z_{1/2}$ 와  $RD_{1/2}$  trap 관련 있을 수 있다[6].  $Z_{1/2}$  결함은 4H-SiC의 carbon vacancy와 관련된 intrinsic defect으로 as-grown 혹은 이온 주입 공정한 SiC에서

관찰된다[22]. 그리고  $RD_{1/2}$  defect은 충분히 높은 이온 주입 dose에서 발생 할 수 있는 깊은 준위 결함이다[23, 24].

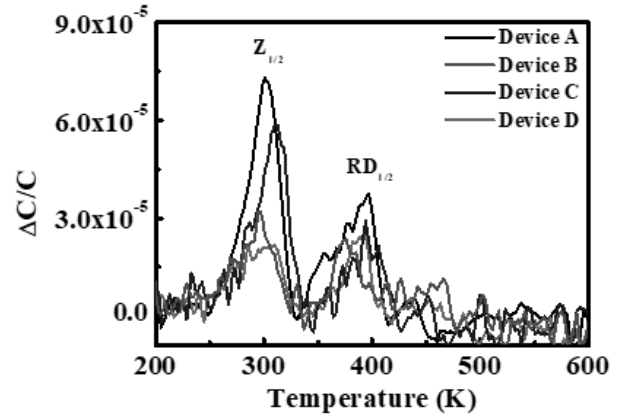


Fig. 5. DLTS spectra of the device A, B, C, and D. 그림 5. 소자 A, B, C 그리고 D의 DLTS spectra

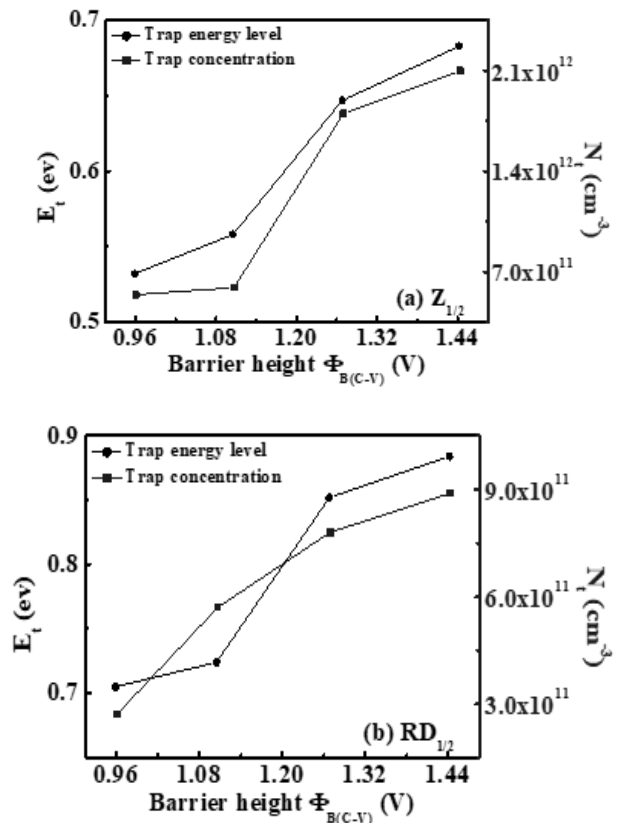


Fig. 6. Trap energy level and trap concentration versus Schottky barrier height for devices. 그림 6. Schottky barrier height에 따른 트랩의 에너지 준위와 농도

서로 다른 전위 장벽을 가지는 MPS 소자들의 trap 정보는 아래의 Arrhenius 식[25]을 통해 parameter들을 추출할 수 있다.

$$\ln\left(\frac{T^2}{e_n}\right) = \left(-\frac{E_F - E_t}{kT}\right) - \ln(\sigma_n v_{thn}) \quad (5)$$

$e_n$ 은 전자의 방출 속도,  $E_F$ 는 fermi level,  $E_t$ 은 trap level,  $k$ 는 볼츠만 상수,  $\sigma_n$ 는 전자의 capture cross section, 그리고  $v_{thn}$ 는 전자의 열 속도이다. 이 식으로 결함의 에너지 준위와 농도를 추출할 수 있으며, 표 3에 얻어진 값들을 정리하고 전위 장벽과 도출된 각 trap parameter들을 그림 6에 나타냈다. 관찰된  $Z_{1/2}$ 와  $RD_{1/2}$  각 점결함은 전위 장벽이 낮아질수록 결함의 에너지 준위와 농도도 줄어드는 것을 확인할 수 있다. 특히, 결함의 에너지 준위의 경우 보고된 에너지 준위인  $Z_{1/2}$ (~0.7 eV)[7, 23]과  $RD_{1/2}$ (~0.8 eV)[24, 26] 보다 22~28% 정도 더 낮은 준위에서 관찰된다. 또한 결함 농도는 전위 장벽 감소에 따라 최대 10배 감소하는데 이는 식(6)으로 설명된다[25].

$$N_t = 2 \frac{\Delta C}{C} \quad (6)$$

$N_t$ 는 결함의 농도  $\frac{\Delta C}{C}$ 는 DLTS spectra에서 관찰되는 peak 크기이다. 이 식에 근거하여, 그림 5에서 장벽 높이가 가장 큰 device A는 높은 농도를 가진다. 즉 공간 전하 영역에서 결함의 에너지 깊이와 농도를 검출하는 DLTS는 Schottky barrier height의 높이 편차에 의해 점결함의 깊이 및 농도가 변조되는 것을 알 수 있다 [26].

Table 3. Parameters of deep level traps were revealed in four devices by DLTS measurements.

표 3. DLTS 측정에서 추출된 결함의 준위와 농도 요약

Trap	$Z_{1/2}$		$RD_{1/2}$	
	$E_t$ (eV)	$N_t$ (cm <sup>-3</sup> )	$E_t$ (eV)	$N_t$ (cm <sup>-3</sup> )
Device A	0.683	$2.1 \times 10^{12}$	0.884	$8.9 \times 10^{11}$
Device B	0.558	$5.9 \times 10^{11}$	0.724	$5.7 \times 10^{11}$
Device C	0.647	$1.8 \times 10^{12}$	0.852	$7.8 \times 10^{11}$
Device D	0.532	$5.4 \times 10^{11}$	0.705	$2.7 \times 10^{11}$

### III. 결론

본 연구에서는 전위 장벽이 서로 다른 MPS 다이오드들의 전기적 및 깊은 준위 결함 특성에 대해 비교 분석했다. 네 가지 다이오드들은 IV와 CV 측정을 통해, 전위

장벽을 추출하여 장벽의 높이 변조에 의한 결함을 DLTS 측정으로 분석하였다. 고전압 측정에서는 전위 장벽이 상대적으로 작은 device B와 D가  $\sim 10^{-9}$  A로 높은 누설 전류를 가지는 것을 확인할 수 있다. 또한 MPS 다이오드들에서 지배적인 두 가지 결함이 관찰되었으며, 이는 4H-SiC에서 보고된 고유한 결함인  $Z_{1/2}$ 와 이온주입 공정에 의한 의도치 않는 결함인  $RD_{1/2}$ 이다. 그리고 측정된 DLTS spectra peak는 전위 장벽에 따라 측정되는 높이가 달랐으며, 장벽 높이에 따른 관찰되는 결함의 준위와 농도는 최대 28%까지 변조된다. 이는 DLTS 측정 시, 조사되는 결함은 Schottky barrier height에 의존될 수 있다는 것을 확인할 수 있었다. 나아가 작은 전위 장벽은 점결함의 측정 및 분석과 관련해서는 잘못된 결과를 초래할 수 있기에 적어도 동일한 Schottky barrier height에서 조사되어야 한다.

### References

- [1] Baliga, B. J. "Gallium nitride and silicon carbide power devices," *World Scientific Publishing Company*. 2016. DOI: 10.1142/10027
- [2] Shur, M. "Wide band gap semiconductor technology: State-of-the-art," *Solid-State Electronics*, Vol.155, pp.65-75. 2019. DOI: 10.1016/j.sse.2019.03.020
- [3] Pan, Y., Tian, L., Wu, H., Li, Y., & Yang, F. "3.3 kV 4H-SiC JBS diodes with single-zone JTE termination," *Microelectronic Engineering*, Vol.181, pp.10-15. 2017. DOI: 10.1016/j.mee.2017.05.054
- [4] Liu, L., Wu, J., Ren, N., Guo, Q., & Sheng, K. "1200-V 4H-SiC merged pin Schottky diodes with high avalanche capability," *IEEE Transactions on Electron Devices*, Vol.67, No.9, pp.3679-3684, 2020. DOI: 10.1109/TED.2020.3007136
- [5] Sharma, R. K., Hazdra, P., & Popelka, S. "The effect of light ion irradiation on 4H-SiC MPS power diode characteristics Experiment and simulation," *IEEE Transactions on Nuclear Science*, Vol.62, No.2, pp.534-541, 2015. DOI: 10.1109/TNS.2015.2395712
- [6] Son, W. Y., Shin, M. C., Schweitz, M., Lee, S. K., & Koo, S. M. "Al Im-plantation and Post Annealing Effects in n-Type 4H-SiC," *Journal of*

- Nanoelectron-ics and Optoelectronics*, Vol.15, No.7, pp.777-782, 2020.  
DOI: 10.1166/jno.2020.2818
- [7] Sasaki, S., Kawahara, K., Feng, G., Alfieri, G., & Kimoto, T. "Major deep levels with the same microstructures observed in n-type 4H-SiC and 6H-SiC," *Journal of Applied Physics*, Vol.109, No.1, pp.013705. 2011. DOI: 10.1063/1.3528124
- [8] Kawahara, K., Suda, J., Pensl, G., & Kimoto, T. "Reduction of deep levels generated by ion implantation into n-and p-type 4H-SiC," *Journal of Applied Physics*, Vol.108, No.3, pp.033706. 2010. DOI: 10.1063/1.3456159
- [9] Jiang, Y., Sung, W., Song, X., Ke, H., Liu, S., Baliga, B. J., ... & Van Brunt, E. "10kV SiC MPS diodes for high temperature applications." *In 2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD) IEEE*. pp.43-46, 2016. DOI: 10.1109/ISPSD.2016.7520773
- [10] Pérez-Tomás, A., Brosselard, P., Hassan, J., Jorda, X., Godignon, P., Placidi, M., ... & Bergman, J. P. "Schottky versus bipolar 3.3 kV SiC diodes," *Semiconductor Science and Technology*, Vol.23, No.12, pp.125004, 2008.  
DOI: 10.1088/0268-1242/23/12/125004
- [11] Cheung, S. K., & Cheung, N. W. "Extraction of Schottky diode parameters from forward current-voltage characteristics," *Applied physics letters*, Vol.49, No.2, pp.85-87. 1986.  
DOI: 10.1063/1.97359
- [12] Padovani FA, Stratton R. Field and "Thermionic-field emission in Schottky Barriers," *Solid-State Electron*, Vol.9, No.7, pp.695-707, 1966.  
DOI: 10.1142/9789814503464\_0053
- [13] Roccaforte F, La Via F, Raineri V, Pierobon R, Zanoni E. "Richardson's constant in inhomogeneous silicon carbide Schottky contacts," *J Appl Phys*, Vol.93, No.11, pp.9137-44, 2003.  
DOI: 10.1063/1.1573750
- [14] Lee, Y. J., Cho, S., Seo, J. H., Min, S. J., An, J. I., Oh, J. M., ... & Lee, D. "Electrical Characteristics of 4H-SiC Junction Barrier Schottky Diode," *Journal of the Korean Institute of Electrical and Electronic Material Engineers*, Vol.31, No.6, pp. 367-371, 2018. DOI: 10.4313/JKEM.2018.31.6.367
- [15] Bellocchi, G., Vivona, M., Bongiorno, C., Badalà, P., Bassi, A., Rascuna, S., & Roccaforte, F. "Barrier height tuning in Ti/4H-SiC Schottky diodes," *Solid-State Electronics*, Vol.186, pp.108042, 2021. DOI: 10.1016/j.sse.2021.108042
- [16] Kyoung, S., Jung, E. S., & Sung, M. Y. "Post-annealing processes to improve inhomogeneity of Schottky barrier height in Ti/Al 4H-SiC Schottky barrier diode," *Microelectronic Engineering*, Vol.154, pp.69-73, 2016. DOI: 10.1016/j.mee.2016.01.013
- [17] Pascu, R., Craciunoiu, F., Kusko, M., Draghici, F., Dinescu, A., & Danila, M. "The effect of the post-metallization annealing of Ni/n-type 4H-SiC Schottky contact," *In CAS 2012 (International Semiconductor Conference) Vol.2*, pp.457-460, 2012. DOI: 10.1109/SMICND.2012.6400732
- [18] Skromme, B. J., Luckowski, E., Moore, K., Bhatnagar, M., Weitzel, C. E., Ge-hoski, T., & Ganser, D. "Electrical characteristics of Schottky barriers on 4H-SiC: The effects of barrier height nonuniformity," *Journal of Electronic Materials*, Vol.29, No.3, pp.376-383. 2000.  
DOI: 10.1007/s11664-000-0081-9
- [19] Cabello, M., Soler, V., Rius, G., Montserrat, J., Rebollo, J., & Godignon, P. "Advanced processing for mobility improvement in 4H-SiC MOSFETs," *A review. Materials Science in Semiconductor Processing*, Vol.78, pp.22-31. 2018.  
DOI: 10.1016/j.mssp.2017.10.030
- [20] R. T. Tung, "Electron transport at metal-semiconductor interfaces: general theory," *Phys. Rev. B* Vol.45, pp.13509, 1992.  
DOI: 10.1103/PhysRevB.45.13509
- [21] Yakuphanoglu, F., & Şenkal, B. F. "Electronic and thermoelectric properties of polyaniline organic semiconductor and electrical characterization of Al/PANI MIS diode," *The Journal of Physical Chemistry C*, Vol.111, No.4, pp.1840-1846, 2007.  
DOI: 10.1021/jp0653050
- [22] Dąbrowska-Szata, M., Sochacki, M., & Szmiedt, J. "Characterization of deep electron traps in

4H-SiC Junction Barrier Schottky rectifiers,” *Solid-State Electronics*, Vol.94, pp.56-60, 2014.

DOI: 10.1016/j.sse.2014.02.008

[23] Kawahara, K., Alfieri, G., & Kimoto, T. “Detection and depth analyses of deep levels generated by ion implantation in n-and p-type 4 H-SiC,” *Journal of Applied Physics*, Vol.106, No.1, pp.013719. 2009. DOI: 10.1063/1.3159901

[24] Dalibor, T., Pensl, G., Matsunami, H., Kimoto, T., Choyke, W. J., Schöner, A., & Nordell, N. “Deep defect centers in silicon carbide monitored with deep level transient spectroscopy,” *physica status solidi (a)*, Vol.162, No.1, pp.199-225. 1997. DOI: 10.7471/ikeee.2022.26.1.50

[25] Kvamsdal, K. E. “Carbon vacancy engineering in p+ n 4H-SiC diodes by thermal processing,” Master’s thesis, 2019.

[26] Reshanov, S. A., Pensl, G., Danno, K., Kimoto, T., Hishiki, S., Ohshima, T., ... & Choyke, W. J. “Effect of the Schottky barrier height on the detection of midgap levels in 4 H-SiC by deep level transient spectroscopy,” *Journal of Applied Physics*, Vol.102, No.11, pp.113702, 2007.

DOI: 10.1063/1.2818050

## BIOGRAPHY

### Dong-Wook Byun (Member)



2021 : BS degree in Dept. of Electronic Materials Engineering, Kwangwoon University.  
2021~current : MS degree in Dept. of Electronic Materials Engineering, Kwangwoon University.

### Hyung-Jin Lee (Member)



2021 : BS degree in Dept. of energy IT Engineering, Far East University.  
2021~current : MS course in Dept. of Electronic Materials Engineering, Kwangwoon University

### Hee-Jae Lee (Member)



2021 : BS degree in Dept. of Electronic Materials Engineering, Kwangwoon University.  
2021~current : MS degree in Dept. of Electronic Materials Engineering, Kwangwoon University.

### Geon-Hee Lee (Member)



2019 : BS degree in Dept. of Photovoltaic Engineering, Far East University.  
2021 : MS degree in Dept of Energy IT, Far East University.  
2021~current : PhD course in Dept. of Electronic Materials Engineering, Kwangwoon University

2021 : Visiting Researcher, RISE, Kista, Stockholm, Sweden

### Myeong-Cheol Shin (Member)



2014 : BS degree in Dept. of Photovoltaic Engineering, Far East University.  
2019 : MS degree in Dept of Energy Semiconductor Engineering, Far East University.  
2019~current : PhD candidate in Dept. of Electronic Materials Engineering, Kwangwoon University

### Sang-Mo Koo (Member)



1993 : BS degree in Electrical Engineering, Korea University.  
1997 : MS degree in Engineering Material Physics, KTH - The Royal Institute of Technology.  
2003 : PhD degree in Electronics, KTH-The Royal Institute of Technology.

1999 : Visiting Researcher, MIT, Cambridge, MA, USA  
2003~2006 : Researcher, Semiconductor Electronics Division, National Institute of Standards and Technology (NIST), MD, USA  
2006~2011 : Assistant Professor Kwangwoon University  
2014~current : Full Professor, Kwangwoon University  
2017~current : Director, Wide Bandgap Semiconductor Reserach Center