

# 엔트로피 필터 구현에 대한 Hardware Architecture

## Hardware Architecture for Entropy Filter Implementation

심 휘 보 \*, 강 봉 순\*\*

Hwi-Bo Sim\*, Bong-Soon Kang\*\*

### Abstract

The concept of information entropy has been widely applied in various fields. Recently, in the field of image processing, many technologies applying the concept of information entropy have been developed. As the importance and demand of computer vision technologies increase in modern industry, real-time processing must be possible in order for image processing technologies to be efficiently applied to modern industries. Extracting the entropy value of an image is difficult to process in real-time due to the complexity of computation in software, and a hardware structure of an image entropy filter capable of real-time processing has never been proposed. In this paper, we propose for the first time a hardware structure of a histogram-based entropy filter that can be processed in real time using a barrel shifter. The proposed hardware was designed using Verilog HDL, and Xilinx's xczu7ev-2ffvc1156 was set as the target device and FPGA was implemented. As a result of logic synthesis using the Xilinx Vivado program, it has a maximum operating frequency of 750.751 MHz in a 4K UHD high-resolution environment, and it processes more than 30 images per second and satisfies the real-time processing standard.

### 요 약

정보 엔트로피의 개념은 다양한 분야에서 폭넓게 응용되고 있다. 최근 영상처리 분야에서도 정보 엔트로피 개념을 응용한 기술들이 많이 개발되고 있다. 현대 산업에서 컴퓨터 비전 기술들의 중요성과 수요가 증가함에 따라, 영상처리 기술들이 현대 산업에 효율적으로 적용되기 위해서는 실시간 처리가 가능해야 한다. 영상의 엔트로피 값을 추출하는 것은 소프트웨어로는 계산량이 복잡해 실시간 처리가 어려우며 실시간 처리가 가능한 영상 엔트로피 필터의 하드웨어 구조는 제안된 적이 없다. 본 논문에서는 barrel shifter를 사용하여 실시간 처리가 가능한 히스토그램 기반 엔트로피 필터의 하드웨어 구조를 제안한다. 제안한 하드웨어는 Verilog HDL을 이용하여 설계하였고, Xilinx사의 xczu7ev-2ffvc1156을 Target device로 설정하여 FPGA 구현하였다. Xilinx Vivado 프로그램을 이용한 논리합성 결과 4K UHD의 고해상도 환경에서 최대 동작 주파수 750.751MHz를 가지며, 1초에 30장 이상의 영상을 처리하며 실시간 처리 기준을 만족함을 보인다.

*Key words : Entropy Filter, Histogram, Barrel Shifter, 4K UHD, Real time processing, Hardware implementation*

---

\* Dept. of Electronics Engineering, Dong-A University

★ Corresponding author

E-mail : bongsoon@dau.ac.kr, Tel : +82-51-200-7703

※ Acknowledgment

This paper was supported by research funds from Dong-AUniversity.

Manuscript received May. 16, 2022; revised Jun. 16, 2022; accepted June. 21, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

정보이론에서 엔트로피는 특정 확률변수의 값을 알게 되었을 때 얻을 수 있는 정보량의 평균을 의미한다. 이러한 정보 엔트로피 개념은 우주, 의학, 지질학, 생물학, 천문학, 공학 등과 같은 다양한 분야에서 폭넓게 응용되고 있다[1]-[4]. 특히 영상처리 분야에서 엔트로피를 응용하여 영상의 중요 정보인 영상의 에지 검출에 효과적인 방법으로 사용된다[5]. 이로 인해 영상처리 분야에서 엔트로피를 응용한 기술들이 많이 개발되고 있다[6]-[9]. 이처럼 현대 산업에서 컴퓨터 비전 기술들의 중요성과 수요가 증가함에 따라, 영상처리 기술들이 현대 산업에 효율적으로 적용되기 위해서는 실시간 처리가 가능해야 하는 것은 필수적이다. 하지만 엔트로피를 응용한 영상처리 기술들은 소프트웨어로 실시간 처리가 어렵다[10]. 이러한 엔트로피 응용 기술들을 실시간 처리하기 위해서는 전용 하드웨어가 필요하다. 그리고 실시간 처리가 가능한 영상 엔트로피 필터의 하드웨어 구조는 제안된 적 없다.

본 논문에서는 실시간 처리가 가능한 최초의 엔트로피 필터 하드웨어 구조를 제안한다. 필터의 성능은 윈도우 크기가 클수록 성능이 좋으므로 제안하는 하드웨어 구조는 barrel shifter를 사용하여 히스토그램 기반 필터링 처리 방식으로 구현하였다. 히스토그램 기반 필터링 처리 방식은 윈도우 크기가 커져도 Buffer Register의 수만 증가시키면 되기 때문에, 하드웨어 크기에 영향을 많이 미치지 않는 방식이므로 윈도우 크기가 큰 필터 설계에 적합한 방식이다[11]-[12].

제안한 하드웨어는 Verilog HDL을 이용하여 설계하였고, Xilinx사의 xczu7ev-2ffvc1156을 Target device로 설정하여 FPGA 구현하였다. Xilinx Vivado 프로그램을 이용한 논리합성 결과 4K UHD의 고해상도 환경에서 최대 동작 주파수 750.751MHz를 가지며, 1초에 30장 이상의 영상을 처리하며 실시간 처리 기준을 만족한다.

본 논문의 구성은 다음과 같다. II장에서는 영상 엔트로피에 대한 설명, III장에서는 제안하는 barrel shifter를 사용한 히스토그램 기반 엔트로피 필터의 하드웨어 구조에 대한 소개, IV장에서는 Xilinx 사의 Vivado 프로그램을 통해 제안한 설계의 합성 결과를 제시하여 실시간 처리 가능성을 보인다. 마지막으로 결론에서 논문을 마무리한다.

II. 영상 엔트로피

정보이론에서 엔트로피는 특정 확률변수의 값을 알게 되었을 때 얻을 수 있는 정보량의 평균을 의미한다. 수식 (1)은 이산 랜덤변수  $X$ 의 샘플 공간이  $\{x_1, x_2, \dots, x_n\}$ 이라고 할 때 엔트로피의 수식이다.

$$H_x = - \sum_{i=0}^n p(x_i) \log_b p(x_i) \tag{1}$$

수식 (1)에서  $H_x$ 는 엔트로피,  $p(x_i)$ 는  $x_i$ 라는 사건이 일어날 확률,  $\log_b p(x_i)$ 는 정보량을 의미한다. 로그의 밑  $b$ 는 응용 분야에 따라 다르게 쓸 수 있으며, 2, e, 10 중 무엇인지에 따라 엔트로피의 단위는 각각 bit, nit, dit로 분류된다. 엔트로피 값은 모든 경우의 수의 확률이 균등할수록 큰 값을 가지고, 확률 밀도가 특정 경우의 수에 몰려있으면 작은 값을 가진다.

영상처리에서 엔트로피는 영상의 각 픽셀 위치를 중심으로 주변 픽셀 정보를 획득하여 영상 내 픽셀 강도들의 변화성을 측정한다. 영상 엔트로피값을 구하기 위해 식 (1)을 응용한다. 식(2)는 영상 엔트로피 수식이다.

$$H_{x,y} = - \sum_{\Omega} \sum_{i=0}^{255} p(x_i) \log_2 p(x_i) \tag{2}$$

$\Omega$ 는 참조할 주변 픽셀 데이터(필터 크기)를 의미한다. 또한, 픽셀 강도는 0~255의 값을 사용하므로  $n$ 을 255로 설정하고, 로그의 밑  $b$ 는 컴퓨터 비전 기반이므로 bit 단위를 사용하기 위해 2로 설정한다. 영상 엔트로피 값을 구하는 과정 및 특징은  $3 \times 3$  사이즈를 가지는 두 개의 임의의 영상을 비교하여 설명한다.

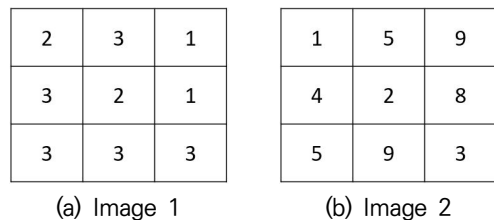


Fig. 1. Two Sample Images.  
그림 1. 두 개의 임의의 영상

Table 1. Sorted Pixel Information.

Image	Sorted Pixel Information
Image 1	1, 1, 2, 2, 2, 3, 3, 3, 3
Image 2	1, 2, 3, 4, 5, 5, 8, 9, 9

Table 2. Probability Distribution of Image1, 2.

표 2. 영상 1, 2의 확률 분포

Probability Distribution		1	2	3	4	5	8	9
Image1	Frequency	2	3	4	0	0	0	0
	Probability	2/9	1/3	4/9	0	0	0	0
Image2	Frequency	2	3	4	1	2	1	2
	Probability	2/9	1/3	4/9	1/9	2/9	1/9	2/9

Fig. 1은 3×3 크기를 가지는 두 개의 임의의 영상, Table 1은 Image 1, 2의 픽셀값들을 정렬한 표, Table 2는 Image 1, 2의 정렬한 픽셀값들을 이용하여 Image 1, 2의 확률 분포를 계산한 것이다.

$$2/9 * \log_2(9/2) + 1/3 * \log_2 3 + 4/9 * \log_2(9/4) = 1.53 \quad (3)$$

수식 (3)은 Table 2의 확률 분포를 이용하여 Image 1의 엔트로피를 계산한 식이다. 같은 방법으로 Image 2의 엔트로피 값을 구하면 2.73이 나온다. 이를 통해 영상 내 픽셀 강도들의 변화가 많을수록 엔트로피의 값이 크고, 변화가 적을수록 엔트로피의 값이 작다는 것을 확인할 수 있다. 이와 같은 엔트로피의 특성을 이용하여 예지 검출 알고리즘에 응용된다.

### III. 제안하는 하드웨어 구현

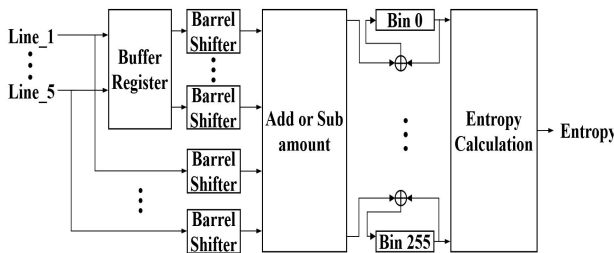


Fig. 2. Hardware architecture of Entropy filter based on histogram.

그림 2. 히스토그램 기반 엔트로피 필터의 하드웨어 구조

Fig. 2는 제안하는 엔트로피 필터의 하드웨어 구조이다. 본 논문에서는 엔트로피 필터 윈도우 크기는 5×5로 구현하였다. 필터의 윈도우 크기가 5×5, 픽셀 강도는 0~255를 사용하므로 4개의 8bit 라인 메모리 입력을 받는다. 윈도우 사이즈가 N이라고 할 때 영상 필터링 처리 시 필터의 윈도우 사이즈(N)에 따라 하드웨어 크기가 N<sup>2</sup>으로 커지기 때문에 윈도우 사이즈가 큰 필터의 하

드웨어 구현이 현실적으로 어렵다. 본 논문에서 제안하는 하드웨어 설계 방법은 Entropy 값을 계산하기 위해 히스토그램 방법을 적용하였다. 히스토그램 기반의 필터링 처리는 윈도우 크기가 커져도 Buffer Register의 수만 증가시키면 되므로 하드웨어 크기에 영향을 미치지 않는 장점이 있다.

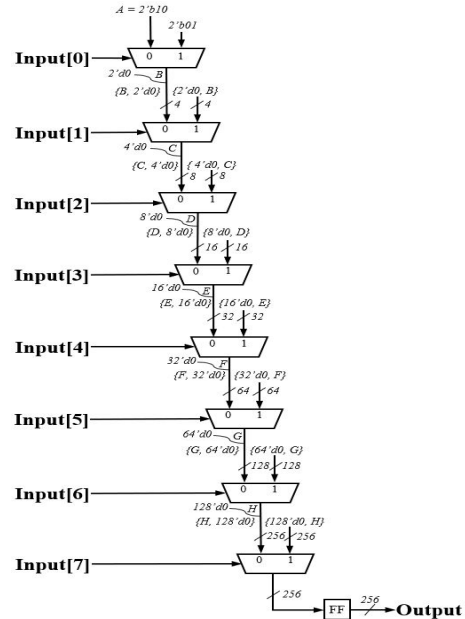


Fig. 3. Barrel Shifter's circuit.

그림 3. Barrel Shifter의 회로

Table 3. Barrel shifter contents.

표 3. Barrel shifter 내용

Pixel intensity	Contents
0	0×8000...000
1	0×4000...000
2	0×2000...000
3	0×1000...000
...	...
253	0×0000...004
254	0×0000...002
255	0×0000...001

Fig. 3은 Barrel shifter의 회로도이다. Barrel shifter는 8bit 입력을 수신하고 픽셀강도에 해당하는 256bit 신호를 출력한다. Table 3은 Barrel shifter의 픽셀강도 8bit 입력에 따른 출력 256bit 변환 내용을 정리한 표이다. Barrel shifter는 윈도우 내 픽셀강도에 따라 Bin 0~255에 히스토그램을 업데이트하기 위해 사용한다.

5 × 5 엔트로피 필터의 필터링 처리 구현하기 위해서 10개의 Barrel shifter가 사용된다. Buffer Register를 통과하지 않은 5개의 Barrel shifter는 윈도우 슬라이딩 시 새롭게 받아들이는 픽셀 강도에 대응하는 값들을 출력하고, Buffer Register를 통과하는 Barrel shifter는 윈도우로부터 빠져나가는 픽셀 강도에 대응하는 값들을 출력한다. Barrel shifter들의 출력들을 이용하여 윈도우 슬라이드 시 윈도우에 새롭게 들어오는 픽셀 강도의 빈도수는 더해주고, 나가는 픽셀 강도의 빈도수는 빼줌으로서 윈도우 내 각각의 픽셀 강도들의 빈도수를 256개의 Bin Register에 업데이트한다.

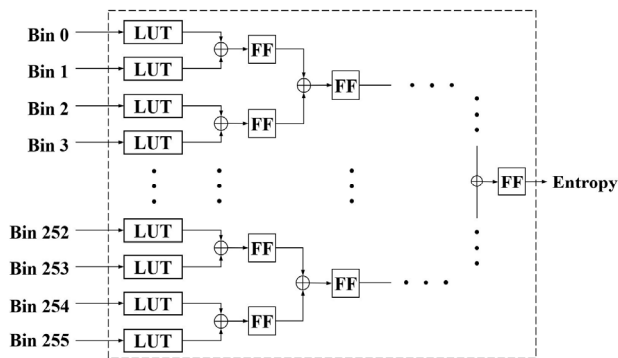


Fig. 4. Entropy Calculation's circuit.  
그림 4. Entropy Calculation의 회로

Table 4. Look Up Table's contents.

표 4. Look Up Table의 내용

Frequency	Contents
0	0
1	$-(1/25)\log_2(1/25)$
2	$-(2/25)\log_2(2/25)$
...	...
23	$-(23/25)\log_2(23/25)$
24	$-(24/25)\log_2(24/25)$
25	0

Fig. 4는 Entropy Calculation의 회로도이다. 256개의 Bin Register로부터 픽셀강도들의 빈도수를 입력으로 받아 엔트로피 값을 계산한다. Table 4는 Look Up Table(LUT)의 내용을 정리한 표이다. LUT는 픽셀강도의 빈도수에 따라 영상 엔트로피 수식 (2)의  $p(x_i)\log_2 p(x_i)$  값을 계산한 값을 출력한다. LUT의 출력 값들을 모두 더함으로서 수식(2)와 같이 엔트로피의 값이 계산된다.

#### IV. 구현 결과

본 논문에서 제안한 히스토그램 기반 엔트로피 필터 설계는 Verilog HDL로 작성하였고, 기능검증은 Matlab과 Modelsim을 통해 검증하였다. 그리고 FPGA(Filed Programmable Gate Array) 구현은 XILINX사의 zc7z045-ffg900 목표 보드를 사용하였다. Table 5는 5 × 5 윈도우를 사용하는 히스토그램 기반 엔트로피 필터의 합성 결과이다.

Table 5. Summary of Xilinx Synthetic Result.

표 5. Xilinx 합성 결과표

Xilinx Dessign Analyzer			
Device	xczu7ev-2ffvc1156		
CLB Logic Utilization	Available	Used	Utilization
CLB Register(#)	460,800	18,869	4.09%
CLB LUT(#)	230,400	16,512	7.17%
Minimum period(ns)	1.332		
Maximum Freq(MHz)	750.751		

\* The EDA tool was supported by the IC Design Education Center.

CLB Register와 CLB LUT의 수와 점유율은 각각 18,869(4.09%), 16,512(7.17%)이다. 그리고 하드웨어 동작의 minimum period는 1.332ns, maximum frequency는 750.751MHz이다. 하드웨어 구현에서 추가적인 수평 및 수직 공백을 고려하면 fps 단위의 최대 처리 속도(Maximum Processing Speed)는 수식 (4)를 사용하여 계산할 수 있다.

$$MPS = \frac{f_{max}}{(W+HB)(H+VB)} \quad (4)$$

여기서  $f_{max}$ 는 최대 동작 주파수,  $W$ 는 입력 영상 넓이,  $HB$ 는 수평 공백,  $H$  입력 영상 높이,  $VB$ 는 수직 공백을 의미한다. 본 연구에서 제안한 설계는  $HB, VB$ 가 하나씩 필요하였다. DCI 4K 영상 표준인  $4096 \times 2160$  영상을 처리하는데 필요한 클럭 사이클 수는  $8,853,617 (=4097 \times 2161)$ 이었고, 제안한 엔트로피 필터는 최대  $84.8fps (=750.751 \times 10^6 / 8,853,617)$ 를 처리할 수 있다. 이는 최소 25fps를 처리해야 하는 실시간 처리 기준을 충족한다.

## V. 결론

본 논문에서는 barrel shifter를 사용하여 실시간 처리가 가능한 엔트로피 필터를 하드웨어로 구현하였다. 제안하는 하드웨어 구조는 히스토그램 방식을 적용함으로써 윈도우 크기에 따라 하드웨어의 크기가 영향을 받지 않으므로 윈도우 크기가 큰 필터링을 할수록 적합한 구조이다. 하드웨어 설계는 Verilog HDL로 작성하였고 Xilinx사의 xcze7ev-2ffvc1156을 Target device로 FPGA 구현하였다. Xilinx사의 Vivado 프로그램을 통해 합성한 결과 CLB Register와 CLB LUT의 수와 점유율은 각각 18869(4.09%), 16512(7.17%)을 가지고, minimum period는 1.332ns, maximum frequency는 750.751 MHz를 가진다. 또한, MPS가 84.8fps이므로 실시간 처리가 가능함을 보인다.

## References

[1] T. Lan, Z. Cai and B. Ye, "Modeling of Lunar Digital Terrain Entropy and Terrain Entropy Distribution Model," in *IEEE Transactions on Geoscience and Remote Sensing*, vol.59, no.2, pp.1052-1066, 2021.  
DOI: 10.1109/TGRS.2020.2999582

[2] A. K. Singh, H. P. Singh and Karmeshu, "Analysis of Finite Buffer Queue: Maximum Entropy Probability Distribution With Shifted Fractional Geometric and Arithmetic Means," in *IEEE Communications Letters*, vol.19, no.2, pp.163-166, 2015. DOI: 10.1109/LCOMM.2014.2377236

[3] H. Li, W. Du, K. Fan, J. Ma, K. Ivanov and L. Wang, "The Effectiveness Assessment of Massage Therapy Using Entropy-Based EEG Features Among Lumbar Disc Herniation Patients Comparing With Healthy Controls," in *IEEE Access*, vol.8, pp.7758-7775, 2020.  
DOI: 10.1109/ACCESS.2020.2964050

[4] J. Prakash, S. Mandal, D. Razansky and V. Ntziachristos, "Maximum Entropy Based Non-Negative Optoacoustic Tomographic Image Reconstruction," in *IEEE Transactions on Biomedical Engineering*, vol.66, no.9, pp.2604-2616, 2019.

DOI: 10.1109/TBME.2019.2892842

[5] Baljit Singh, Amar Partap Singh, "Edge Detection in Gray Level Images based on the Shannon Entropy," *Journal of Computer Science*, Vol.4, No.3, pp.186-191, 2008.

DOI: 10.3844/jcssp.2008.186.191

[6] S. Sankaran and G. Sethumadhavan, "Entropy-Based Colour Splitting in Dermoscopy Images to Identify Internal Borders," *2018 International Conference on Inventive Research in Computing Applications (ICIRCA)*, pp.771-774, 2018.

DOI: 10.1109/ICIRCA.2018.8597177

[7] F. Hrzić, V. Jansky, D. Sušan, G. Gulan, I. Kožar and D. Ž. Jeričević, "Information entropy measures and clustering improve edge detection in medical X-ray images," *2018 41st International Convention on Information and Communication Technology, Electronics and Microelectronics (MIPRO)*, pp.0164-0166, 2018.

DOI: 10.23919/MIPRO.2018.8400032

[8] Y. Zou, J. Zhang, M. Upadhyay, S. Sun and T. Jiang, "Automatic Image Thresholding Based on Shannon Entropy Difference and Dynamic Synergic Entropy," in *IEEE Access*, vol.8, pp.171218-171239, 2020. DOI: 10.1109/ACCESS.2020.3024718

[9] G. Chen and B. Wen, "An Improved Image Entropy Algorithm Suitable for Digital Painting Style," *2020 5th International Conference on Mechanical, Control and Computer Engineering (ICMCCE)*, pp.1742-1746, 2020.

DOI: 10.1109/ICMCCE51767.2020.00382

[10] J. Zhang, Y. Liu and H. Xing, "Application of Improved 2-D Entropy Algorithm in Rubber Tree Image Segmentation," *2019 2nd International Conference on Safety Produce Informatization (IICSPI)*, pp.311-314, 2019.

DOI: 10.1109/IICSPI48186.2019.9096014

[11] S. A. Fahmy, P. Y. K. Cheung and W. Luk, "Novel FPGA-based implementation of median and weighted median filters for image processing," *International Conference on Field Programmable Logic and Applications*, pp.142-147, 2005.

DOI: 10.1109/FPL.2005.1515713

[12] S. M. Lee, and B. S. Kang, "Hardware Implementation of Minimum Filter based on 2-D Cumulative Histogram", *ISOCC*, pp.297-298, 2019.

---

## BIOGRAPHY

---

### Hwi-Bo Sim (Member)



2020 : BS degree in Electronic Engineering, Dong-A University.  
2020~ : MS degree in Electronic Engineering, Dong-A University.

### Bong-soon Kang (Member)



1985 : BS degree in Electronic Engineering, Yonsei University.  
1987 : MS degree in Electrical Engineering, University of Pennsylvania.  
1990 : Ph.D degree in Electrical Engineering, Drexel University.

1989~1999 : Senior Staff Researcher, Samsung Electronics.

1999~ : Prof. of Dept. Electronic Engineering, Dong-AUniversity.