

Feedback Voltage Detection 구조 및 향상된 과도응답 특성을 갖는 LDO regulator

LDO Regulator with Improved Transient Response Characteristics and Feedback Voltage Detection Structure

정 준 모^{*,★}

Jun-Mo Jung^{*,★}

Abstract

The feedback voltage detection structure is proposed to alleviate overshoot and undershoot caused by the removal of the existing external output capacitor. Conventional LDO regulators suffer from overshoot and undershoot caused by imbalances in the power supply voltage. Therefore, the proposed LDO is designed to have a more improved transient response to form a new control path while maintaining only the feedback path of the conventional LDO regulator. A new control path detects overshoot and undershoot events in the output stage. Accordingly, the operation speed of the pass element is improved by charging and discharging the current of the gate node of the pass element. LDO regulators with feedback voltage sensing architecture operate over an input voltage range of 3.3V to 4.5V and have a load current of up to 200mA at an output voltage of 3V. According to the simulation result, when the load current is 200mA, it is 73mV under the undershoot condition and 61mV under the overshoot condition.

요 약

피드백 전압 감지 구조는 기존 외부 출력 캐패시터의 제거로 인한 오버슈트 및 언더슈트 현상을 완화하기 위해 제안된다. 기존의 LDO 레귤레이터는 전원 공급 전압의 불균형으로 인해 발생하는 오버슈트 및 언더슈트를 겪는다. 따라서 제안된 LDO는 기존 LDO의 피드백 경로만 유지하면서 새로운 제어 경로를 형성하기 위해 보다 개선된 과도 응답을 갖도록 설계되었다. 새로운 제어 경로는 출력 단계에서 발생하는 오버슈트 및 언더슈트 현상을 감지한다. 이에, 패스 소자의 게이트 노드의 전류를 충방전함으로써 패스 소자의 동작 속도가 향상된다. 피드백 전압 감지 구조가 있는 LDO 레귤레이터는 3.3~4.5V의 입력 전압 범위에서 작동하며 3V의 출력 전압에서 최대 200mA의 부하 전류를 가집니다. 시뮬레이션 결과에 따르면 부하전류가 200mA일 때 언더슈트 조건에서는 73mV, 오버슈트 조건에서는 61mV이다.

Key words : LDO regulator, load transient response, load regulation, capacitor-less LDO regulator, line regulation

* Dept. of Electronic Engineering, SeoKyeong University

★ Corresponding author

E-mail : jjmo@skuniv.ac.kr, Tel : +82-2940-7732

※ Acknowledgment

This Research was supported by Seokyeong University in 2022.

Manuscript received Jun. 8, 2022; revised Jun. 20, 2022; accepted Jun. 27, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

최신 휴대용 기기의 소형화에 따라 전지의 크기 및 중량이 지속적으로 감소되고 있다. 그러나 많은 휴대용 장치는 여러 가지 고급 기능을 제공하므로 내부 시스템이 복잡해지고 다른 공급 전압이 필요합니다. 각 시스템에서 요구하는 전력에 따라 별도의 전압 조절기를 사용하면 결국 큰 면적을 차지하게 되어 휴대용 기기의 크기와 무게에 부정적인 영향을 미칠 수 있다. 따라서, 전력 관리 IC의 회로는 점점 더 중요해지고 있다. PMIC는 시스템의 전원을 분배하는 제어기능, 전력변환 등 기본기능 외에 전력공급 감시제어기능, 다양한 시스템 형태의 출력공급기능, 고효율 전력변환효율관리기능 등이 가능한 기술로 발전했다. PMIC가 단일 칩으로 작동한다는 점은 전력 조절 및 전달에 있어 에너지 효율을 개선하고 시스템 안정성 및 신뢰성을 향상시켜 적용 가능성을 확대했다. PMIC 기술은 또한 모든 장치를 하나의 칩으로 통합함으로써 얻어진 공간과 비용절감 기능으로 인하여 배터리 기반 휴대용 단말기의 핵심 부품으로 부상하여 각 애플리케이션에 필요한 전압을 개별적인 방법으로 해결할 필요가 없게 되었다. 갈수록 복잡해지는 모바일 애플리케이션에 더욱 많은 기능이 추가됨에 따라 고효율 전력 관리 IC의 통합이 증가할 것으로 예상된다. 다만, 고효율 전력관리 IC에서는 좁은 면적에서 많은 양의 전력이 축적되면 발열 문제가 발생할 수 있다. 이에 전력반도체의 전력손실을 최소화하고 효율을 향상시킬 수 있는 회로기술 개발이 필요하다. 기존의 LDO 레귤레이터는 LDO 레귤레이터의 과도 응답, 전원 공급 노이즈 감소 및 안정성을 개선하기 위해 필수적인 uF 범위의 외부 커패시터를

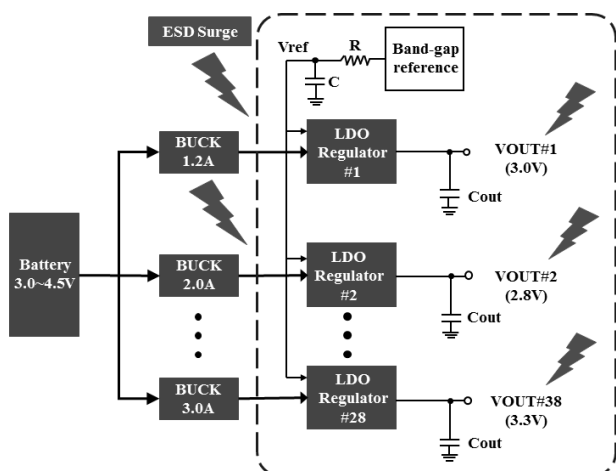


Fig. 1. PMIC (Power Management Integrated Circuit).
그림 1. PMIC 블록에 대한 설명

를 필요로 한다. 다만, 그림 1에 도시된 바와 같이, 외장형 커패시터는 IC 핀의 수를 증가시키고 인쇄회로기판(PCB)의 면적을 감소시키는 효과가 있다. 외부 커패시터가 없는 LDO 레귤레이터는 외부 연결과 칩의 많은 I/O 패드로 인해 PCB의 유효 면적, 패키지 크기 및 기생 커패시터의 저항을 줄일 수 있다. 그런데, 커패시터리스 LDO 레귤레이터는 출력 전압의 피크 전압이 증가하는 문제점이 있다. 자세히 설명하자면, LDO 레귤레이터는 낮은 전압, 노이즈 및 안정적인 출력 전압을 제공하는 데 사용되며, 레귤레이터는 다양한 블록 또는 SoC(System on Chip)의 부하에 대해 안정적인 전압을 제공하는 데만 사용됩니다. 본 연구는 이러한 문제를 해결하는 데 사용될 수 있는 피드백 전압 감지 구조를 제안한다. 이 구조는 효과적인 과도 응답 특성을 달성하기 위해 추가 전류 경로를 공급하고 제어한다.

II. 본론

1. Low Drop-Out 레귤레이터

그림 2와 같이, 기존의 LDO 레귤레이터의 블록도를 보여준다. LDO 레귤레이터는 부하전류 변화에 따라 출력 피크 전압 값이 증가하는 문제가 있었다. 피드백 전압 감지 구조를 포함하여 출력전압의 피크 값을 개선했다. 이 방식은 순간적인 부하전류에 변화로 인한 출력 전압 변화를 감지하여 피드백 전압 감지 구조에서 새로운 전류 경로를 제안하였다. 따라서 제안하는 LDO 레귤레이터는 출력 전압의 피크 전압을 효과적으로 개선할 수 있도록 설계되었다. 제안된 LDO 레귤레이터는 성능 향상을 위해 피드백 전압 감지 구조를 통하여 전류 경로를 이중으로 형성하여 출력 전압을 안정적으로 유지할 수 있도록 제안하였다. 그림 3과 같이, 제안된 LDO 레귤레

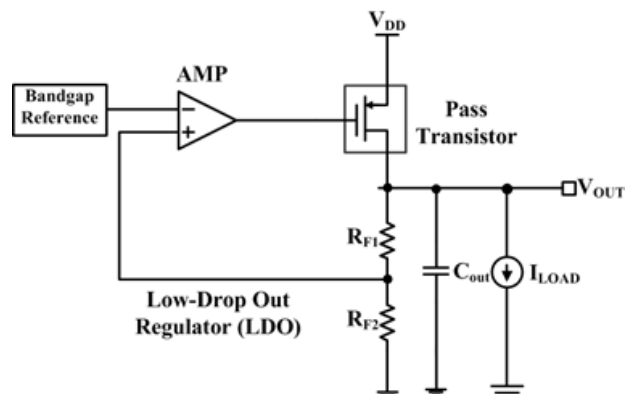


Fig. 2. Block of the LDO regulator.
그림 2. LDO regulator의 블록도

이터는 부하 전류를 제어할 수 있는 패스 트랜지스터, 온도에 무관한 전압 제공을 위한 밴드갭 전압, 기준 전압 및 피드백 전압의 차이를 비교하는 오차 증폭기, 피드백 전압 감지 구조를 포함한다[3-5].

2. 제안된 feedback voltage detection LDO 레귤레이터

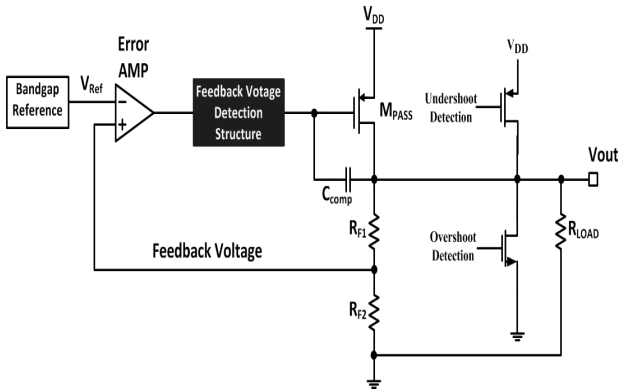


Fig. 3. the proposed LDO regulator.
그림 3. 제안된 LDO 레귤레이터

본 논문에서는 새로운 제어경로 형성을 수반하는 방법을 통해 외부 커패시터를 필요로 하지 않고 과도응답 특성이 향상된 커패시터리스 LDO를 설계하였다. 제안된 LDO 레귤레이터는 그림 3에 나타난 바와 같이 추가 피드백 전압의 변화를 감지하고 출력 전압을 안정적으로 제어하여 통과 소자의 게이트로 추가 전류가 공급 및 방전될 수 있는 구조를 갖는다. 입력 전압 범위는 3부터입니다. 3V 내지 4.5V이며, 출력 전압 범위는 입력 전압에 따라 3V에서 변화하는 특성을 나타낸다. 그림 4는 오버슈트 발생시 이동 경로를 개략적으로 나타낸 것이다. 부하전류가 급격히 감소하면 오차증폭기로부터의 출력전압에서 오버슈트가 발생하고, 피드백 전압 감지 구조가 동시에 작동하여 패스소자의 게이트를 통해 공급전류가 흐르게 된다. 동시에, 추가적인 전류가 출력단에서 방전되어 제안된 LDO 레귤레이터의 출력 단자를 안정되게 만들어준다. 그 결과, 과도 응답 특성이 향상될 수 있으며, 피드백 전압 감지 구조의 영향으로 피크 전압을 감소시킬 수 있다. 피드백 전압 감지 구조는 부하 전류의 변화에 따라 동작한다. 그림 5는 언더슈트 전압 발생 시 이동 경로를 나타낸 모식도이다. 부하전류의 급격한 증가는 오차증폭기로부터의 출력전압이 변화하게 되고, 피드백 전압 감지 구조는 출력단과 동시에 작동하여 패스 트랜지스터의 게이트전류가 접지로 흐를 수 있게 된다. 이와 동시에, 피드백 전압 감지 구조로 인해, 출력 단자는 제

안된 LDO 레귤레이터의 출력 단자에 추가 전류를 제공한다. 그 결과, 패스 트랜지스터의 게이트 커패시터가 빠르게 방전되어 과도 응답 특성이 향상되고, 피드백 전압 감지 구조의 영향으로 피크 전압이 감소될 수 있다. 그림 4, 5에 나타난 바와 같이, 피드백 전압의 변화에 따라서 출력단의 공급되는 전류 변화는 로우/하이 측면에서 확인할 수 있다. 피드백 전압 감지 구조 전압이 낮으면 LDO 레귤레이터의 출력전압이 감소하였음을 의미하며, 이는 패스 트랜지스터의 게이트 단자에 전류를 추가로 방전할 필요가 있음을 의미한다. 반대로 피드백 전압 감지 구조 전압이 높으면 LDO 레귤레이터의 출력 전압이 증가하였음을 의미하며, 패스 트랜지스터의 게이트 단자에 추가적인 전류 공급 경로를 형성해야 한다[6, 7, 8].

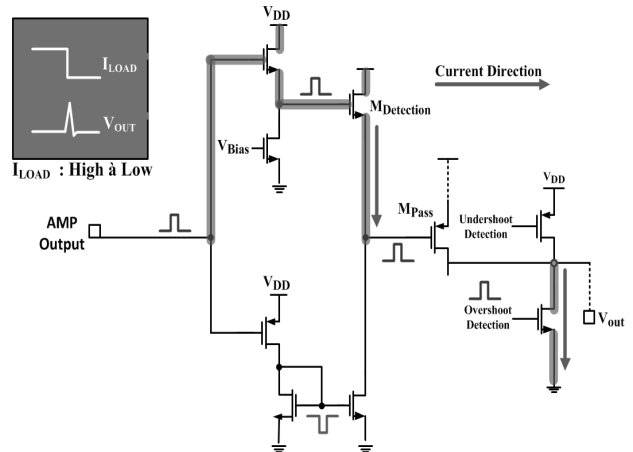


Fig. 4. feedback loop of proposed LDO regulator in overshoot situations.

그림 4. 오버슈트 상황 시 제안된 LDO 레귤레이터의 피드백 루프

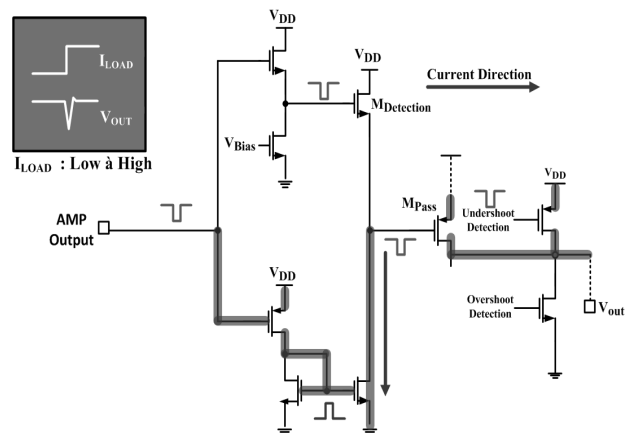


Fig. 5. feedback loop of proposed LDO regulator in undershoot situations.

그림 5. 언더슈트 상황 시 제안된 LDO 레귤레이터의 피드백 루프

3. 시뮬레이션 결과

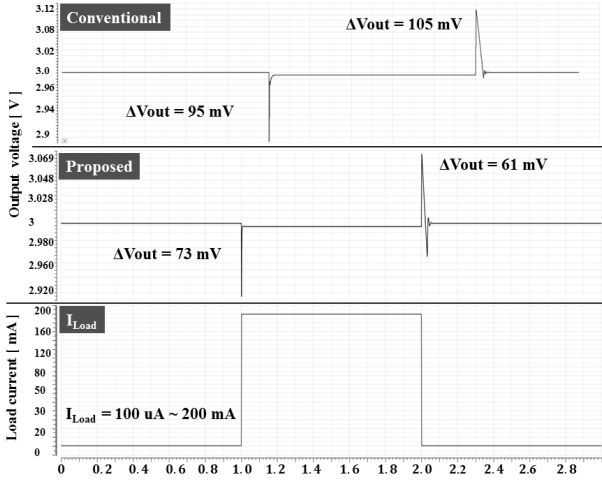


Fig. 6. comparison of load transient simulation results of the proposed LDO regulator.

그림 6. 제안된 LDO 레귤레이터의 load transient 시뮬레이션 결과

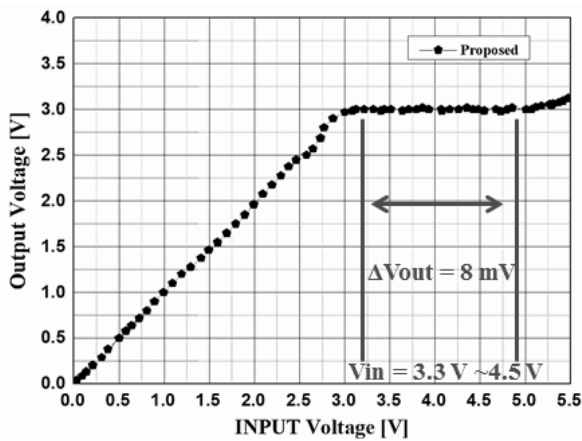


Fig. 7. the line regulation simulation result for proposed LDO regulator.

그림 7. 제안된 LDO 레귤레이터 line regulation 시뮬레이션 결과

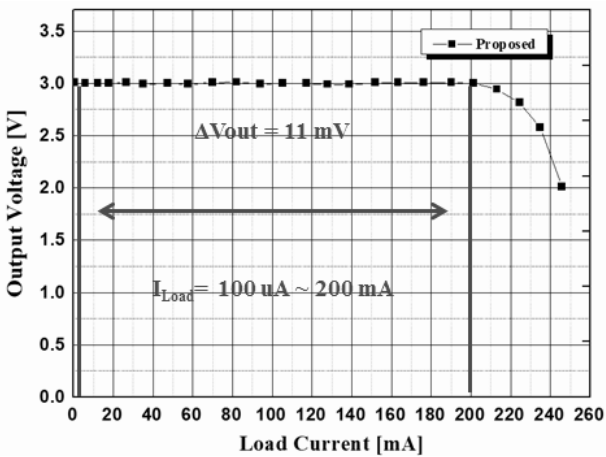


Fig. 8. the load regulation simulation result for proposed LDO regulator.

그림 8. 제안된 LDO 레귤레이터 load regulation 시뮬레이션 결과

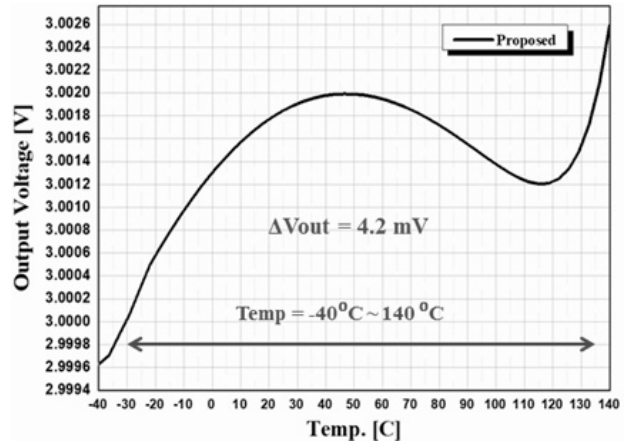


Fig. 9. the output voltage simulation result for proposed LDO regulator temperature.

그림 9. 제안된 LDO 레귤레이터 온도에 따른 출력전압 시뮬레이션 결과

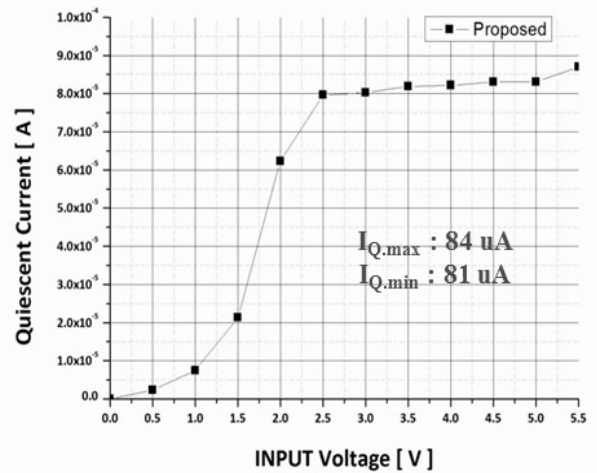


Fig. 10. quiescent current simulation result for proposed LDO regulator.

그림 10. 제안된 LDO의 대기전류 시뮬레이션 결과

Table 1. The conventional LDO and proposed LDO circuit data.

표 1. 기본 LDO 회로와 제안된 회로 데이터

conventional circuit with LDO regulator		
output voltage	3V	3V
input voltage	3.3V	3.3V
reference voltage	1.2V	1.2V
load regulation	Δ 12 mV	Δ 11mV
load transient	Δ 95 mV, 105 mV	Δ 73 mV, 61 mV
dropout voltage	300mV	300mV
line regulation	Δ 15 mV	Δ 8 mV

그림 6은 제안된 LDO 레귤레이터의 load transient 시뮬레이션 결과를 나타낸다. 부하 전류에 순간적인 변화에 따라 기존의 LDO 레귤레이터의 피크전압은 $\Delta 95$ mV, 105 mV 값을 도출하였다. 또한 제안된 LDO 레귤레이터는 $\Delta 73$ mV, 61 mV 값을 도출하였다. 부하 전류에 따라 제안된 LDO 레귤레이터는 undershoot 상황시 22 mV, overshoot 상황시 45 mV의 개선된 전압 피크치를 검증하였다. 결과적으로 제안된 LDO 레귤레이터는 피드백 전압 감지 구조의 영향으로 출력전압을 효과적으로 제어할 수 있음을 확인하였다. 그림 7은 피드백 전압 감지 구조를 포함한 LDO 레귤레이터의 line regulation 시뮬레이션 결과이다. 입력전압이 3.3~4.5 V로 변화되었을 때의 출력전압의 변화는 8 mV로 확인할 수 있었다. 또한 부하전류에 순간적인 변화의 발생으로 피드백 감지를 통해 변화하는 전압을 부하 감지 구조로 추가적인 전류패스 제공을 통해 향상된 전압변화를 가진 구조이다. 그림 8은 피드백 전압 감지 구조를 포함한 LDO 레귤레이터 load regulation 시뮬레이션 결과이다. 부하전류 변화로 인한 출력전압의 변화량을 검증할 수 있으며, 제안된 LDO 레귤레이터의 200 mA 범위의 부하전류에서 출력전압의 변화량을 11 mV임을 확인하였다. 그림 9는 제안된 LDO 레귤레이터의 온도 변화에 따른 출력전압을 나타낸다. 그림 9에 표시된 것처럼 제안된 LDO 조절기는 $-40^{\circ}\text{C}\sim 140^{\circ}\text{C}$ 온도 범위에서 4.2mV의 출력 전압을 유지합니다. 그림 10은 제안된 LDO 레귤레이터의 대기전류에 대한 시뮬레이션 결과이다. 제안된 LDO 레귤레이터는 출력전압에 따라서 적은 전류를 소모하는 안정성을 확보하였다.

III. 결론

전압 조절은 모바일 애플리케이션의 지속 가능한 작동을 보장하는 데 있어서 매우 중요하다. 안정적인 전압 조절은 부하 전류로 인한 전압 변화가 적다는 것을 의미합니다. 본 논문에서 제안한 LDO 조절기는 피드백 전압 감지 구조를 통해 부하 전류에 따라 출력 전압을 안정적으로 조절한다. 부하 전류에 순간적인 발생에 따라 출력 전압 피크전압 특성이 개선되었음을 검증하였다. 제안된 LDO 레귤레이터는 200 mA의 부하전류가 인가되더라도 73 mV의 언더슈트 전압과 61 mV의 오버슈트 전압을 확보하였다. 부하변동에 따른 출력전압의 undershoot 전압 및 overshoot 전압이 기존의 LDO 레귤레이터 비하여 undershoot 상황에서는 22 mV, overshoot 상황

시 45 mV의 개선된 피크전압 값을 확인 및 검증 할 수 있었다. 온도 특성 및 라인 조절 특성도 개선된 값을 보여줍니다. 그 결과, 출력전압의 변화에 따라 패스 트랜지스터의 게이트 단자와 출력단에 추가 전류 경로를 공급 및 방전하여 제안된 LDO 레귤레이터의 출력 성능이 향상되었음을 확인할 수 있었다. 또한 제안된 LDO 레귤레이터의 여러특성들 또한 안정적인 특성 값 이상을 확보하였다. 제안된 LDO 레귤레이터는 BCD CMOS 0.18um 공정을 통해 검증 및 시뮬레이션을 진행하였다.

References

- [1] Yong-Seo Koo, et al.: "A design of low-area low drop-out regulator using body bias technique," *IEICE Electronics Express* Vol.10, 2013.
DOI: 10.1587/elex.10.20130300
- [2] Jin Woo Jun, et al.: "Design of high-reliability LDO with current limiting characteristics with built-in new high tolerance ESD protection circuit," *IEICE Electron. Express*, Vol.10, 2013.
DOI: 10.1587/elex.10.20130516
- [3] Kyeong-Hyeon Park, et al.: "A Design of Low-dropout Regulator with Adaptive Threshold Voltage Technique," *JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENC*, 2018.
DOI: 10.5573/JSTS.2018.18.2.287
- [4] Xiaofei Ma, et al.: "A Fully Integrated LDO With 50-mV Dropout for Power Efficiency Optimization," *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2020.
DOI: 10.1109/TCSII.2019.2919665
- [5] Ka Nang Leun, et al.: "A CMOS Low-Dropout Regulator With a Momentarily Current-Boosting Voltage Buffer," *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2010.
DOI: 10.1109/TCSI.2010.2043171
- [6] Jun Tang, et al.: "Low-Power Fast-Transient Capacitor-Less LDO Regulator with High Slew-Rate Class-AB Amplifier," *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2018.
DOI: 10.1109/TCSII.2018.2865254.
- [7] Yan Lu, et al.: "A Fully-Integrated Low-Dropout Regulator with Full-Spectrum Power Supply

Rejection,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2015.

DOI: 10.1109/TCSI.2014.2380644

[8] Amir Nakhlestan, et al.: “Low-Power Area-Efficient LDO With Loop-Gain and Bandwidth Enhancement Using Non-Dominant Pole Movement Technique for IoT Applications,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2021.

DOI: 10.1109/TCSII.2020.3013646

BIOGRAPHY

Jun-Mo Jung (Member)



1985 : BS degree in Electronics Engineering, Hanyang University.

1987 : MS degree in Electronics Engineering, Hanyang University.

1992 : PhD degree in Electronics Engineering, Hanyang University.

1995~presently : Professor in Seokyeong University.

main interesting field : Integrated circuit, Micro processor, Circuit design & test