

4H-SiC PiN과 SBD 다이오드 Deep Level Trap 비교 분석

신명철*·변동욱*·이건희*·신훈규**·이남석**·김성준**·구상모**†

*광운대학교 전자재료공학과, **포항공과대학교 나노융합기술원

Deep Level Trap Analysis of 4H-SiC PiN and SBD Diode

Myeong-Cheol Shin*, Dong-Wook Byun*, Geon-Hee Lee*, Hoon-Kyu Shin**,

Nam-Suk Lee**, Seong Jun Kim** and Sang-Mo Koo**†

*Department of Electronic Materials Engineering, Kwangwoon University,

**National Institute for Nanomaterials Technology (NINT), Pohang University of Science and Technology (POSTECH)

ABSTRACT

We investigated deep levels in n-type 4H-SiC epitaxy layer of the Positive-Intrinsic-Negative diode and Schottky barrier diodes by using deep level transient spectroscopy. Despite the excellent performance of 4H-SiC, research on various deep level defects still requires a lot of research to improve device performance. In Positive-Intrinsic-Negative diode, two defects of 196K and 628K are observed more than Schottky barrier diode. This is related to the action of impurity atoms infiltrating or occupying the 4H-SiC lattice in the ion implantation process. The I-V characteristics of the Positive-Intrinsic-Negative diode shows about ~100 times lower the leakage current level than Schottky barrier diode due to the grid structures in Positive-Intrinsic-Negative. As a result of comparing the capacitance of devices diode and Schottky barrier diode devices, it can be seen that the capacitance value lowered if it exists the P implantation regions from C-V characteristics.

Key Words : 4H-SiC, Deep level trap, Schottky diode, PiN diode, DLTS

1. 서 론

탄화규소(Silicon carbide)는 고전압, 대전류, 고온과 고주파 특성을 가지는 우수한 소재이다. 이러한 특성은 열악한 환경에서도 사용가능한 소자 제작이 가능하다. 그러므로 Si를 대체할 수 있는 소재로 신재생 에너지 발전소 및 EV/HEV와 같은 높은 전력을 필요로 하는 소자 제작에 적합한 후보이다[1-3]. 그러나 이러한 우수한 성능을 가지고 있음에도 불구하고 소자의 성능 개선을 위해서 SiC 웨이퍼 생산 및 후속 처리 중 발생하는 결함에 대해 여전히 많은 연구가 필요하다[4-6]. 의도치 않은 깊은 준위의 결

함들은 carrier가 trapping 되면서 carrier lifetime 감소 및 leakage current 증가와 같은 소자에 좋지 않은 영향을 미칠 수 있다. 그렇기 때문에 Deep level defect 심화 연구는 매우 중요하다[7].

4H-SiC에는 Z1/2 및 Eh6/7의 고유 결함이 defect된다. 그 외에도 Ion-implantation과 annealing공정에 따른 결함들은 추가적으로 보고되고 있다.

본 연구에서는 먼저 I-V, C-V를 측정하여, 80~700K 범위에서 신뢰할 수 있는 Deep level transient spectroscopy(DLTS) 분석이 가능한지를 확인하였다. 분석한 DLTS data를 통해 Deep level trap 정보를 도출하였고, SBD, PiN 다이오드에서 defect 된 trap들이 어느 공정과정에서 발생하는 defect인지를 비교 분석하였다.

†E-mail: smkoo@kw.ac.kr

2. 실험 방법

본 연구에서 사용된 소자는 4H-SiC 기판을 기반으로, SBD, PiN 다이오드를 설계하여 제작했다. Fig. 1은 4H-SiC 기반 PiN과 SBD 소자의 단면도이다. N-type 4H-SiC 기판에 10 μm 의 epitaxy layer를 증착했고, Epi-layer의 도핑농도는 $1 \times 10^{16} \sim 3 \times 10^{16} \text{cm}^{-3}$ 이다. Ohmic contact와 Schottky contact 모두 Ti로 형성하였고, schottky contact area는 $1462 \times 1462 \mu\text{m}^2$ 이다. SBD와 PiN diode 두 소자의 I-V, C-V를 측정 후 Deep level transient를 측정하여 Deep level trap을 비교분석 했다.

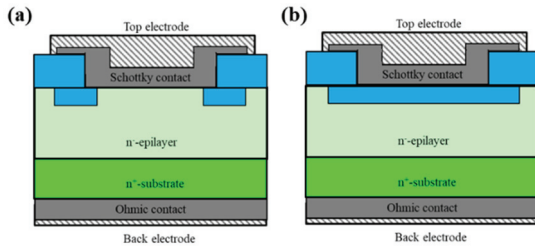


Fig. 1. A schematic section view of the devices (a) SBD and (b) PiN.

3. 결과 및 고찰

3.1 I-V characteristics

Fig. 2 (a)와 (b)는 대전압, 대전류 그래프이다. Fig. 2 (a)에 보이는 것과 같이 Leakage current level은 약 -300V 이후부터, SBD가 PiN 소자 보다 leakage current level이 약 100배 가량 증가한 것을 확인 할 수 있다. Turn-on voltage는 Fig. 2 (b)에 보이는 것과 같이 SBD diode는 약 1V, PiN diode는 약 3V이상에 관찰된다. SBD di-ode가 약 3배 가량 빠르게 turn-on 되며, R-on 또한 PiN diode 보다 낮은 것을 확인했다.

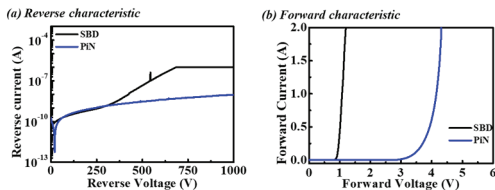


Fig. 2. (a) Reverse characteristics and (b) forward I-V characteristics of the SBD and PiN diodes.

3.2 C-V characteristics

Fig. 3. (a), (b)는 SBD, PiN diode 소자의 역전압에 대한 capacitance value로, 50kHz에서 측정한 C-V 특성이다. 두 소

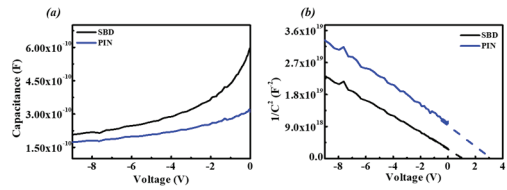


Fig. 3. (a) Typical capacitance-voltage (b) $1/C^2$ -V plot of the SBD and PiN diodes.

자의 capacitance를 비교해보면, P implantation region이 있는 PiN diode의 capacitance 값이 작은 것을 확인했다. 이는 역바이어스에서 PN junction내에 형성된 depletion region이 증가하여 capacitance를 감소시킨다고 볼 수 있다. Fig. 3. (a)의 C-V value를 식 (1)을 이용해 Fig. 3. (b)의 $1/C^2$ -V 그래프를 도출하고 SBD, PiN diode 각각의 barrier height를 도출할 수 있다. SBD의 barrier height는 $\sim 1\text{eV}$, PiN은 약 $\sim 3\text{eV}$ 로 SBD diode가 3배 가량 낮은 것을 확인했다. Fig. 2와 Fig. 3의 I-V, C-V 특성은 80 ~ 700K까지 온도를 변화시키며, Deep level transient 분석할 수 있는 diode 임을 보여주고 있다.

$$\frac{1}{C_{dep}^2} x = \frac{\omega_{dep}^2}{A^2 \epsilon_s^2} = \frac{2(\Phi_{bi} + V_r)}{qN\epsilon_s A^2} \quad (1)$$

q 는 전자의 전하량으로 $1.6 \times 10^{19} \text{C}$, A 는 소자의 전극 면적으로 $1462 \times 1462 \mu\text{m}^2$, ϵ_s 는 비유전율로 9.7(4H-SiC), N 은 에피 도핑 농도로 $1 \times 10^{16} \text{cm}^{-3}$, Φ_{bi} 는 barrier height이다.

3.3 Deep level transient 비교분석

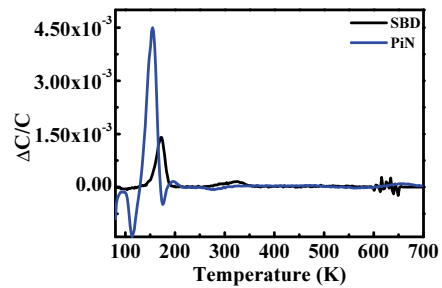


Fig. 4. DLTS spectra of the SBD and PiN diodes.

Fig. 4는 SBD와 PiN diode의 80 ~ 700 K 온도에서 측정한 Deep Level Transient 결과이다. 150 ~ 200 K에서 SBD소자는 1개, PiN 소자는 2개의 Peak가 관찰되었고, 250 ~ 400 K에서 각각 1개의 peak들을 확인할 수 있었다. PiN diode의 경우 600 ~ 700 K에서 peak가 나타나는 것을 알 수 있다.

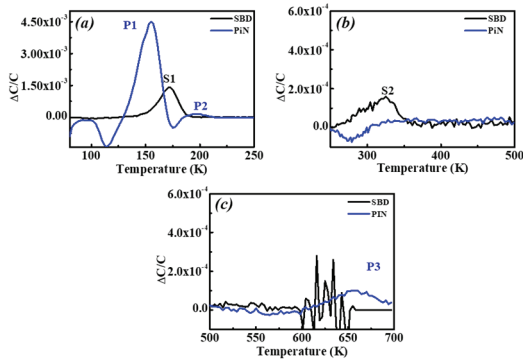


Fig. 5. Detailed DLTS spectra of SBD and PiN diode for each temperature section where peaks appear (a) 80 ~ 250 K, (b) 250 ~ 500 K, and (c) 500 ~ 700 K.

Fig. 5 (a)(c)는 Peak가 관찰된 각 온도대역에 대한 DLTS spectra 이다. Fig. 5 (a)는 80 ~ 250K에서 관찰된 두 다이오드의 DLTS spectra 이다. 약 155K에서 S1, P1 peak가 관찰되었고, 이는 불순물인 Al과 공기가 결합하면서 발생하는 defect으로 보고되고 있다. 또한 약 196K에서 P2 Peak가 관찰되었고, 이는 주로 Ion-implantation 공정에서 Al 불순물 원자가 4H-SiC 격자로 침투하여 발생하는 defect이라고 보고되고 있다. Fig. 5 (b)는 250 ~ 500K에서 관찰된 DLTS spectra 이다. 이 때 관찰되는 peak는 4H-SiC 성장 시 발생하는 전형적인 결함인 Z1/2 defect 이다. Fig. 5 (c)는 500 ~ 700K에서 관찰되는 DLTS spectra로 PiN diode만 1개의 peak가 관찰되었다. 이 때 관찰되는 defect 또한 4H-SiC의 전형적인 결함인 E6/7 trap 이다.

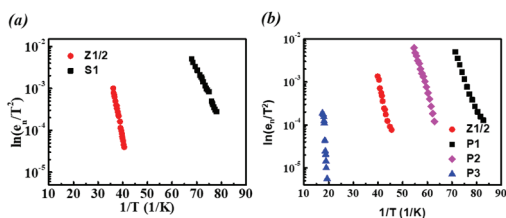


Fig. 6. Arrhenius plots with energy level of each peaks (a) SBD (b) PiN diodes.

Fig. 6는 각 다이오드의 DLTS spectra에서 추출한 Arrhenius plot 그래프이다. 이 결과는 온도에 따른 carrier들의 capture cross section과 trap concentration을 emission rate 공식을 통해 결정할 수 있다. PiN diode의 Arrhenius 개형에서 SBD와 다른 2개의 개형이 더 확인이 되는데, 이는 n-epi layer 전체에 Al implantation 공정으로 불순물 원자들이 n-type 4H-SiC의 격자내로 침투하거나 자리를 차지하는 작용과 관련이 있다.

Table 1. Trap information of each peak in SBD and PiN diodes

| Trap | Temperature (K) | E_t (eV) | Capture cross section (cm^{-2}) | N_t (cm^{-3}) |
|------|-----------------|------------|--|----------------------------|
| S1 | 155.9 | 0.292 | 2×10^{-15} | 2.1×10^{13} |
| S2 | 302.7 | 0.706 | 1×10^{-13} | 1.4×10^{12} |
| P1 | 155.6 | 0.352 | 7.1×10^{-14} | 4.7×10^{13} |
| P2 | 196.5 | 0.455 | 3.8×10^{-13} | 2.4×10^{12} |
| Z1/2 | 272.9 | 0.532 | 1.1×10^{-15} | 2.2×10^{12} |
| P3 | 628.4 | 1.455 | 1.1×10^{-14} | 2.6×10^{12} |

Table 1은 Arrhenius plot을 통해 추출된 graph에서 carrier emission rate을 통해 도출한 trap에 대한 E_t , N_t , σ 그리고 각 온도에 대한 위치를 나타낸 표이다.

4. 결론

본 연구에서는 DLTS 분석을 통해 PiN과 SBD Diode의 Deep level trap에 대해 비교 분석한 것으로, DLTS spectra data를 토대로 capture cross section, trap level, trap concentration을 도출하였다. 두 다이오드 모두 4H-SiC 에피 성장 시 발견되는 Z1/2 trap이 관찰되었다. SBD와 PiN 두 다이오드들의 Z1/2 trap은 0.706eV, 0.532eV 준위에서 관찰되었고 $\sim 10^{12}$ 의 유사한 trap concentration을 가지는 것을 확인했다. 이를 통해 SBD 소자의 Z1/2 trap level 준위가 더 깊은 것을 확인했다. PiN 다이오드에서는 SBD 다이오드에서 관찰되지 않았던 2개의 defect이 추가로 발견되었는데, P2, P3 defect은 0.455eV, 1.455eV 준위에 위치하고 있다. 이는 불순물이 Epi-layer에 침투하거나 Ion-implantation 공정 중 minority carrier가 주입될 때 발생하는 결함으로 볼 수 있다. 이러한 결과를 통해 Ion-implantation 공정 시 Deep level trap이 더 관찰되는 것을 확인할 수 있었다. 결과 PiN diode가 SBD diode 보다 깊은 준위에 trap이 존재하며 보다 높은 N_t 를 가지는 것을 확인할 수 있다. PiN 다이오드가 SBD보다 많은 trap이 defect된 것이 더 높은 문턱전압을 가지는 것과 연관이 있을 수 있다.

감사의 글

This work was supported by the GRDC program through the National Research Foundation (NRF) grant funded by the MSIT of Korea (NRF-2018K1A4A3079552 and 2021R1F1A1057620), The Ministry of Trade and a Research Grant from Kwangwoon University in 2022.

참고문헌

1. Son, Woo-Young, et al. "Al Implantation and Post Annealing Effects in n-Type 4H-SiC", *Journal of Nanoelectronics and Optoelectronics* 15.7, (2020).
2. J. Yang, S. Ahn, F. Ren, S. J. Pearton, S. Jang, and A. Kuramata, *IEEE Electron Device Lett.*, 38, 906 (2017).
3. Lee, Jinseon, Tai Young Kang, and Kyung Hwan Kim. "Electrical Characteristics of the SiC SBD Prepared by using the Facing Targets Sputtering Method", *Journal of the Semiconductor & Display Technology* 14.1 (2015).
4. Y. J. Lee, S. Cho, J. H. Seo, S. J. Min, J. I. An, J. M. Oh, S. M. Koo, and D. Lee, *J. Korean Inst. Electr. Electron. Mater. Eng.*, 31, 367 (2018).
5. C. Zhang, S. Srdic, S. Lukic, Y. Kang, E. Choi, and E. Tafti, *Proc. 2018 IEEE Energy Conversion Congress and Exposition (ECCE) (IEEE, Portland, USA, 2018)* p. 3880.
6. Byun, Dong-Wook, et al. "Deep Level Defect Transient Spectroscopy Analysis of 4H-SiC SBD and JBS Diodes", *Journal of the Korean Institute of Electrical and Electronic Material Engineers* 34.3 (2021): 214-219.
7. S. J. Min, M. C. Shin, N. T. Nguyen, J. M. Oh, and S. M. Koo *Materials* 13, 445 (2020).
8. Hiyoshi, Toru, and Tsunenobu Kimoto. "Reduction of deep levels and improvement of carrier lifetime in n-type 4H-SiC by thermal oxidation", *Applied Physics Express* 2.4 (2009): 041101.
9. Pintilie, Ioana, et al. "Deep levels in as-grown 4H-SiC epitaxial layers and their correlation with CVD parameters", *Materials Science Forum*. Vol. 433. Trans Tech Publications Ltd, 2003.
10. Y. D. Tang, X. Y. Liu, Z. D. Zhou, Y. Bai, and C. Z. Li, *Chinese Phys. B*, 28, 106101 (2019).

접수일: 2022년 6월 8일, 심사일: 2022년 6월 17일,
 게재확정일: 2022년 6월 23일