

반도체 식각공정을 위한 비가연성 혼합냉매 줄톰슨 냉동기 설계

이천규^{*†} · 김진만^{*} · 이정길^{*}

^{*†}한국생산기술연구원 청정기술연구소 탄소중립산업기술연구부문

Design of Non-flammable Mixed Refrigerant Joule-Thomson Refrigerator for Semiconductor Etching Process

Cheonkyu Lee ^{*†}, Jin Man Kim ^{*} and Jung-Gil Lee ^{*}

^{*†}Carbon Neutral Technology R&D Department, Research Institute of Clean Manufacturing System, Korea Institute of Industrial Technology (KITECH)

ABSTRACT

A cryogenic Mixed Refrigerant Joule-Thomson refrigeration cycle was designed to be applied to the semiconductor etching process with non-flammable constituents. 3-stage cascade refrigerator, single mixed refrigerant Joule-Thomson refrigerator, and 2-stage cascade type mixed refrigerant Joule-Thomson refrigerator are analyzed to figure out the coefficient of performance. Non-flammable mixture of argon(Ar), tetrafluoromethane(R14), trifluoromethane (R23) and octafluoropropane(R218) were utilized to analyze the refrigeration cycle efficiency. The designed refrigeration cycle was adapted to cool down the coolant of HFE7200(Ethoxy-nonafluorobutane, C₄F₉OC₂H₅) with certain constraints. Maximum coefficient of performance of the refrigeration system is obtained as 0.289 for the cooling temperature lower than -100 °C. The detailed result of the coefficient of performance according to the mixture composition is discussed in this study.

Key Words : Semiconductor Etching Process, Mixed Refrigerant, Joule-Thomson, Refrigerator, Coefficient of Performance

1. 서 론

반도체 식각공정은, 웨이퍼(Wafer) 상태의 회로기판에 의도한 부분을 화학적 혹은 물리적으로 제거하는 공정을 의미한다[1]. 식각 공정은 화학적 작용 위주의 공정을 수행하는 경우 등방성 식각(Isotropic etching), 물리적인 작용 위주의 식각이 수행되는 경우 비등방성 식각(Anisotropic etching)으로 구분될 수 있으며, 반도체 식각에 적용되는 공정은 비등방성 식각이 주요하게 적용되고 있다[1].

비등방성 식각은 사용 매질에 따라 다양하게 구분되는

데, 플라즈마 식각이 주로 적용되고 있다. 특히, 높이와 너비의 비율이 30:1 이상인 고종횡비 식각(High Aspect Ratio etching)이 가장 기술력이 요구되는 식각 공정으로 대두되고 있다[2].

극저온 식각(Cryogenic Etching)은 웨이퍼의 온도를 낮춘 후 플라즈마 식각을 수행하는 것으로, 부산물이 웨이퍼 식각 면에 자체적으로 응결 및 보호(Passivation) 역할을 수행하도록 하는 공정이다[3]. 플루오린 라디칼(F)을 이용하여 비등방성 식각을 수행하며, 부산물(byproduct)인 SiF₄의 응결점(-95 °C) 이하로 웨이퍼를 냉각해서, 이 부산물이 자체로 벽면에 얼어붙도록 하여, 효과적으로 비등방성 식각을 구성할 수 있는 것으로 보고되고 있다[3-6]. 이와 같은

[†]E-mail: cklee@kitech.re.kr

식각 공정을 적용하기 위하여, 다양한 연구자들의 연구가 진행되어 왔으나, 일반적으로는 액체질소를 이용하여 냉각을 수행하고 정전적에 위치한 히터를 이용하여 온도를 제어하는 방식으로 운용한 것으로 알려져 있다[3].

이에 본 연구에서는, 극저온 식각 공정을 위한 냉각시스템 개발의 일환으로, 반도체 식각 공정에 적용하기 위한 초저온 비가연성(non-flammable) 혼합냉매 (Mixed refrigerant, 이하 MR) 줄뜸슨(Joule-Thomson, 이하 J-T) 냉동기를 설계하였다. 단일 혼합냉매 냉동 사이클과 예비냉각을 포함하는 냉동사이클을 포함하여, 혼합냉매 구성에 따른 초저온 냉각 시스템의 성능(COP) 및 구성을 위한 복열식 열교환기의 열교환량 등을 정량적으로 분석하였다.

2. 사이클 구성 및 해석

2.1 사이클 구성

시스템은 크게 3가지로 구분하였으며 3단 캐스케이드 냉동 사이클(3-stage cascade refrigeration cycle), 단일 MR J-T 냉동 사이클과 그리고 예비냉각이 포함된 2단 MR J-T 냉동 사이클을 고려하였다. 각 시스템의 개략도는 Fig. 1에서 확인할 수 있다.

반도체 식각 공정에 적용하는 것을 고려하고자, 냉동기의 증발기(Evaporator) 위치에서 반도체 식각 장비로 공급될 수 있는 냉각유체(Coolant)를 $-100\text{ }^{\circ}\text{C}$ 로 구성이 될 수 있도록 시스템을 가정하였으며, 공급 조건을 Table 1과 같이 가정하였다.

3단 냉동 사이클은 구성을 하기위해서는 냉매가 먼저 결정되어야 하고, 결정된 냉매에 기반하여 시스템 효율은 동작조건에 따라 결정된다. 즉, 냉매는 1단부의 경우 일반적인 냉동 사이클에 많이 사용되는 R404A를, 2단부는 온

Table 1. Coolant constraints of low temperature refrigeration cycles for semiconductor etching process

Constraint	Value	Note
Component	HFE7200	C ₄ F ₉ OC ₂ H ₅
Evaporator Inlet Temperature	$-95\text{ }^{\circ}\text{C}$	
Evaporator Outlet Temperature	$-100\text{ }^{\circ}\text{C}$	
Coolant Pressure	6 bar	W/o pressure drop
Coolant Flow Rate	25 LPM	

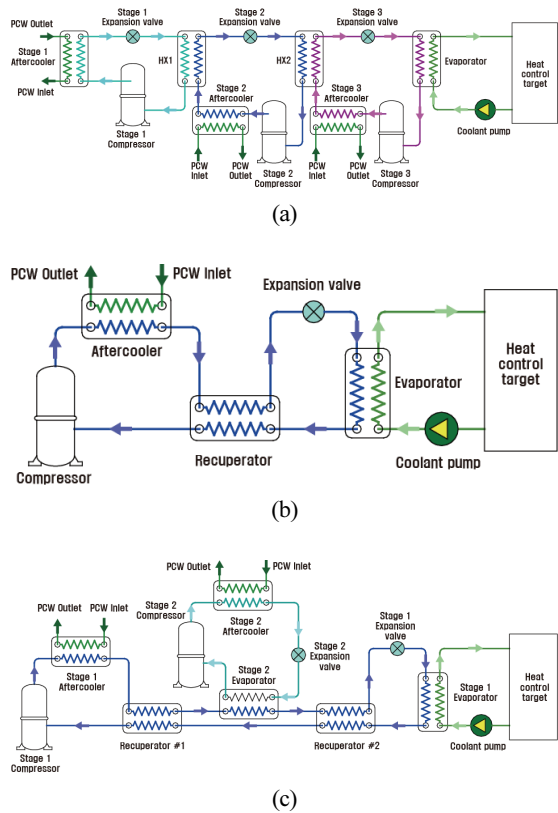


Fig. 1. Schematic diagram of low temperature refrigeration system (a) 3-stage cascade refrigeration, (b) single MR J-T refrigeration and (c) cascade type 2-stage MR J-T refrigeration.

도조건에 맞도록 R508B를, 마지막 3단부는 최종 목적 온도인 $-100\text{ }^{\circ}\text{C}$ 를 구성할 수 있는 R14(CF₄)를 적용하여 사이클 분석을 수행하였다.

단일 MR J-T 냉동 사이클과 예비냉각이 포함된 2단 MR J-T 냉동사이클은 적절한 온도 및 고효율을 도달하기 위하여 Ar, R14, R23(CHF₃), R218 (C₃F₈)의 4종 혼합냉매로 해석을 수행하였다. 2단 MR J-T 냉동 사이클의 예비부에는 3단 캐스케이드 냉동사이클과 마찬가지로 R404A를 적용하였다.

2.2 사이클 해석

각 시스템 별 동일한 사이클 해석을 위하여, 설계 조건을 Table 2와 같이 제한하였다. 혼합냉매를 적용한 단일 MR J-T 냉동 사이클과 예비냉각이 포함된 2단 MR J-T 냉동사이클은 Table 2에 나타난 설계 조건을 적용하였다. 반면에, 3단 캐스케이드 냉동 사이클의 경우, 앞서 언급한 바와 같이 동작조건이 구성 온도에 따라 제한되기 때문

Table 2. Design constraints of low-temperature refrigeration cycles for semiconductor etching process

Constraint	Value	Note
Refrigerant	Ar, R14, R23, R218	
Mole fraction variation	0.1	
Cooling capacity	2 kW	Coolant refrigeration
Discharge pressure of the compressor	18 bar	
Suction pressure of the compressor	3 bar	
Minimum temperature approach at recuperator	5	
Aftercooling temperature	25°C	Process cooling water 20°C in
Isentropic efficiency of the compressor	50%	
Pressure drop in entire heat exchanger	0 kPa	Ideal case
Precooling temperature	-20°C	
Degree of Subcooling	5°C	For 3-stage
Degree of superheating	10°C	For 3-stage

에 압축기 효율(Isentropic efficiency of the compressor)만 동일하게 고려하고 압력비는 냉매의 응축 및 증발온도에 맞춰 구성하였다. 사이클 해석에는 상용 프로그램인 Aspen의 Hysys를 적용하였고, 각 위치들의 열역학적 상태(state)는 Hysys 소프트웨어에 내장된 Peng-Robinson Equation of State를 적용하였다. 혼합냉매는 각 조성의 몰분율을 0.1씩 변화시켜 가면서 각 조성별 COP를 확인하였다.

3. 해석 결과 및 논의

3.1 해석 결과

3단 캐스케이드 냉동 사이클의 경우, 2.1에서 서술한 바와 같이 가장 고온부 사이클은 R404A를 이용한 사이클, 중온부는 R508B를 이용한 사이클, 저온부는 R14를 이용한 사이클로 구성되었고, COP는 단일한 조건 하나에서만 계산되었다. 계산 결과, 3단 냉동 사이클의 COP는 약 0.229수준을 나타내었고, 총 열교환 해야되는 1차 응축기를 포함한 열교환기의 열교환량은 약 22.6kW 수준으로 도출되었다.

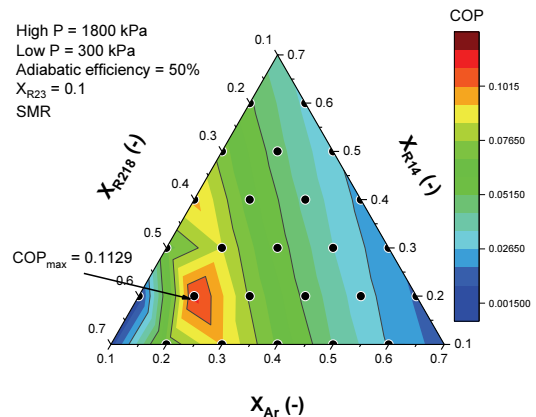


Fig. 2. Calculation of Coefficient of performance for single non-flammable MR J-T refrigerator with mole fraction of R23 = 0.1.

단일 MR J-T 냉동 사이클의 COP는 혼합냉매의 조성에 따라 변화하며, 대표적인 혼합냉매 조성에 따른 계산 결과를 Fig. 2에 도식하였다. Fig. 2에서 검은점들이 계산된 조성 들이며, 삼각형 그래프의 각 변은 몰분율이다. 이 결과는 R23의 몰분율이 0.1일때의 결과이며, 가장 높은 COP를 얻은 비율은 Ar:R14:R23:R218 = 0.3:0.2:0.1:0.4 로, 약 0.113의 COP를 도출하였다. 내부에서 복열식 열교환기는 가장 최적의 효율을 가진 본 조성비에서 가장 적은 열교환량을 가졌으며, 약 50 kW 수준의 열교환량이 필요한 것으로 계산되었다.

예비냉각을 포함하는 MR J-T 냉동사이클의 COP도 단일 MR J-T 냉동사이클과 마찬가지로 혼합냉매의 조성에 따라 COP가 큰 변화를 나타내었다. 이 변화를 Fig. 3에 나타내었으며, Fig. 3의 (a)는 R218의 몰분율이 0.1인 경우, (b)는 0.2인 경우, (c)는 0.3인 경우를 도식하였다. 예비 냉각을 포함하는 MR J-T 냉동사이클의 최고 COP는 0.289로, 이때의 조성비는 Ar:R14:R23:R218 = 0.2:0.4:0.1:0.3로 확인되었다. 이때 필요한 복열식 열교환기의 열교환량은 총 13.5 kW 수준으로, 앞서 언급한 3단 캐스케이드 냉동 사이클이나 단일 MR J-T 냉동 사이클 대비 현저히 낮은 것을 확인할 수 있다.

3.2 냉동 사이클별 특성

Fig. 4에 각 구성 별 열교환기에서 수행해야 하는 열교환량을 도식하였다. 앞서 효율로 나타난 바와 같이, 예비 냉각을 포함하는 2단 MR J-T 냉동 사이클의 열교환량이 가장 적은 23.4 kW 수준으로 나타났고, 이중 복열식 열교환(Fig. 4의 Recuperator 1, 2 와Pre heat exchanger)에 필요한 열량은 앞서 언급한 바와 같이 13.4 kW 수준이었다. 상온으

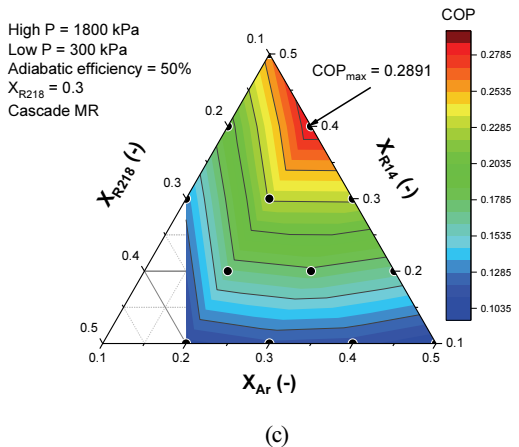
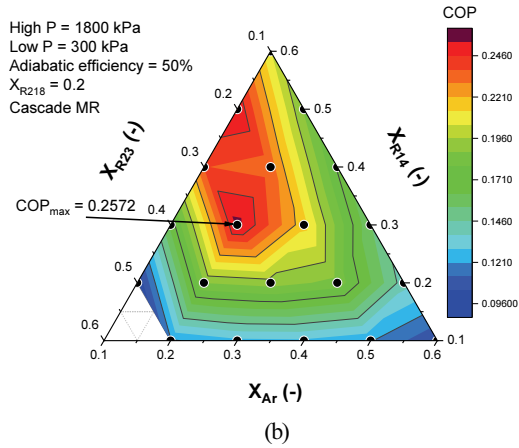
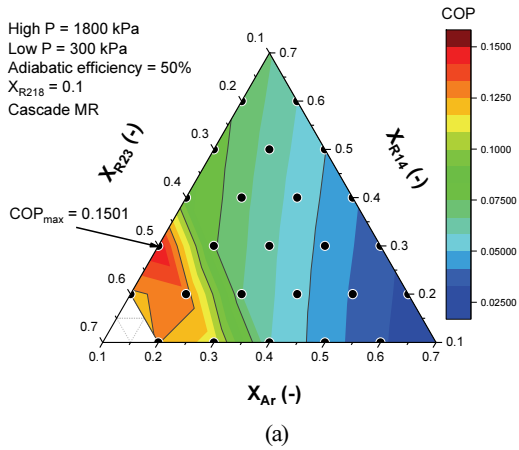


Fig. 3. Calculation of Coefficient of performance for cascade type non-flammable MR J-T refrigerator (a) mole fraction of R218 is 0.1, (b) mole fraction of R218 is 0.2 and (c) mole fraction of R218 is 0.3.

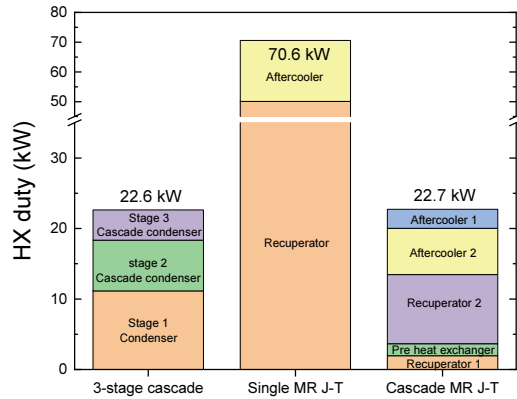


Fig. 4. Required heat exchange duty of low-temperature refrigeration system for each configuration.

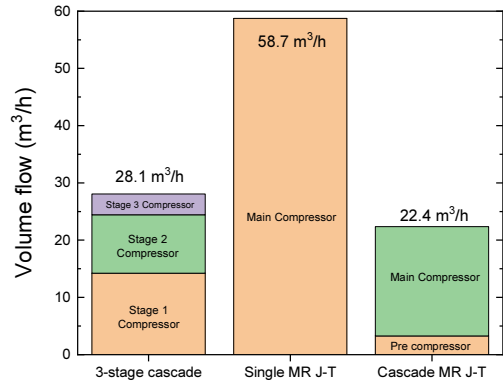


Fig. 5. Required volume flow rate of low-temperature refrigeration system for each configuration.

로 방열에 필요한 열량은 약 9.3 kW로, 이 부분은 PCW와 열교환하는 부분이다. 다음으로 3단 캐스케이드 냉동부가 거의 유사한 열량인 22.6 kW의 총 열교환량을 보였으며, 이중 1번째 stage의 열량인 11.1 kW가 PCW와 열교환 하여 상온에서 일어나는 열량으로 계산되었다. 반면 단일 MR J-T 냉동사이클의 경우, 가장 높은 열교환량인 70.6 kW의 열교환량을 보였고, 복열식 열교환기에서 열교환해야 하는 양은 50.1 kW를 보였다. 이처럼 복열식 열교환을 수행해야 되는 양이 많을수록, 많은 냉매가 순환하여야 하고 냉동 효율이 떨어지는 현상이 나타난다.

냉동 시스템에서 요구되는 부피 유량(volume flow rate)은 Fig 5에 도식하였으며, 1단 MR J-T 냉동 사이클, 3단 캐스케이드 냉동 사이클, 예비냉각을 포함하는 2단 MR J-T 냉동 사이클 순으로 높은 부피 유량을 요구하였다

Table 3. Cycle simulation result of low temperature refrigeration system for semiconductor etching process

Cycle configuration	3 stage Cascade	Single MR J-T	Cascade MR J-T
COP [-]	0.223	0.113	0.289
Discharge pressure [bar]	1st : 15 2nd : 16.9 3rd : 27.0	18	18
Suction pressure [bar]	1st : 3.0 2nd : 2.5 3rd : 3.8	3	3
Refrigerant Composition	1st : R404A 2nd : R508B 3rd : R14	Ar:R14:R23:R218 = 0.3:0.2:0.1:0.4	Ar:R14:R23:R218 = 0.2:0.4:0.1:0.3
Volume flow rate [m ³ /h]	1st : 14.2 2nd : 10.2 3rd : 3.7	52.8	MR : 19.1 Pre : 3.3
Heat exchanger duty [kW]	22.6	70.6	23.4

Table 3에 전체 사이클 계산 결과를 요약하여 나타내었다. 이 결과를 토대로, 특히 3단 캐스케이드의 경우, 압축기가 3개 소요되고, 온도를 구성하기 위하여 높은 압력비 및 압축기 흡입측으로 낮은 온도의 냉매(2단 -54℃, 3단 -95℃)가 흡입되어야 하므로, 실제 시스템을 구성하기 매우 어려울 것으로 추측된다. 예비냉각을 포함하는 2단 혼합냉매 MR J-T의 경우에는 압축기는 2개를 설치하여야 하나, 1단 예비냉각의 압축기 시스템이 매우 작고 혼합냉매 압축기의 경우도 단일 MR J-T 냉동 사이클 대비 절반 이하의 수준이 요구되므로, 구성에 가장 적합한 시스템으로 판단된다.

4. 결 론

본 연구에서는 반도체 식각 공정용 초저온 냉각 시스템을 개발하고자, 반도체 식각 공정에 적용될 수 있는 초저온 냉각 사이클에 대한 정량적인 해석을 수행하였다. 비교에 적용된 냉동 사이클은 3단 냉동 사이클, 단일 MR J-T 냉동사이클, 그리고 예비냉각이 포함된 2단 MR J-T 냉동 사이클로, 각 냉동 사이클에 대해 COP, 열교환량 및 압축기에서 요구되는 부피 유량을 정량적으로 분석하였다. 예비냉각이 포함된 2단 MR J-T 냉동사이클이 COP 측면에서 가장 높은 0.289 정도 수준으로 해석되었고, 3단 캐스케이드 냉동 사이클의 COP가 0.223, 단일 MR J-T 냉동 사이클의 COP가 0.113 수준으로 가장 낮을 것으로 분석되었다. 열교환량의 경우, 3단 캐스케이드 냉동 사이클이 가장 적

은 22.6 kW, 그 다음으로 예비냉각을 포함하는 2단 MR J-T 냉동 사이클이 약 23.4 kW, 마지막으로 단일 MR J-T 냉동 사이클이 가장 부하가 큰 약 70.6kW로 계산되었다.

하지만 3단 캐스케이드 냉동 사이클의 경우, 3단인 R14 냉동 사이클의 압력비가 높고 압축기 흡입온도가 매우 낮은 등 실제 구현하기 어려운 동작조건이 요구되어, 구성이 어려울 것으로 판단된다.

감사의 글

본 연구는 2021년도 산업통상자원부 기계·장비산업기술포발사업“냉각용량 2 kW급 반도체 식각 공정(Etching Process)용 초저온 냉각 시스템 개발”의 연구비 지원에 의한 연구임 (No.20014817).

참고문헌

- Nojiri, K., 2015, Dry Etching Technology for Semiconductors, Springer, Switzerland, pp. 1~30.
- Tandou, T., Kubo, S., Yokogawa, K., Negishi, N., Izawa, M., “Improving the etching performance of high-aspect-ratio contacts by wafer temperature control Uniform temperature design and etching rate enhancement”, Precision Engineering, Vol. 44, pp. 87-92, 2016.
- Dussart, R., Tillocher, T., Lefauchaux, P., Boufnichel, M., “Plasma cryogenic etching of silicon: from the early days to today’s advanced technologies”, J. Phys. D: Appl. Phys., Vol. 47, pp. 123001, 2014.

-
4. Jansen, H., V., de Boer, M. J., Unnikrishnan, S., Louwse, M. C., Elwenspoek, M. C., “Black silicon method: X. A review on high speed and selective plasma etching of silicon with profile control: an in-depth comparison between Bosch and cryostat DRIE processes as a roadmap to next generation equipment”, *J. of Micromech. And Microeng.* 19, pp 033001, 2009.
 5. Rezanov, A., Miakonkikh, A. V., Vishnevskiy, A. S., Rudenko, K. V., Baklanov, M. R., “Cryogenic etching of porous low-k dielectrics in CF₃BR and CF₄ plasmas”, *J. Vac. Sci. Technol. B*, Vol. 35, pp. 021204, 2017.
 6. Du, H.C. and Hong, S. J., “Temperature Analysis of Electrostatic Chuck for Cryogenic Etch Equipment”, *Journal of the Semiconductor & Display Technology*, Vol. 20, No. 2, pp. 19–24, 2021.
-
- 접수일: 2022년 6월 16일, 심사일: 2022년 6월 20일,
게재확정일: 2022년 6월 23일