

전력용 MOSFET의 온-상태 저항 측정 및 노화 시험 환경 구축

신준호¹, 신종원[†]

Testbed of Power MOSFET Aging Including the Measurement of On-State Resistance

Joonho Shin¹ and Jong-Won Shin[†]

Abstract

This paper presents setting up a laboratory-scale testbed to estimate the aging of power MOSFET devices and integrated power modules by measuring its on-state voltage and current. Based on the aging mechanisms of the component inside the power module (e.g., bond-wire, solder layer, and semiconductor chip), a system to measure the on-state resistance of device-under-test (DUT) is designed and experimented: a full-bridge circuit applies current stress to DUT, and a temperature chamber controls the ambient temperature of DUT during the aging test. The on-state resistance of SiC MOSFET measured by the proposed testbed was increased by 2.5% - 3% after 44-hour of the aging test.

Key words: Power MOSFET, Integrated power module, Accelerated aging test, On-state resistance

1. 서 론

전력 변환 기술의 발달은 전력 변환 회로의 응용 범위를 신재생에너지원 및 마이크로그리드 등 전력망 응용에까지 확대하고 있다. 신재생에너지원의 이용률 및 전력망의 신뢰성 제고를 위해서는 전력 변환 회로의 잔존 유효 수명(Remaining Useful Life, RUL)을 예측하여 성능 저하 및 고장을 회피하고, 유지 보수를 합리화하는 것이 필수적이다.

일반적으로 전력 변환 회로는 인덕터 및 변압기 등의 자성 소자, 커패시터, 전력 반도체, 그리고 이들을 제어하기 위한 신호 처리 회로 등으로 구성된다. 이 중 전력 반도체는 전력 변환 회로의 효율, 전력 밀도, 전자파 방해, 가격, RUL 등의 다양한 성능 요소에 큰 영향을 미친다. 전력 반도체는 널리 쓰이는 TO-220, TO-247,

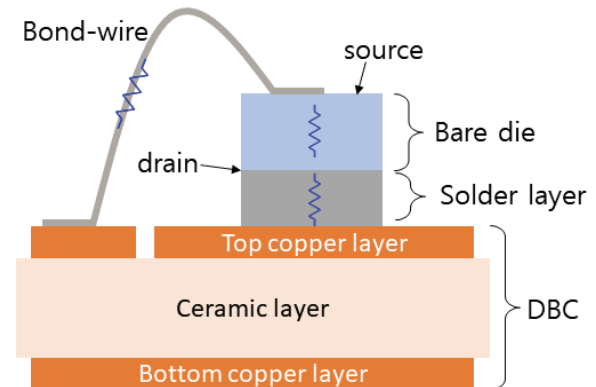


Fig. 1. Inside power module.

D2PAK 등의 표준 패키지부터 2개 이상의 반도체 칩을 집적한 전력 모듈(integrated power module)까지 다양한 형태로 회로에 적용된다. 이 중 전력 모듈은 일반적으로 그림 1과 같은 구조를 포함한다. 반도체 칩(bare-die)은 MOSFET, IGBT, 또는 다이오드 등의 전력 반도체 소자로, MOSFET의 경우 상부 표면에는 소스(source) 및 게이트(gate) 단자가, 하부 표면에는 드레인(drain) 단자가 있다. 와이어(bond-wire)는 소스 및 게이트를 소자의 외부로 연결하며, 납땀층(solder layer)은 드레인을 소자 외부로 연결한다. DBC(direct bond copper)는 세라믹 층

Paper number: TKPE-2022-27-3-5

Print ISSN: 1229-2214 Online ISSN: 2288-6281

[†] Corresponding author: jwshin@cau.ac.kr, School of Energy Systems Engineering, Chung-Ang University, Korea
Tel: +82-2-820-5867 Fax: +82-3280-5867

¹ Department of Smart Cities, Chung-Ang University, Korea

Manuscript received Nov. 7, 2021; revised Dec. 27, 2021; accepted Jan. 7, 2022

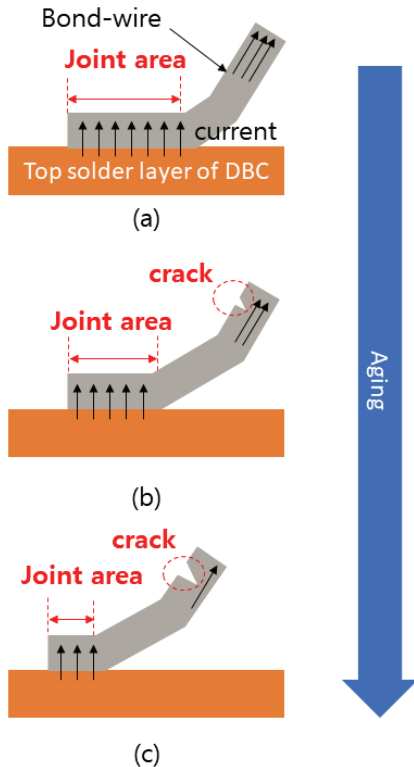


Fig. 2. Crack increases and joint area decreases in bond-wire as aging

의 상부 및 하부의 표면에 구리층을 접합한 것으로, 상부 구리층에 반도체 칩, 와이어, 그리고 전력 모듈과 외부 회로를 연결할 수 있는 단자 등이 연결되어 있다. 하부 구리층은 일반적으로 방열판(cold plate 또는 heat sink)으로 연결된다. 세라믹 층은 상부 및 하부 구리층 간의 전기적 절연 및 열전도를 목적으로 한다.

전력 모듈의 노화는 그림 1의 전력 모듈 내부에서 주로 반도체 칩, 와이어, 그리고 납땜층 등의 세 부분에서 일어나며, MOSFET 및 IGBT는 노화에 따라 온-상태(on-state)의 전압이 증가한다^{[1]-[3]}. 와이어의 노화는 와이어 자체의 균열 및 단선과, 반도체 칩 또는 DBC의 상부 구리층과의 접합 면적 감소 등의 두 가지 형태로 나타나며, 이는 그림 2에 표현되어 있다. 그림 2(a)에서 그림 2(c)로 갈수록 노화가 심해지면 접합 면적 감소와 균열의 증가로 전류가 흐르는 면적이 감소한다. 이와 같은 노화가 심화하면 개방 회로 고장(open circuit fault)의 원인이 된다^{[4],[5]}. 납땜층 또한 와이어와 마찬가지로 열팽창 및 열수축에 의해 균열이 생길 수 있으며, 심화할 경우 개방 회로 고장을 일으킨다^[6]. 이를 그림 3(a) - (c)에 걸쳐 나타내었다. 와이어의 그것과 마찬가지로 납땜층의 균열 역시 노화가 심해질수록 커지며, 이는 전류도통을 방해한다.

이와 같은 노화 메커니즘은 반도체 칩이 온-상태(on-state)일 때 전력 모듈의 저항, 즉 온-상태 저항이 증가하는 방향으로 나타난다. 즉, 전류가 도통할 때 전

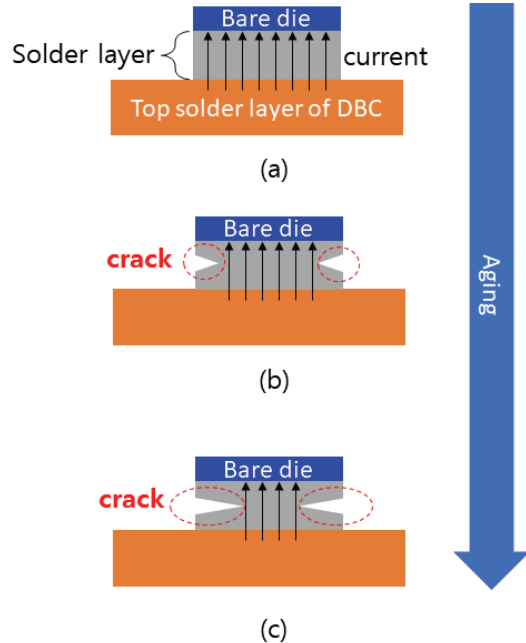


Fig. 3. Crack of solder layer increases as aging.

력 모듈의 온-상태 전압을 측정하고 이를 도통 전류로 정규화하면 이를 통해 전력 모듈의 저항을 계산할 수 있으며, 이를 통하여 전력 모듈의 RUL을 추정할 수 있다. 비파괴 형식의 온-상태 저항 측정은 전력 모듈의 외부에서 일어나므로, 상술한 세 요소의 저항, 즉 반도체 칩, 와이어, 그리고 납땜층의 저항의 총합이 측정된다. 이는 그림 1에 표현된 3개 저항의 직렬 연결된 값이다.

본 논문에서는 노이즈에 강인한 온-상태 전압 및 전류 측정 회로, 전류 스트레스 인가 회로, 온도 환경 제어를 위한 항온조 등 전력 모듈 노화 시험 환경을 설계 및 구현하며, 이를 사용한 노화 시험 결과로써 온-상태 저항 계산 결과를 보인다.

2. 전력 모듈 노화 시험 환경 구축

2.1 온-상태 전압 측정 회로

전력 모듈의 온-상태 전압 측정 회로는 그림 4와 같다. DUT(device under test)는 온-상태 전압을 측정하고자 하는 전력 모듈 내 MOSFET으로, 소스 단자는 접지되어 있다. DUT가 온-상태일 때 드레인 단자의 전압 V_{dsON} 를 측정하는 것이 본 회로의 목적이다. 게이트 구동 전압원 V_{gs} 은 게이트 저항 R_g 를 통해 DUT의 게이트에 연결되어 온 및 오프 동작을 일으킨다. 본 논문에서의 V_{gs} 는 스위칭 주파수 100kHz, 듀티 약 0.5, 온-상태 전압(V_{gsON}) 15V, 오프-상태 전압(V_{gsOFF}) 0V를 갖는다. 다이오드 D_b 는 베이커 클램프 회로^[7]에 응용되는 다이오드와 같이 동작하며, 저항 R_b 는 DUT가 온-상태일 때 D_b 로 과도한 전류가 흐르는 것을 막는다. DUT의 온-상태 및 오프-상태에 따른 회로의 동작은 다음과 같다.

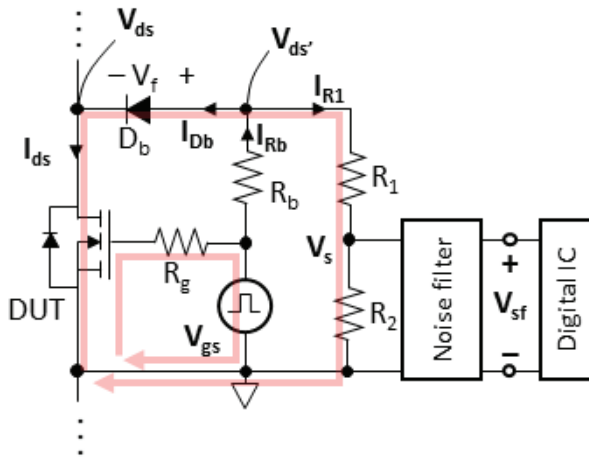


Fig. 4. On-state voltage sensing circuit.

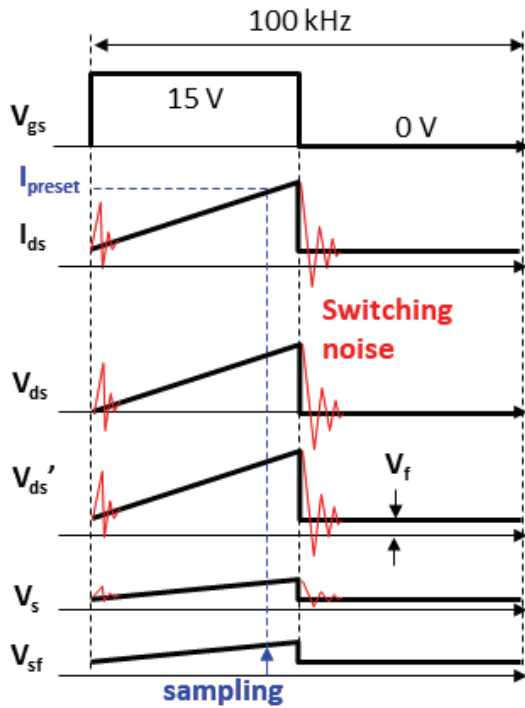


Fig. 5. Key voltage and current waveform of circuit in Fig. 4.

2.1.1 DUT 온-상태

DUT가 도통할 때의 V_{ds} , 즉 V_{dsON} 은 DUT의 도통 전류 I_{ds} 및 온-상태 저항 R_{ds} 에 의해 식 (1)과 같이 정해진다.

$$V_{dsON} = I_{ds} R_{ds} \quad (1)$$

D_b 의 애노드(anode) 단자 전압 V_{ds}' 은 식 (2)와 같다.

$$V_{ds}' = V_{dsON} + V_f \quad (2)$$

식 (2)의 V_f 는 D_b 의 포워드 전압으로 식 (3)에 나타난 D_b 의 도통 전류 I_{Db} 에 의존한다.

$$I_{Db} = I_{Rb} - I_{R1} = \frac{V_{gsON} - (V_{dsON} + V_f)}{R_b} - I_{R1} \quad (3)$$

식 (3)의 I_{R1} 은 저항 R_1 으로 흐르는 전류로, 후술할 노이즈 필터의 설계에 따라 달라진다. 노이즈 필터의 입력 전압 V_s 는 V_{ds}' 이 식 (4)에 의해 선형 감소된 형태이다.

$$V_s = \frac{R_1}{R_1 + R_2} V_{ds}' = \frac{R_1}{R_1 + R_2} (V_{dsON} + V_f) \quad (4)$$

전압원 V_{gs} 는 R_g 와 R_b 로 전류를 공급하는데, R_g 의 전류는 DUT가 온-상태로 천이한 직후가 아니라면 무시할 정도로 작으며, R_b 를 통해 흐르는 전류 I_{Rb} 는 식 (3)에 나타나 있다.

2.1.2 DUT 오프-상태

DUT가 오프-상태가 되면 DUT에는 고전압이 인가되며, I_{ds} 는 무시할 만큼 작은 값으로 감소한다. 이때 D_b 또한 오프되어 R_b , R_g , V_{gs} , R_1 , R_2 및 노이즈 필터 등을 고전압으로부터 보호한다. 이때의 V_{ds}' 은 식 (5)와 같이 정해진다.

$$V_{ds}' = V_{gsOFF} = 0 \quad (5)$$

그림 4의 회로를 구현할 때 빨간색으로 표시된 전류 경로의 길이를 짧게 해야 한다. DUT, D_b , R_1 , R_2 경로의 물리적 길이가 길어지면 기생 인덕턴스가 증가하고 스위칭 노이즈가 심해져 노이즈 필터의 설계가 어려워질 수 있다. 또한 DUT, R_g , V_{gs} 의 경로가 길어지면 DUT의 구동에 문제가 생길 수 있다.

그림 5에 DUT의 온 및 오프 동작에 따른 주요 파형 예시가 나타나 있다. 예를 들어 I_{ds} 가 0부터 선형적으로 증가하는 파형이라면 V_{ds} 및 V_{ds}' 도 이와 유사한 파형을 가진다.

일반적으로 V_s 는 수십 - 수백 mV 수준의 낮은 전압이므로, 외란에 의해 왜곡되기 쉽다. 특히 DUT 및 주변 회로에 기생하는 인덕턴스 및 커패시턴스의 공진에 의해 발생하는 스위칭 노이즈(그림 5에서 빨간색으로 표시)는 V_{dsON} 측정의 정밀도를 심각하게 저해하므로 노이즈 필터를 사용하여 제거 또는 억제하여야 한다. 노이즈 필터는 다양한 형태로 구현할 수 있는데, 본 논문에서는 그림 6과 같은 공통 모드 연산 증폭기 회로를 사용하였다. 해당 회로의 차단 주파수는 스위칭 노이즈의 주파수보다는 충분히 작게 하여 노이즈를 억제하면서도, 스위칭 주파수 100kHz보다는 충분히 크게 하여 I_{ds} 의 파형이 왜곡 없이 연산 증폭기의 출력 V_{sf} 에 나타나도록 해야 한다. 본 논문에서는 차단 주파수를 스위칭 주파수의 30배인 3MHz로 선정하여 검출 파형의 왜곡을 피하였다. 이와 같이 생성된 V_{sf} 는 DUT의 온-상태 전압 정보를 가지고 있어 DUT의 노화 식별에 활용할 수 있다.

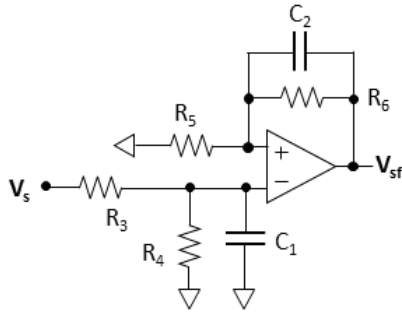


Fig. 6. Example of noise filter.

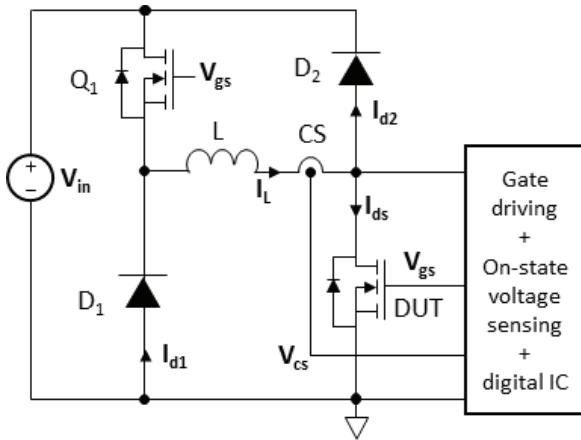


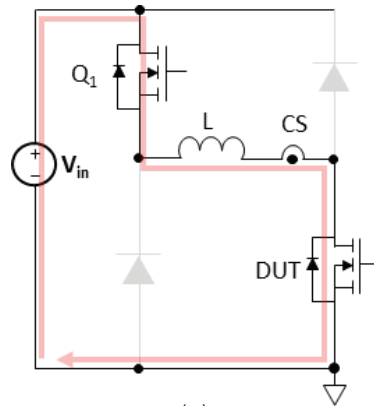
Fig. 7. Circuit to apply current stress to DUT.

그림 4의 디지털 IC는 V_{sf} 를 그림 5의 파란색 화살표가 나타내는 시점에 샘플링하여 연산한다. 이 시점은 DUT의 전류 I_{ds} 가 미리 설정된 값 I_{preset} 에 도달하는 때이며, DUT의 노화에 따라 스위칭 주기 내에서 가변하는 특성이 있다. 이와 같은 샘플링 시점 선정은 R_{ds} 계산을 위한 디지털 IC의 연산 과정을 간략화한다는 장점이 있다. 본 연구에서의 R_{ds} 측정은 고정밀도 확보가 아닌 DUT의 노화 예측을 위한 경향 분석에 목적을 두므로, 정확한 저항값보다는 장기간의 DUT 동작에 걸친 R_{ds} 의 변화량을 추적하는 것이 중요하다. I_{ds} 가 고정된 값인 순간에 샘플링된 V_{sf} 는 정규화된 R_{ds} 로 간주될 수 있으므로 디지털 IC 내의 나누기 연산, 즉 V_{sf}/I_{ds} 연산을 생략할 수 있어 제어 코드를 간소화하고 연산 수행 시간을 단축할 수 있다.

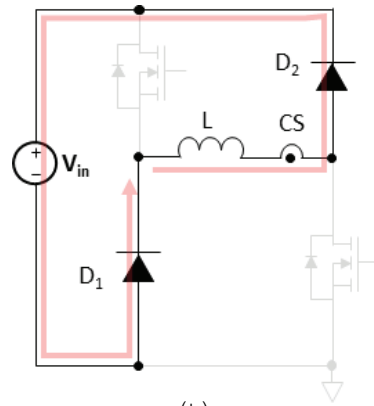
특히 I_{preset} 값이 너무 작으면 노이즈 필터가 있더라도 V_{sf} 값이 스위칭 노이즈 영향을 받을 수 있으므로, 샘플링 시점과 DUT의 온-상태 전이 시점 간의 충분한 시간 간격(수 μs 수준)이 확보되도록 I_{preset} 값을 설정하여야 한다.

2.2 전류 스트레스 인가 회로

전력 모듈의 노화는 서론의 설명과 같이 전력 모듈 내부의 부품들이 반복적인 열팽창 및 열수축에 의한 균열 발생 및 접합부 약화에 노출되기 때문에 일어난다.



(a)



(b)

Fig. 8. Operation of power circuit shown in Fig. 7 when (a) Q_1 and DUT are ON and (b) when Q_1 and DUT are OFF.

이와 같은 열팽창 및 열수축은 두 가지 요인에 의해 발생하는데, 하나는 전력 모듈의 동작에 따라 발생하는 전력 손실이며, 다른 하나는 전력 모듈의 주변 온도 변화이다. 본 절에서는 이 중 전력 손실에 주목하여, 그림 7과 같이 설계된 풀 브릿지(full-bridge) 회로를 사용하여 DUT에 전류 스트레스를 인가하는 것에 대해 설명한다. 이 회로는 입력 및 출력이 같은 비반전 벡-부스트 컨버터(non-inverting buck-boost converter)^[8]로 해석할 수 있다. 전력 MOSFET Q_1 및 DUT는 같은 게이트 신호 V_{gs} 에 의해 구동한다. Q_1 및 DUT가 켜지면 그림 8(a)와 같이 전류가 입력 전압원 V_{in} , Q_1 , 인덕터 L, 그리고 DUT를 통해 흐르며, 선형적으로 증가하는 형태를 가진다. Q_1 및 DUT가 꺼지면 전류는 그림 8(b)와 같이 L, 다이오드 D_1 , D_2 , 그리고 V_{in} 을 통해 흐르며, 선형적으로 감소한다. 이와 같은 구동은 DUT에 전류 스트레스를 인가하면서도 입력 전압원 V_{in} 으로부터의 소비 전력을 최소화하여 노화 시험 환경의 에너지 효율을 극대화한다. 즉, V_{in} 으로부터 추출된 에너지는 DUT의 턴-온 구간 동안에는 L에 저장되었다가, DUT의 턴-오프 구간 동안 다시 V_{in} 으로 회수된다. V_{in} 은 Q_1 , D_1 , D_2 , L, 그리고 DUT가 일으키는 손실만큼의 전력만을 전류 스트레스 인가 회로에 전달한다.

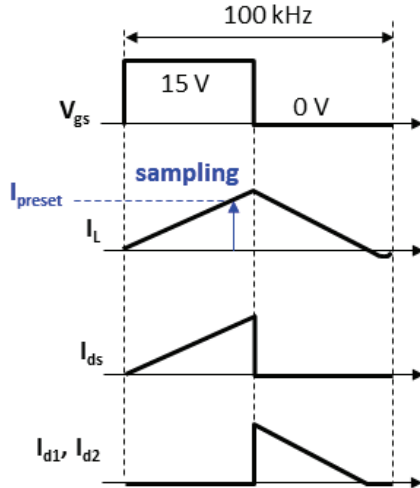


Fig. 9. Key waveform of the circuit in Fig. 7.

그림 9에 그림 7의 회로의 주요 전압 및 전류 파형을 도시하였다. DUT의 온-상태 전류 측정을 위해 L에 흐르는 전류 I_L 이 전류 센서 CS에 의해 측정되며, CS의 출력 전압은 그림 7에 표시된 바와 같이 V_{cs} 이다. 따라서 V_{cs} 는 그림 9의 I_L 과 같은 형태의 파형을 가진다. 파란색 화살표로 표시된 샘플링 시점은 I_L 이 미리 설정한 값인 I_{preset} 에 도달했을 때에 V_{sf} 의 샘플링이 일어남을 의미한다. DUT의 턴-온 구간 내에서는 그림 8(a)와 같이 I_L 이 DUT의 전류인 I_{ds} 와 일치하므로, 샘플링 시점은 2.1절에서 설명한 것과 같이 I_{ds} 가 일정한 시점에 일어난다.

그림 9의 I_L 파형에서 알 수 있듯이, 본 연구에서는 그림 7의 전류 스트레스 인가 회로의 동작이 경계 전류 모드(critical conduction mode) 또는 밸리 스위칭 모드(valley switching mode)^[9]에서 일어나도록 설계하였다. 이는 Q_1 , DUT의 영전압 스위칭 및 D_1 , D_2 의 영전류 스위칭을 통해 스위칭 노이즈를 최소화하여 2.1절에서 설명한 온-상태 전압 측정 회로가 잘 동작하도록 하기 위한 것이다.

일반적으로 전력 반도체의 노화는 전력 손실이 클수록 가속된다. 특히 위 문단의 설명과 같이 영전압 스위칭을 하는 MOSFET은 스위칭 손실이 거의 없어 도통 손실만으로 전력 손실을 계산할 수 있다. 그림 9와 같이 삼각파 형태를 띠는 DUT 전류 I_{ds} 의 rms (root-mean-square) 값 $I_{ds,rms}$ 는 식 (6)과 같다^[10].

$$I_{ds,rms} = \frac{V_{in}TD^2}{\sqrt{3}L} = I_{pk}\sqrt{\frac{D}{3}} \quad (6)$$

식 (6)에서 T는 스위칭 주기, D는 V_{gs} 의 듀티 비(duty ratio), V_{in} 은 입력 전압, I_{pk} 는 I_L 또는 I_{ds} 의 최댓값을 의미한다. 예를 들어 T와 D를 고정한다면 V_{in} 을 증가시키거나 인덕터의 인덕턴스 L을 감소시킴으로써 DUT의

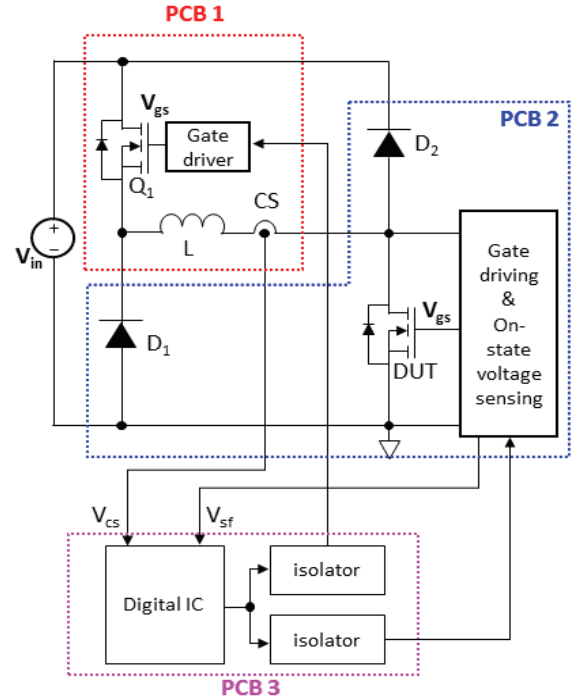
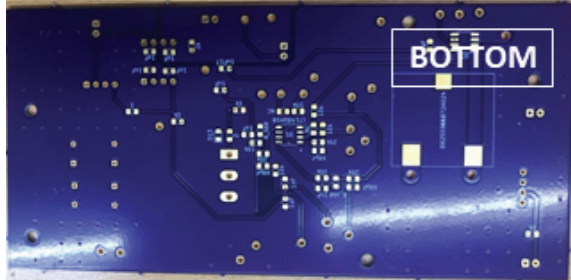
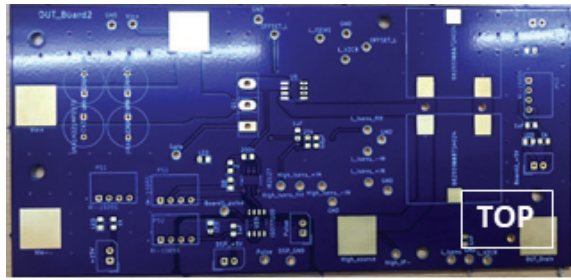


Fig. 10. Circuit for power module testing realized in three separate printed circuit boards.

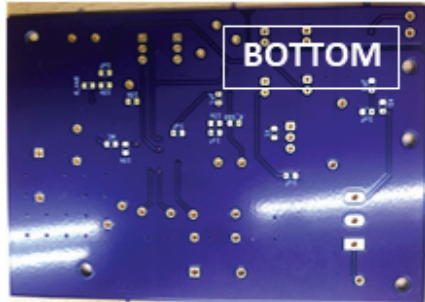
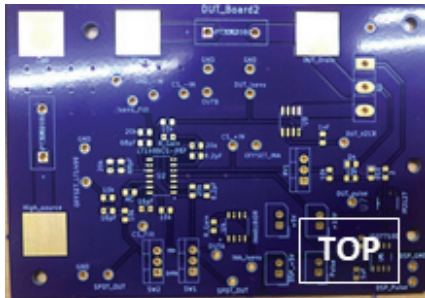
노화를 가속할 수 있다. 그러나 DUT의 정격 전류를 초과하는 전류의 인가는 DUT의 노화 가속은 물론 갑작스런 고장 또한 유발할 수 있으므로 과전류 보호 회로 등 안전 수단의 추가가 전제되어야 한다.

2.3 항온조의 활용

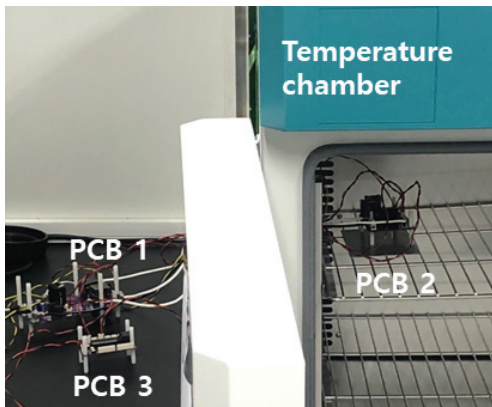
본 연구에서는 항온조^[11]를 이용하여 DUT에 인가되는 온도를 조절하였다. DUT 이외에 항온조 내의 온도 환경에 노출되는 회로 소자를 최소화하기 위하여 그림 4, 6, 7에서 설명한 회로를 그림 10과 같이 세 개의 분리된 인쇄 회로 기판(printed circuit board, PCB)에 조립되도록 설계하였다. PCB 1은 Q_1 과 Q_1 을 구동하기 위한 게이트 드라이버, L, 그리고 전류 센서 CS를 포함하며, 항온조 외부에 위치한다. PCB 2는 DUT를 포함하는 기판으로서, 항온조 내부에 위치하므로 항온조 내부 공간(가로x세로x높이 = 60x50x85cm)보다 작게 제작하였다. DUT 이외의 부품, 즉 D_1 , D_2 , 온-상태 전압 측정 회로 등은 항온조 내부의 온도 환경에 노출될 필요가 없다. 그러나 이들 소자가 항온조 외부에 위치한다면 항온조 내부 및 외부에 있는 도선이 길어지고 이에 따라 도선의 기생 인덕턴스가 커지게 되어 전류 스트레스 인가 회로 및 온-상태 전압 측정 회로의 동작에 문제가 생긴다. 따라서 D_1 , D_2 , 온-상태 전압 측정 회로는 PCB 2에 위치키며, 대신 D_1 , D_2 는 DUT에 비해 노화에 덜 민감하도록 충분한 전류 정격을 갖는 소자를 쓴다. 온-상태 전압 측정 회로 또한 동작 온도 범위가 넓은 소자를 사용하여 구성하는 편이 좋다. PCB 3은 제어 및 연산을 위한 것



(a)



(b)



(c)

Fig. 11. Photographs of (a) PCB 1, (b) PCB 2, and (c) configuration of PCB's and temperature chamber.

TABLE I
COMPONENTS USED IN THREE PRINTED CIRCUIT BOARDS

PCB #	Component	Parameter or Part Name
PCB 1	Q_1	IMW120R350M1H
	L	10 [μ H]
	CS	ACS730
PCB 2 (Fig. 4)	D_1, D_2	APT30520BG
	DUT	IMW120R350M1H
	Gate driver (V_{gs})	IR2127
	D_b	DMEG6002EJ
	R_b	2 [k Ω]
	R_g	2 [Ω]
PCB 2 (Fig. 6)	R_1, R_2	1 [k Ω]
	R_3, R_4, R_5, R_6	10 [k Ω]
	C_1, C_2	10 [pF]
PCB 3	Op-amp	LT1499
	Digital IC	dsPIC33JF16GS502
	Isolator	ISO7720

으로 디지털 IC 및 신호 절연 IC를 포함하며, PCB 1과 함께 항온조 외부에 위치한다.

3. 시험 환경 구현 및 시험 결과

그림 11(a) 및 그림 11(b)는 각각 회로 소자 조립 이전의 PCB 1 및 PCB 2의 모습이다. 그림 11(c)에는 PCB 1, PCB 2, PCB 3, 그리고 항온조를 사용한 노화 시험 환경을 나타내었다. 표 1에 각 PCB에 사용된 소자의 제정수 또는 부품명을 정리하였다. 그림 12는 온-상태 전압 측정 회로의 실험 파형이며, 위에서부터 I_L (빨간색, 눈금당 1A), V_{cs} (파란색, 눈금당 0.1V), V_{sf} (자주색, 눈금당 0.1V), V_{gs} (녹색, 눈금당 10V) 순으로 표시되어 있다. 시간 단위는 눈금당 5 μ s이다. V_{gs} 의 주파수는 100kHz, 듀티는 약 0.48이며, I_L 의 최대값이 3.6A로 확인되므로 DUT의 rms 전류 스트레스는 식 (6)에 의해 1.4A임을 알 수 있다. 이는 DUT의 정격 전류 4.7A의 약 30%로, 실제의 전력 변환 회로의 정상 상태 동작 시스템 스트레스를 모사하는 값이다. 이보다 큰 전류를 DUT에 가하면 노화 가속 시험이 가능하며, 이를 위해서는 식 (6)에 따라 L, D, T 등의 조절이 요구된다.

그림 12는 제2.1절의 온-상태 전압 검출 및 2.2절의 온-상태 전류 검출에 관계된 파형을 보이고 있다. 전류 프로브로 측정된 인덕터 전류 I_L 중, 상승 기울기를 갖

(c)

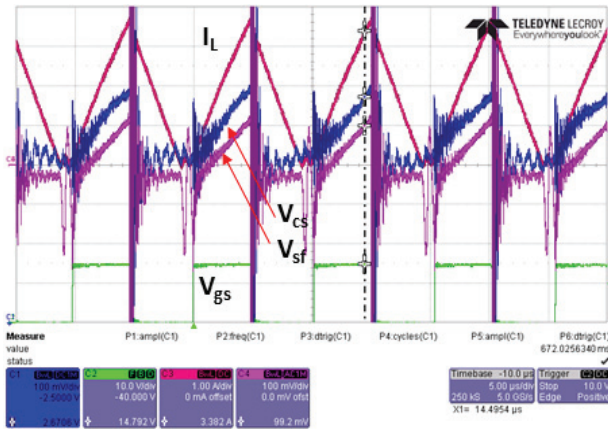


Fig. 12. Experimental waveform of on-state voltage sensing circuit shown in Fig. 4.

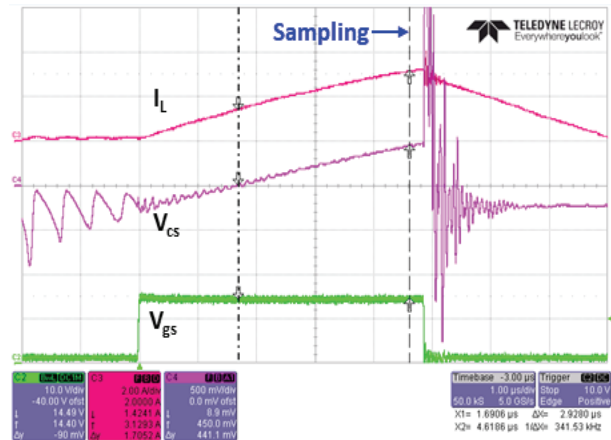


Fig. 13. Zoomed-in waveform shown in Fig. 12.

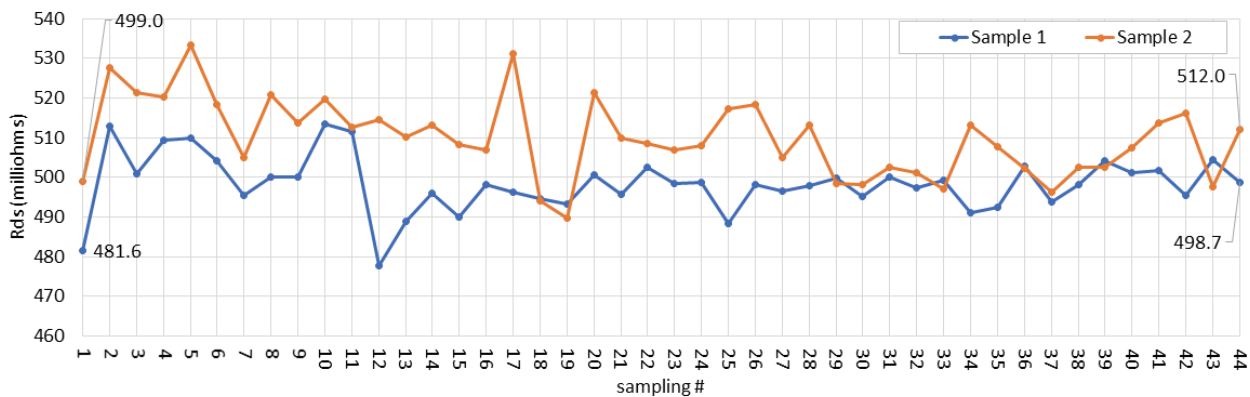


Fig. 14. Measured R_{DS} of two DUT samples using the testbed designed in Section 2 and realized in Section 3.

는 구간(또는 V_{GS} 가 15V인 구간)이 DUT의 전류 I_{DS} 에 해당한다. 그림 6의 연산 증폭기 회로의 출력 전압 V_{SF} 의 파형은 스위칭 노이즈가 억제되면서도 I_{DS} 의 파형과 유사하다. 다만 DUT가 꺼진 직후의 노이즈가 완전히 제거되지 않는데, 이는 그림 13과 같이 회피할 수 있다. 그림 13에 나타난 세 파형은 위에서부터 각각 I_L (빨간색, 눈금당 2A), V_{CS} (자주색, 눈금당 0.5V), V_{GS} (녹색, 눈금당 10V)이며, 시간 단위는 눈금당 1 μ s이다. V_{CS} 의 샘플링은 파란색 화살표로 표시된 시점, 즉 I_L 또는 I_{DS} 가 $I_{pre-set}$ 값인 3A에 도달하는 시점에서 일어나며, DUT가 꺼지면서 발생하는 스위칭 노이즈는 샘플링 이후 시점에서 일어나므로 온-상태 전압 측정에 문제가 없음을 알 수 있다.

그림 14는 본 논문에서 설계 및 구현한 노화 시험 환경, 즉 온-상태 전압 측정 회로, 전류 스트레스 인가 회로, 항온조 등이 44시간 연속 동작하는 동안 디지털 IC에 의해 계산된 DUT의 R_{DS} 를 나타낸 것이다. 모두 2개의 DUT(샘플 1 및 샘플 2)가 사용되었으며, 해당 시간 동안 디지털 IC는 총 44회의 샘플링(1시간당 1회)을 그림 13에 보이는 것과 같이 수행하였다. 1회의 R_{DS} 계산에는 노이즈의 영향을 없애기 위해 약 10-20개의 측정값

결과의 평균을 사용하였다. 노화 시험 전 481.6 밀리옴이던 샘플 1의 R_{DS} 초기값이 시험 후에는 498.7 밀리옴으로 약 3% 증가하였다. 샘플 2의 경우 또한 시험 전 499.0 밀리옴이던 R_{DS} 초기값이 시험 후에는 512.0 밀리옴으로 약 2.5% 증가하였다. 이를 통해 제2장에서 설계 및 구현한 노화 시험 환경이 전력 모듈의 노화를 측정하기에 알맞다고 볼 수 있다.

4. 결 론

본 논문에서는 전력 모듈의 노화 및 고장 메커니즘에 기반하여 전력 모듈의 온-상태 저항을 측정할 수 있는 회로를 설계하였다. 해당 회로는 온-상태 전압 측정 회로, 전류 스트레스 인가 회로, 디지털 IC 및 주변 회로 등으로 나누어 구현되었으며, 항온조를 활용하여 온도 환경 조절 또한 가능한 전력 모듈 노화 시험 환경을 구축하였다. 이와 같은 시험 환경을 활용한 44시간 동안의 시험 결과, SiC MOSFET의 온-상태 저항이 2.5-3% 상승하는 것을 확인하였다.

본 논문에서 보인 노화 시험 환경의 타당성과는 별개로, DUT의 정확한 RUL 추정을 위해서는 더욱 많은 시

험 데이터가 요구된다. 후속 연구에서는 본 논문에서 구축한 노화 시험 환경에서 다수의 DUT 샘플을 장시간의 스트레스에 노출시켜 충분한 온-상태 저항 데이터를 얻을 예정이다. 또한 샘플링 시점의 DUT 온도 및 주변 온도, 또한 이들 온도가 검출 회로 내의 회로 소자에 미치는 영향을 함께 고려하여 고정밀 RUL 모델 설계에 활용할 계획이다.

본 연구는 한국에너지기술연구원의 기본사업(C1-2420)을 재원으로 수행한 연구개발과제의 결과입니다.

References

- [1] U. Choi, S. Jørgensen, and F. Blaabjerg, "Advanced accelerated power cycling test for reliability investigation of power device modules," *IEEE Transactions on Power Electronics*, Vol. 31, No. 12, pp. 8371 - 8386, Dec. 2016.
- [2] U. Choi, F. Blaabjerg, and S. Jørgensen, "Study on effect of junction temperature swing duration on lifetime of transfer molded power IGBT modules," *IEEE Transactions on Power Electronics*, Vol. 32, No. 8, pp. 6434 - 6443, Aug. 2017.
- [3] M. Heydarzadeh, S. Dusmez, M. Nourani, and B. Akin, "Bayesian remaining useful lifetime prediction of thermally aged power MOSFETs," in *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 2718 - 2722, 2017.
- [4] A. Hanif, D. DeVoto, and F. Khan, "Bond wire damage detection and SOH estimation of a dual-pack IGBT power module using active power cycling and reflectometry," *IEEE Transactions on Power Electronics*, Vol. 35, No. 7, pp. 6761 - 6772, Jul. 2020.
- [5] C. Chu, C. Dong, J. Hu, M. Du, and Z. Ouyang, "Aging monitoring method of bond wires based on phase-frequency characteristics of differential mode conducted interference signal for IGBT module," *IEEE Transactions on Device and Materials Reliability*, Nov. 2021.
- [6] W. Lai, M. Chen, L. Ran, O. Alatise, S. Xu, and P. Mawby, "Low ΔT_j stress cycle effect in IGBT power module die-attach lifetime modeling," *IEEE Transactions on Power Electronics*, Vol. 31, No. 9, pp. 6575 - 6585, Sep. 2016.
- [7] R. H. Baker, "Maximum efficiency switching circuits," *MIT Lincoln Lab Report TR-110*, 1956.
- [8] G. Stahl, M. Rodriguez, and D. Maksimovic, "A high-efficiency bidirectional buck-boost DC-DC converter," in *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 1362 - 1367, 2012.
- [9] L. Huber, B. T. Irving, and M. M. Jovanovic, "Effect of valley switching and switching-frequency limitation on line-current distortions of DCM/CCM boundary boost PFC converters," *IEEE Transactions on Power Electronics*, Vol. 24, No. 2, pp. 339 - 347, Feb. 2009.
- [10] R. Erickson and D. Maksimovic, *Fundamentals of power electronics*, 3rd Ed., Springer, p. 1039, 2020.
- [11] Jeitech, "Heating and cooling chamber LCH-11G," [Online]. available: https://www.jeitech.com/item.php?it_id=1361326243.



신준호(申俊浩)

2022년 중앙대 에너지시스템공학부 발전전기전공 졸업. 2022년~현재 동 대학원 스마트시티학과 석·박사통합과정.



신종원(辛宗元)

2006년 서울대 전기공학부 졸업. 2013년 동 대학원 전기정보공학부 졸업(공박). 2013년~2015년 미국 버지니아텍 방문 연구원. 2015년~2018년 Toyota Motor Engineering and Manufacturing North America 연구원. 2018년~현재 중앙대 에너지시스템공학부 부교수.