

# 1.5V 256kb eFlash 메모리 IP용 저면적 DC-DC Converter 설계

김영희\*, 김홍주\*, 하판봉\*

## Design of Low-Area DC-DC Converter for 1.5V 256kb eFlash Memory IPs

YoungHee Kim\*, HongZhou Jin\*, PanBong Ha\*

**요약** 본 논문에서는 배터리 응용을 위해 저면적 DC-DC 변환기를 갖는 1.5V 256kb eFlash 메모리 IP를 설계하였다. 저면적 DC-DC 변환기 설계를 위해서 본 논문에서는 단위 전하펌프 회로에서 펌핑 노드의 전압을 VIN 전압으로 프리차징해주는 회로인 크로스-커플드 (cross-coupled) 5V NMOS 트랜지스터 대신 5V NMOS 프리차징 트랜지스터를 사용하였고, 펌핑 노드의 부스팅된 전압을 VOUT 노드로 전달해주는 트랜지스터로 5V 크로스-커플드 PMOS 트랜지스터를 사용하였다. 한편 5V NMOS 프리차징 트랜지스터의 게이트 노드는 부스트-클럭 발생기 회로를 이용하여 VIN 전압과 VIN+VDD 전압으로 스윙하도록 하였다. 그리고 펌핑 커패시터의 한쪽 노드인 클럭 신호를 작은 링 발진 (ring oscillation) 주기 동안 full VDD로 스윙하기 위해 각 단위 전하펌프 회로마다 로컬 인버터 (local inverter)를 추가하였다. 그리고 지우기 모드 (erase mode)와 프로그램 모드 (program mode)에서 빠져나와 대기 (stand-by) 상태가 될 때 부스팅된 전압을 VDD 전압으로 프리차징해주는 회로를 사용하는 대신 HV (High-Voltage) NMOS 트랜지스터를 사용하여 VDD 전압으로 프리차징 하였다. 이와같이 제안된 회로를 DC-DC 변환기 회로에 적용하므로 256kb eFLASH IP의 레이아웃 면적은 기존 DC-DC 변환기 회로를 사용한 경우보다 6.5% 정도 줄었다.

**Abstract** In this paper, a 1.5V 256kb eFlash memory IP with low area DC-DC converter is designed for battery application. Therefore, in this paper, 5V NMOS precharging transistor is used instead of cross-coupled 5V NMOS transistor, which is a circuit that precharges the voltage of the pumping node to VIN voltage in the unit charge pump circuit for the design of a low-area DC-DC converter. A 5V cross-coupled PMOS transistor is used as a transistor that transfers the boosted voltage to the VOUT node. In addition, the gate node of the 5V NMOS precharging transistor is made to swing between VIN voltage and VIN+VDD voltage using a boost-clock generator. Furthermore, to swing the clock signal, which is one node of the pumping capacitor, to full VDD during a small ring oscillation period in the multi-stage charge pump circuit, a local inverter is added to each unit charge pump circuit. And when exiting from erase mode and program mode and staying at stand-by state, HV NMOS transistor is used to precharge to VDD voltage instead of using a circuit that precharges the boosted voltage to VDD voltage. Since the proposed circuit is applied to the DC-DC converter circuit, the layout area of the 256kb eFLASH memory IP is reduced by about 6.5% compared to the case of using the conventional DC-DC converter circuit.

**Key Words** : Battery Application, DC-DC Converter, eFlash, IP, Small Area

This research is financially supported by Changwon National University in 2021~2022. The EDA tool was supported by the IC Design Education Center(IDECE), Korea.

\*Department of Electronic Engineering, Changwon National University

\*\*Corresponding Author : Department of Electronic Engineering, Changwon National University (pha@changwon.ac.kr)

Received March 07, 2022

Revised March 20, 2022

Accepted March 25, 2022

## 1. 서론

MCU용 비휘발성 메모리(Non-volatile memory)는 1Mb 이하의 EEPROM 메모리나 eFlash 메모리 IP (Intellectual property)가 주로 사용되고 있다 [1-5]. 그리고 배터리 응용에서 배터리의 수명을 증가시키기 위해 저전력 소모 (Low power dissipation)를 갖는 EEPROM 또는 eFlash IP가 요구되며, 저전력 소모를 만족시키는 eFlash IP를 설계하는 방법은 공급전압 (Power supply voltage)을 낮추는 것이다 [6]. 현재 배터리 응용을 위해 많이 사용되는 eFlash 공정은 0.13 $\mu$ m eFlash 공정이며, 0.13 $\mu$ m eFlash 공정에서 로직 소자 (Logic device)에 사용되는 전압은 1.5V이므로 1.5V 단일 전원을 사용하는 것이 회로설계를 간단하게 할 수 있다[5].

한편 0.13 $\mu$ m eFlash IP는 16.8V의 VPP (Boosted Voltage) 전하펌프 회로를 필요로 한다[2][5]. VPP 전하펌프 회로로 pn 접합 다이오드를 사용하는 Dickson 전하펌프 회로[7]는 저전압 eFlash IP의 VPP 전하펌프 회로에 사용하는데 문제가 있다[5]. 한편 eFlash IP의 VPP 전하펌프 회로로 5V NMOS와 PMOS 트랜지스터를 사용한 크로스-커플드 (cross-coupled) 전하펌프 회로[8]를 사용한 경우 지우기 모드 (erase mode)와 프로그램 모드 (program mode)에서 빠져나올 때 각 펌핑 단 (Pumping stage) 전하펌프회로의 출력 노드 전압을 VDD로 프리차징시키는 동시에 펌핑 노드들을 각 펌핑 단의 입력전압으로 프리차징하므로 VPP 전하펌프 회로에 사용된 5V 소자가 접합 파괴 (junction breakdown)이나 게이트 산화막 파괴 (gate oxide breakdown)에 의한 문제를 해결할 수 있다[5]. 참고문헌[5]에서 제안된 각 펌핑 단 전하펌프 회로의 출력 전압과 전하펌프 회로 내부의 부스팅된 노드 전압을 각 펌핑 단의 입력전압으로 프리차징 시켜주는 프리차징 회로는 HV (High-voltage) PMOS 트랜지스터와 HV NMOS 트랜지스터 소자를 사용하므로 레이아웃 면적이 증가한다.

그래서 본 논문에서 제안된 단위 전하펌프 회로는 펌핑 노드의 전압을 VIN 전압으로 프리차징해

주는 회로에 사용되는 크로스-커플드 5V NMOS 트랜지스터 대신 게이트 전압을 부스팅시켜 ON시키는 5V NMOS 프리차징 트랜지스터를 사용하였고, 펌핑 노드의 부스팅된 전압을 VOUT 노드로 전달해주는 트랜지스터로 5V 크로스-커플드 PMOS 트랜지스터를 사용하였다. 5V NMOS 프리차징 트랜지스터의 게이트 노드는 부스트-클럭 발생기 회로를 이용하여 VIN 전압과 VIN+VDD 전압으로 스위칭하는 부스팅 NMOS 게이트 전압을 사용하였다. 그리고 다단계 (multi-stage) VPP 전하펌프 회로의 각 단위 전하펌프 회로마다 로컬 인버터를 추가하여 작은 링 발진 (ring oscillation) 주기 동안 펌핑 커패시터의 한쪽 노드인 클럭 신호를 full VDD 전압으로 스위칭하기 위해 로컬 인버터 (local inverter)를 추가하였다. 그리고 지우기 모드와 프로그램 모드에서 빠져나와 대기 상태가 될 때 부스팅된 전압을 VIN 전압으로 프리차징해주는 회로 대신 HV (High-Voltage) NMOS 트랜지스터를 사용하였다. 배터리 응용을 위해 0.13 $\mu$ m eFlash 공정을 사용하여 1.5V 256kb eFlash IP를 설계하였다. 설계된 eFlash IP는 앞에서 언급된 제안된 회로를 DC-DC 변환기 회로의 VPP, VPPL (Inhibit voltage)과 VRD (Read voltage) 전하펌프 회로에 적용하였다. 새롭게 제안된 DC-DC 변환기 회로를 사용한 256kb eFlash IP의 레이아웃 면적은 0.7493 $\mu$ m<sup>2</sup>로 기존 DC-DC 변환기 회로를 사용했을 때 256kb eFlash IP의 레이아웃 면적인 0.8014 $\mu$ m<sup>2</sup>보다 레이아웃 면적을 6.5% 정도 줄였다.

## 2. 1.5V 256kb eFlash IP 설계

0.13 $\mu$ m eFlash 공정을 사용하여 배터리 응용을 위해 설계된 256kb eFlash 메모리 IP의 주요 특징은 표 1과 같다. 1.5V  $\pm$  10%의 단일 파워 VDD를 사용하였으며, eFlash IP관련 기본 동작 모드인 읽기 모드 (read mode), 페이지 지우기 모드 (page erase mode), 페이지 버퍼 로드 모드 (page buffer load mode), 페이지 프로그램 모드 (page program mode)를 지원하고 있다.

표 1. 256kb EEPROM IP의 주요 특징.  
Table 1. Major specifications of 256kb EEPROM IP.

Item	Main Feature	
VDD	1.35V ~ 1.65V	
Function	Normal Mode	Read / Page Erase / Page Buffer Load / Page Program
	Write-Verify-Mode	Erase-Verify-Read / Program-Verify-Read
Memory Capacity	256kb	
Cell Array	256Rows x 1024Columns	
I/O	32bit	
Page Size	128Bytes	
Temperature Range	-40°C ~ 85°C	
Write Time	2.5ms	
Cycle Time	40ns	
Endurance	10K	
Data Retention	10Years	

동작 모드에 따른 eFlash 셀의 바이어스 전압은 표 2에서 보는 바와 같다. 표 2에서 보는 바와 같이 프로그램 모드에서 전하펌프 회로를 이용한 부스트 전압 발생기 (boosted voltage generator) 인 VPP와 VPPL의 전압은 각각 16.8V와 9.4V이고, 지우기 모드에서 VPP 전압은 13.2V인 것을 볼 수 있다. 한편 읽기 모드에서 VRD (Read voltage) 전압은 3.1V이다. 한편 표 3은 동작모드별 전하펌프 회로의 목표 전압을 보여주고 있다. 표 3에서 보는 바와 같이 프로그램 모드와 지우기 모드에서 VPP와 VPPL 전압은 VDD (Power supply voltage) 전압 이상의 전압을 필요로 하면서 구동전류는 10 $\mu$ A 이상의 전류를 필요로 하므로 전하펌프 회로가 적합하다. 그리고 VRD 전압은 프로그램 모드, 지우기 모드와 읽기 모드에서 3.1V의 전압을 필요로 하면서 100 $\mu$ A 이상의 구동전류를 필요로 하므로 전하펌프 회로로 구현이 가능하다.

표 2. 동작 모드별 eFlash 셀의 바이어스 조건.  
Table 2. Bias conditions of an eFlash cell according to the operation modes.

		Program	Erase	Read
CG	Selected	16.8v	0V	3.1V
	Unselected	0V	13.2V	0V
BL	Selected	floating	floating	0.6V
	Unselected	floating	floating	floating
SL	Selected	0V	13.2V	0V
	Unselected	9.4V	13.2V	0V
HPW	Selected	0V	13.2V	0V
HDNW	Selected	0V	13.2V	0V

표 3. 동작모드별 전하펌프 회로의 목표전압.  
Table 3. Target voltage of charge pump circuit according to operation modes.

Operating Mode	VPP	VPPL	VRD
Program	16.8V	9.4V	3.1V
Erase	13.2V	VDD	3.1V
Read	VDD	VDD	3.1V

Positive charge pumping에 의해 입력전압인 VDD보다 더 큰 출력전압 VOUT을 공급해주는 전하펌프 회로는 그림 1의 Dickson 전하펌프 회로가 있다. Dickson 전하펌프 회로는 그림 1에서 보는 바와 같이 pn 접합다이오드와 MOS 펌핑 커패시터 소자로 구성되어 있으며, 각 단마다 다이오드의 컷-인 전압 손실이 있어 표 2의 프로그램 모드에서 1.5V의 VDD 전압으로 16.8V의 VPP 전압을 공급하기 위해서는 34단의 펌핑 단이 필요하기 때문에 VPP 전하펌프 회로의 레이아웃 면적이 증가한다. 그래서 Dickson 전하펌프 회로는 저전압 VDD 동작에 사용하는데 어려움이 있다.

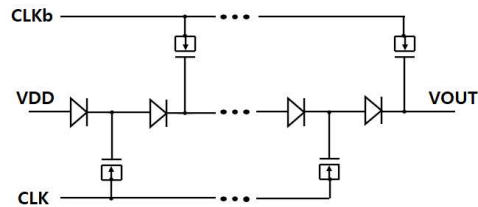


그림 1. Dickson 전하펌프 회로[7].  
Fig. 1. Dickson charge pump circuit[7].

한편 eFlash IP에 사용되는 VPP 전하펌프 회로는 그림 2에서 보는 바와 같이 5V NMOS와 PMOS 트랜지스터를 사용한 BPBC (Body-potential biasing circuit) 회로를 갖는 크로스-커플드 전하펌프 회로[5]가 사용되고 있다. 그림 2에서 보는 바와 같이 기존의 크로스-커플드 전하펌프 회로는 cross-coupled NMOS 트랜지스터 (MN1과 MN2), 크로스-커플드 PMOS 트랜지스터(MP1과 MP2), BPBC 트랜지스터 (MP3, MP4, MP5와 MP6)는 5V 트랜지스터가 사용된다. 반면 펌핑 커패시터 (MC1과 MC2), 지우기 모드와

프로그램 모드에서 빠져나올 때 펌핑 노드인 N1과 N2 노드 전압을 VIN 전압으로 프리차징 시켜주는 프리차징 회로에 사용되는 트랜지스터 (MP7, MP8, MP9, MP10, MN3와 MN4)는 게이트 산화막 파괴 전압이나 접합 파괴전압을 고려하여 HV 트랜지스터를 사용하여야 한다. 그리고 그림2에 있는 VOUT 프리차징 회로는 지우기 모드와 프로그램 모드에서 빠져나올 때 VOUT 출력 전압을 VDD 전압으로 프리차징 시켜주는 역할을 하며, 그림 3의 회로와 같다. 그림 2의 회로를 사용한 전하펌프 회로는 지우기 모드와 프로그램 모드에서 빠져나올 때 그림 2의 전하 펌핑 노드인 N1과 N2 노드 전압을 VIN 전압으로 프리차징 시켜주고 VOUT 전압을 VDD 전압으로 프리차징 시켜주므로 전하 펌프 회로에 사용된 크로스-커플드 NMOS 트랜지스터와 크로스-커플드 PMOS 트랜지스터에 게이트 산화막 파괴 전압이나 접합 파괴전압 이상의 고전압이 인가되지 않도록 하므로 5V NMOS/PMOS 소자의 신뢰성 특성을 확보할 수 있다.

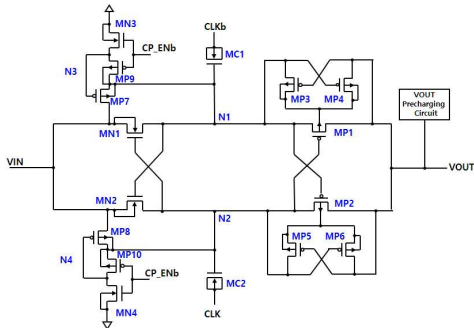


그림 2. 기존의 cross-coupled 전하펌프 회로[5].  
Fig. 2. Conventional cross-coupled charge pump circuit[5].

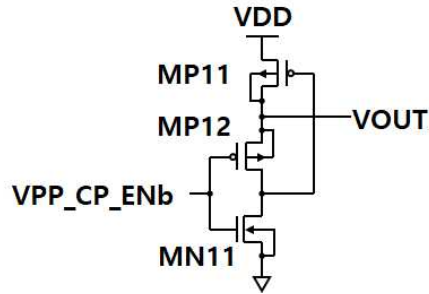


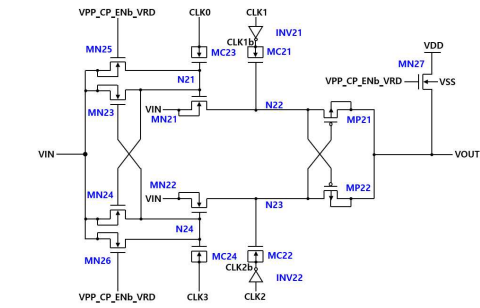
그림 3. VOUT 프리차징 회로.  
Fig. 3. VOUT precharging circuit.

그런데 그림 2의 크로스-커플드 NMOS 트랜지스터 (MN1과 MN2)는 전하 펌핑시 펌핑 노드 (N1과 N2)의 모든 전하가 크로스-커플드 PMOS 트랜지스터 (MP1과 MP2)를 통해 출력단인 VOUT 노드로 전달이 되어야 하나 일부 전하는 크로스-커플드 NMOS 트랜지스터를 통해 입력 노드인 VIN으로 빠져나가는 문제점이 있다[9]. 그리고 지우기 모드나 프로그램 모드에서 빠져나올 때 N1 노드 전압을 VIN 전압으로 프리차징 시켜주는 회로 (MP7, MP9과 MN3), N2 노드 전압을 VIN 전압으로 프리차징 시켜주는 회로 (MP8, MP10과 MN4)와 VOUT 노드 전압을 VDD 전압으로 프리차징 시켜주는 회로 (MP11, MP12와 MN11)에 사용된 NMOS와 PMOS 소자는 HV 소자를 사용하므로 전하펌프 회로의 레이아웃 면적이 큰 단점이 있다.

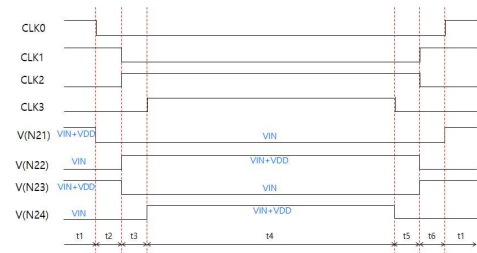
그래서 본 논문에서 제안된 그림 4(a)의 전하펌프 회로는 그림 2의 단위 전하펌프 회로에서 펌핑 노드의 전압을 VIN 전압으로 프리차징해주는 회로에 사용되는 크로스-커플드 5V NMOS 트랜지스터 대신 5V NMOS 프리차징 트랜지스터 (MN21과 MN22)를 사용하였고, 펌핑 노드의 부스팅된 전압을 VOUT 노드로 전달해주는 트랜지스터로 5V 크로스-커플드 PMOS 트랜지스터 (MP21과 MP22)를 사용하였다. 5V NMOS 프리차징 트랜지스터의 게이트 노드 (N23과 N24)는 부스트-클럭 발생기 (MN23, MN23, MC23과 MC24)를 이용하여 그림 4(b)에서 보는 바와 같이 VIN 전압과 VIN+VDD 전압으로 스위칭하는 부스팅 게이트

클록을 사용하였다. 그리고 단위 전하펌프 회로에서 펌핑 커패시터 (MC21과 MC22)의 한쪽 노드인 CLK1b와 CLK2b를 full VDD로 스윙하기 위해 각 단위 전하펌프 회로마다 로컬 인버터 (INV21과 INV22)를 추가하였다.

그림 4(b)에서 보는 것처럼 4개의 클록 신호 (CLK0, CLK1, CLK2와 CLK3)는 겹치지 않는 (non-overlap) 클록 신호이다. CLK0와 CLK2는 겹치지 않는 시간인  $t_2$ 와  $t_6$  시간을 제외하고는 기본적으로 같은 위상을 가진다. 유사하게 CLK1과 CLK3는 겹치지 않는 시간인  $t_3$ 와  $t_5$  시간을 제외하고는 기본적으로 같은 위상을 가진다. 그림 4(b)의 노드 N21과 노드 22의 정상상태 전압은 NMOS 프리차징 트랜지스터 (MN21과 MN22)와 NMOS 펌핑 커패시터 (MC21과 MC22)에 의해 VIN과 VIN + VDD 사이의 전압에서 스윙한다. 그림4(b)에 보이는  $t_4$ 의 시간 구간동안 CLK0, CLK1, CLK2와 CLK3는 각각 0V, 0V, VDD와 VDD 전압이 된다. 그래서 N21, N22, N23와 N24의 전압은 각각 VIN, VIN+VDD, VIN와 VIN+VDD 전압이므로 VOUT 전압은 ON된 MP21 PMOS 트랜지스터를 통해 VIN+VDD 전압이 된다. 그림4(b)의  $t_1$ 으로 표시된 시간 구간동안 VOUT 전압은 ON된 MP22 PMOS 트랜지스터를 통해 VIN+VDD 전압이 된다. 이와같이 CLK1b 전압이 0V에서 VDD로 스위칭하면서 N22의 부스팅된 전하가 MP21을 통해 VOUT 노드로 펌핑 전하가 한번 전달되고 CLK2b 전압이 0V에서 VDD로 스위칭하면서 N23의 부스팅된 전하가 MP22를 통해 VOUT 노드로 펌핑 전하가 또 한번 전달되므로 그림 4(a)의 제안된 전하 펌프회로는 한 클록 사이클 동안에 전하펌핑이 2번 일어나는 2-위상 전하펌핑 회로이다. 그림 4(a)에서 제안된 전하 펌핑 회로의 VOUT 노드 최대 전압은 VIN+VDD 전압까지 올라갈 수 있다.



(a) 회로도



(b) Steady-state에서 timing diagram

그림 4. 제안된 단위 전하펌프 회로.

Fig. 4. Proposed unit charge pump circuit: (a) circuit and (b) timing diagram in the steady state.

한편 그림 2의 기존 전하펌프 회로는 지우기 모드나 프로그램 모드에서 빠져나온 상태인 대기 상태에서 VPP\_CP\_ENb\_VRD 신호가 0V에서 VRD (=3.1V) 전압으로 스위칭하면서 N1과 N2 노드와 VOUT 노드 전압을 VIN 전압으로 프리차징 시켜주는 회로 (MP7, MP8, MP9, MP10, MP11, MP12, MN3, MN4와 MN11)에 사용된 NMOS와 PMOS 소자는 모두 HV 소자를 사용하므로 전하펌프 회로의 레이아웃 면적이 큰 단점이 있다. 전하펌프 회로의 레이아웃 면적이 커지는 단점을 해결하기 위해서 본 논문에서는 그림 4(a)의 단위 전하펌프 회로에서 5V NMOS 트랜지스터 (MN21과 MN22)의 게이트 노드 (N23과 N24)와 각 단위 전하펌프의 출력 노드 (VOUT) 전압을 VIN 전압으로 프리차징해주는 회로를 HV PMOS 트랜지스터와 HV NMOS 트랜지스터가 포함된 프리차징 회로를 사용하는 대신 HV NMOS 트랜지스터 하나로 대체하였다. 이렇게 수정된 단위 전하 펌프 회로를 VPP, VPPL와 VRD 전하펌프 회로에 동일하게 적용하였다.

### 3. 모의실험 및 레이아웃 결과

표 4는 VDD=1.35V, SS model parameter, Temp.=85°C의 slow 모의실험 조건에서 그림 2의 기존 VPP 전하펌프 회로와 그림 4(a)의 제안된 VPP 전하펌프 회로에 대한 발진 주기에 따른 전하펌프 회로의 펌핑전류를 모의실험한 결과이다. 로컬 인버터를 사용하지 않은 기존 전하펌프 회로는 표 4에서 보는 바와 같이 15 $\mu$ s의 펌핑전류를 만족시키기 위해 60ns의 링 발진 주기로 설계를 하였다. 반면 제안된 전하펌프 회로는 15 $\mu$ s의 펌핑전류를 만족시키기 위해 링 발진 주기는 30ns이므로 T<sub>osc</sub>=30ns로 정하였다. 이때 기존의 펌핑 커패시터 사이즈는 25 $\mu$ m/11.2 $\mu$ m=5인 반면, 로컬 인버터를 클록에 사용한 제안된 펌핑 커패시터 사이즈는 발진 주기를 60ns에서 30ns로 줄이므로 20 $\mu$ m/10.5 $\mu$ m=4로 줄일 수 있었다.

표 4. Slow 모의실험 조건에서 oscillation 주기에 따른 전하펌프 회로의 펌핑전류 모의실험 결과.

Table 4. Simulation results of the pumping current of the charge pump circuit according to the oscillation periods under the slow simulation conditions.

Tosc	Conventional	Proposed
15ns	24.49 $\mu$ A	16.32 $\mu$ A
20ns	25.05 $\mu$ A	16.65 $\mu$ A
25ns	24.13 $\mu$ A	16.01 $\mu$ A
30ns	22.70 $\mu$ A	15.00 $\mu$ A
35ns	21.13 $\mu$ A	13.90 $\mu$ A
40ns	19.62 $\mu$ A	12.84 $\mu$ A
45ns	18.18 $\mu$ A	11.83 $\mu$ A
50ns	16.89 $\mu$ A	10.93 $\mu$ A
60ns	14.70 $\mu$ A	9.43 $\mu$ A
70ns	12.92 $\mu$ A	8.25 $\mu$ A
80ns	11.49 $\mu$ A	7.30 $\mu$ A
90ns	10.34 $\mu$ A	6.53 $\mu$ A
100ns	9.35 $\mu$ A	5.89 $\mu$ A

그림 5는 VPP 전하펌프 회로의 단위 전하펌프 회로를 그림 4(a)의 제안된 전하펌프 회로를 사용했을 때 프로그램 모드에서 대기 모드로 진입할 때 마지막 단계에 있는 단위 전하펌프 회로의 펌핑 노드인 N21, N22, 입력전압인 VIN, 출력 전압인 VPP 노드의 전압 파형을 보여주고 있다. 모의실험 결과에서 보는 것처럼 5V MOS 소자에 걸리는 최대 전압은 5V 이내로 5V MOS 소자의 신뢰성에 문제가

없다.

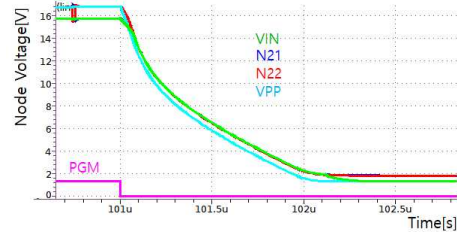


그림 5. 대기 모드로 진입할 때 전하펌프 회로에서 노드 전압 파형.

Fig. 5. Node voltage waveform in a charge pump circuit when entering standby mode.

0.13 $\mu$ m eFlash 공정을 사용해서 설계된 1.5V 256kb eFlash IP의 레이아웃 면적은 기존 eFlash IP인 0.8014 $\mu$ m에서 0.7493 $\mu$ m로 레이아웃 면적을 6.5% 정도 줄였다. 그림 6은 제안된 전하펌프 회로를 사용하여 설계된 1.5V 256kb eFlash 메모리 IP의 레이아웃 이미지를 보여주고 있다.

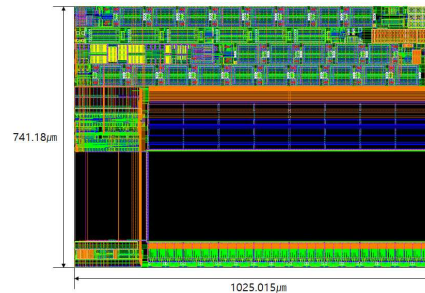


그림 6. 제안된 전하펌프 회로를 사용하여 설계된 1.5V 256kb eFlash 메모리 IP의 레이아웃 이미지.

Fig. 6. Layout image of a 1.5V 256kb eFlash memory IP designed using the proposed charge pump circuit.

### 4. 결론

1Mb 이하의 MCU용 비휘발성 메모리는 EEPROM 메모리나 eFlash 메모리 IP가 주로 사용되고 있다. 그리고 배터리 응용에서 배터리의 수명을 증가시키기 위해 eFlash 메모리 IP의 공급전

압을 1.5V로 낮추면서 원가를 감소시키기 위해 저면적 DC-DC converter 설계가 요구된다.

그래서 본 논문에서는 단위 전하펌프 회로에서 펌핑 노드의 전압을 VIN 전압으로 프리차징해주는 회로에 5V NMOS 프리차징 트랜지스터를 사용하였고, 펌핑 노드의 부스팅된 전압을 VOUT 노드로 전달해주는 트랜지스터로 5V 크로스-커플드 PMOS 트랜지스터를 사용하였다. 5V NMOS 프리차징 트랜지스터의 게이트 노드는 부스트-클록 발생기를 이용하여 VIN 전압과 VIN+VDD 전압으로 스위칭하는 부스팅 게이트 클록을 사용하였다. 그리고 단위 전하펌프 회로에서 펌핑 커패시터의 한 쪽 노드인 클록 신호를 작은 링 발진 주기 동안 full VDD로 스윙하기 위해 로컬 인버터를 추가하였다. 그리고 지우기 모드와 프로그램 모드에서 빠져나와 대기 상태가 될 때 부스팅된 전압을 VIN 전압으로 프리차징해주는 회로를 사용하는 대신 HV NMOS 트랜지스터를 사용하였다. 한편 프로그램 모드나 지우기 모드에서 대기 모드로 진입할 때 각각의 단에 있는 단위 전하펌프 회로의 펌핑 노드, 입력전압인 VIN, 출력 전압인 VOUT 노드의 전압을 VDD로 프리차징 시키므로 5V MOS 소자의 신뢰성에 문제가 없도록 하였다.

0.13 $\mu$ m eFlash 공정을 사용해서 VPP, VPPL와 VRD 전하펌프 회로에 제안된 단위 전하펌프 회로를 적용한 256kb eFlash IP의 레이아웃 사이즈는 0.7493 $\mu$ m<sup>2</sup>로 기존 DC-DC 변환기의 레이아웃 면적 대비 6.5% 정도 줄였다.

## REFERENCES

- [1] S. Kawai, A. Hosogane, S. Kuge, T. Abe, K. Hashimoto, T. Oishi, N. Tsuji, and K. Sakakibara, "An 8kb EEPROM-Emulation Data FLASH Module for Automotive MCU," *IEEE International Solid-State Circuits Conference*, pp. 508-509, 2008.
- [2] G. S. Cho, D. H. Kim, J. H. Jang, J. H. Lee, P. B. Ha, and Y. H. Kim, "Design of a Small-Area, Low-Power, and High-Speed 128-kbit EEPROM IP for Touch-Screen Controllers," *JKIMICS*, vol. 13, no. 12, pp. 2633-2640, 2009.
- [3] M. Hatanaka, H. Hidaka, and G. Palumbo, "Value Creation in SOC/MCU Applications by Embedded Non-Volatile Memory Evolutions," *Asian Solid-State Circuits Conference*, pp. 38-42, Nov. 2007.
- [4] Y. H. Kim, H. Park, M. H. Park, P. B. Ha, and Y. H. Kim, "Design of a Fast 256kb EEPROM for MCU", *JKIICE*, vol. 19, no. 3, pp. 567-574, March 2015.
- [5] Y. H. Kim, R. J. Jin and P. B. Ha, "Design of 256kb EEPROM IP Aimed at Battery Applications," *JKIIECT*, vol. 10, no. 6, pp. 558-569, Dec. 2017.
- [6] A. Conte, G. L. Giudice, and G. Palumbo, "A High-Performance very Low-Voltage Current Sense Amplifier for Nonvolatile Memories," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 2, pp. 507-514, Feb. 2005.
- [7] J. F. Dickson, "On-Chip High-Voltage Generation in NMOS Integrated Circuits Using an Improved Voltage Multiplier Technique," *IEEE Journal of Solid-State Circuits*, vol. 11, pp. 374-378, June 1976.
- [8] Y. H. Kim, J. K. Nam, S. H. Lee, H. J. Park, J. S. Choi, C. S. Park, S. H. Ahn, and J. Y. Chung, "Two-Phase Boosted Voltage Generator for Low-Voltage Giga-bit DRAMs," *IEICE Trans. on Electron.*, vol. E83-C, pp. 266-269, Feb. 2000.
- [9] Gyu-Ho Lim et al., "Charge Pump Design for TFT-LCD Driver IC Using Stack-MIM Capacitor," *IEICE Trans. on Electron.*, vol. E91-C, no. 6, pp. 928-935, June 2008.

---

저자약력

---

**김 영 희(Young-Hee Kim)** [중신회원]



- 1989년 2월 : 경북대학교 전자공학과 (공학사)
- 1997년 2월 : 포항공과대학교 전기전자공학과 (공학석사)
- 2000년 8월 : 포항공과대학교 전기전자공학과 (공학박사)
- 1989년 1월 ~ 2001년 2월 : 현대전자 책임연구원
- 2001년 3월 ~ 현재 : 창원대학교 전자공학과 교수

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계, Neuromorphic Chip 설계

**김 홍 주(Hong-Zhou Jin)** [학생회원]



- 2017년 6월 : 연변대학교 전자정보통신학과 (공학사)
- 2017년 9월 ~ 현재 : 창원대학교 전자공학과 석·박사과정

〈관심분야〉 메모리 IP 설계, 아날로그 IC 설계, Neuromorphic Chip 설계

**하 판 봉(Pan-Bong Ha)** [중신회원]



- 1981년 2월 : 부산대학교 전기공학과 (공학사)
- 1983년 2월 : 서울대학교 전자공학과 (공학석사)
- 1993년 2월 : 서울대학교 전자공학과 (공학박사)
- 1987년 3월 ~ 현재 : 창원대학교 전자공학과 교수

〈관심분야〉 임베디드 시스템, SoC 설계