

# Load Transient Detection 구조 및 개선된 과도응답 특성을 갖는 LDO regulator

## LDO Regulator with Improved Transient Response Characteristics and Load Transient Detection Structure

박 태 룡<sup>\*,★</sup>

Tae-Ryong Park<sup>\*,★</sup>

### Abstract

Conventional LDO regulator external capacitors can reduce transient response characteristics such as overshoot and undershoot. However, the capacitorless LDO regulator proposed in this study applied body technology to the pass transistor to improve the transient response and provide excellent current drive capability. The operating conditions of the proposed LDO regulator are set to an input voltage that varies from 3.3V to 4.5V, a maximum load current of 200mA, and an output voltage of 3V. As a result of the measurement, it was found that when the load current was 100 mA, the voltage was 95 mV in the undershoot state and 105 mV in the overshoot state.

### 요 약

기존 LDO 레귤레이터 외부 커패시터는 오버슈트 및 언더슈트와 같은 과도 응답 특성을 줄일 수 있다. 그러나 본 연구에서 제안한 Capless LDO 레귤레이터는 과도 응답을 개선하고 우수한 전류 구동 능력을 제공하기 위해 패스 트랜지스터에 바디 기술을 적용하였다. 제안하는 LDO 레귤레이터의 동작 조건은 3.3V ~ 4.5V 범위의 입력 전압, 최대 부하 전류 200mA, 출력 전압 3V로 설정하였다. 측정 결과, 부하 전류가 100mA일 때 전압은 언더슈트 상태에서 95 mV, 오버슈트 상태에서 105 mV임을 확인 할 수 있었다.

*Key words : load transient, LDO regulator, load regulation, Capless ldo, Load transient detection*

### 1. 서론

고효율 및 성능을 갖춘 배터리 구동 장치에 대한 수요가 증가함에 따라 PMIC 설계자는 전력을 가장 적게 소비할 뿐만 아니라 최고 성능을 제어하는 시스템을 설계해야 합니다. LDO 레귤레이터는 보다 안정적이고 정확한 출력 전압을 제공하는 데 사용되므로 일반적으로 외부 커

패시터가 필요합니다. 외부 커패시터는 시스템의 과도 응답과 안정성을 위해 필요하지만 일반적으로 부피가 크고 PCB 보드의 공간을 차지하며 장기적인 신뢰성을 보장할 수 없습니다[1]. 그 이유는 결국 외부 커패시터는 소모성 부품이기 때문에 장기적인 관점에서 보면 동작 시간에 따라 전기적 특성이 떨어지기 때문입니다. 외부 커패시터의 부재는 PCB 영역을 활성화할 수 있고 BOM(bill of

\* Dept. of Computer Engineering, Seokyeong University

★ Corresponding author

E-mail : trpark@skuniv.ac.kr, Tel : +82-2-940-7742

※ Acknowledgment

Manuscript received Mar. 7, 2022; revised Mar. 24, 2022; accepted Mar. 30, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

materials) 비용을 절감할 수 있기 때문에 효과적인 방법이다. 위에서 설명한 장점과 반대되는 단점도 있습니다. 커패시터가 없는 LDO 레귤레이터에는 부하 전류에 따라 변하는 내부 도미넌트 폴이 있습니다. 가장 어려운 부분은 모든 부하 전류 범위에서 안정적인 작동을 제공하는 것입니다. 따라서 커패시터가 없는 LDO 레귤레이터의 안정적인 동작을 위해서는 내부 시스템 구축이 필수적이다. Capless LDO 레귤레이터는 실용적이고 다용도로 사용되며, 각 애플리케이션에 필요한 전압을 하나의 칩으로 변환하여 공간과 비용을 절감할 수 있어 배터리 기반의 휴대형 정보 단말기의 핵심 부품으로 각광 받고 있다. 갈수록 복잡해지는 애플리케이션과 단말에 추가되는 기능 증가에 대응하기 위해 고효율 전력관리 IC의 집적도가 점차 강화될 것으로 예상 된다. 또한, 고효율 전력관리 IC가 하나의 IC에 집적되어 있기 때문에 간섭이나 노이즈 성분이 증가할 수 있다. 작은 면적에 많은 전력이 집적되기 때문에 열이 많이 발생합니다[2]. 따라서 전력 효율을 높이기 위한 회로 기술의 개발이 필요하다. 특히, 휴대용 장치의 설계가 축소된 폼팩터 내에서 이루어지기 때문에 커패시터가 없는 LDO 레귤레이터를 개발하기 위한 지속적인 노력이 요구된다. 본 논문에서는 증폭기의 출력 전압단과 패스 트랜지스터의 게이트 사이에 load transient 감지 회로를 추가하여 종래의 LDO regulator의 load transient 특성을 보다 개선된 전압변화량을 가져오는 선형 레귤레이터를 제안한다[3].

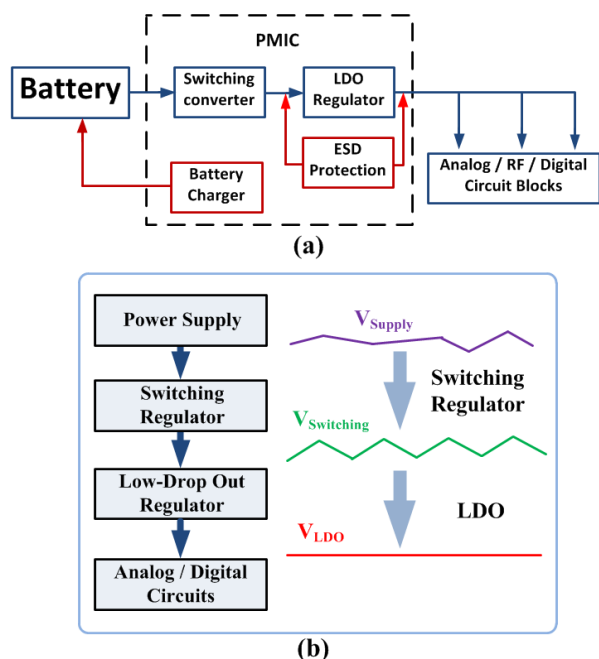


Fig. 1. PMIC (Power Management Integrated Circuit).  
그림 1. PMIC에 대한 설명

## II. 본론

### 1. Low Drop-Out 레귤레이터

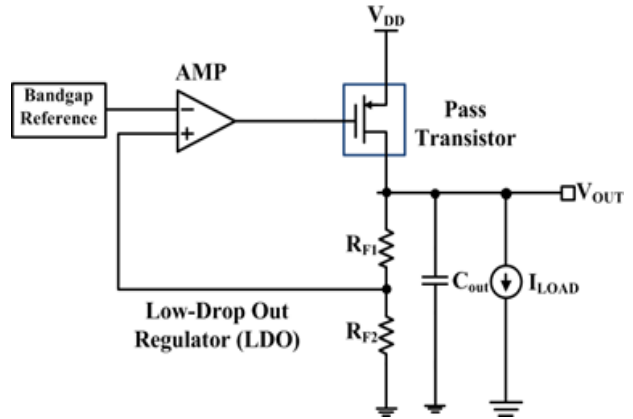


Fig. 2. Block of the LDO regulator.

그림 2. LDO regulator의 블록도

그림 2는 기존의 LDO 레귤레이터의 블록도를 나타내고 있다. 기존의 Capless LDO는 출력 전압의 안정화에 따라 피크 값이 증가하는 문제가 있었다. 부하 감지 구조를 적용하여 출력 전압의 과도 응답을 개선했습니다. 이 방식은 부하에 따라 출력 전압을 변화시켜 피드백 전압을 감지할 수 있어 부하 감지 구조에서 추가적인 전류 경로를 제공할 수 있다. 따라서 제안하는 LDO 레귤레이터는 부하 전류 변화에 따라 출력 전압의 변화를 보다 효과적으로 제어할 수 있도록 설계되었다. 성능 향상을 위해 피드백 전압의 변동을 감지하기 위한 패스 소자의 게이트 노드에 추가 전류를 충방전 하고 출력단에 전류 경로를 추가로 제공하는 이중 전류 경로를 형성하여 출력 전압이 안정적으로 유지되었는지 여부 통제된 것으로 추정된다. 그림 3은 제안된 IC의 블록도를 보여준다. IC는 부하 전류를 구동하기 위한 패스 트랜지스터, 기준 전압을 제공하기 위한 밴드갭 기준, 피드백 전압과 기준 전압 사이의 차이를 비교하기 위한 오차 증폭기, 부하 감지 구조를 포함한다[4, 5, 6].

### 2. 제안된 Load Detection LDO 레귤레이터

그림 3은 오차 증폭기의 출력과 패스 트랜지스터의 게이트 단자 사이에 부하감지 구조가 추가된 LDO 레귤레이터이다. 부하에 따라 출력전압이 변화하게 된다면 피드백을 통한 변화된 전압에 따라서 증폭기의 출력전압의 변화량이 발생하게 되며, 그로 인한 부하감지 회로가 변화되면서 패스 트랜지스터의 게이트 단자에 추가적인 전류를 변화시켜 주는 구조이다. 그림 4를 참고하면 부하

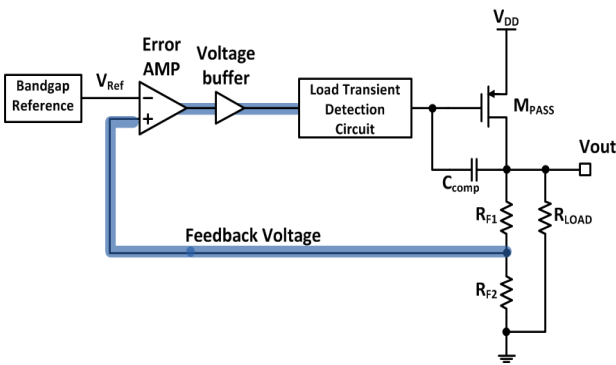


Fig. 3. the proposed LDO regulator.  
그림 3. 제안된 LDO 레귤레이터

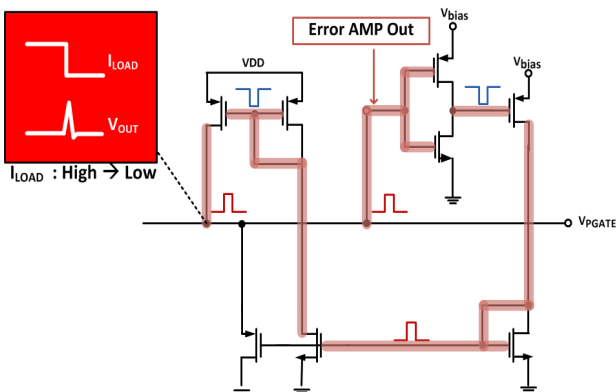


Fig. 4. the proposed LDO falling time push-pull detect circuit.  
그림 4. 제안된 LDO의 falling time push-pull 감지 회로

전류의 감소로 출력 전압의 변화가 발생한다면, 증폭기의 전압이 상승하게 될 것이며, 상승된 전압으로 인한 인버터의 출력이 감소할 것이며, 동시에 전류를 발생시켜 패스 트랜지스터의 게이트 단자의 전류를 증가시켜주는 효과를 가져다준다. 결과적으로 증폭기의 출력 전압이 증가 된 점을 부하감지 구조를 통하여 추가적인 전류 패스를 생성되기 때문에 출력대비 증가한 전압을 감소시켜

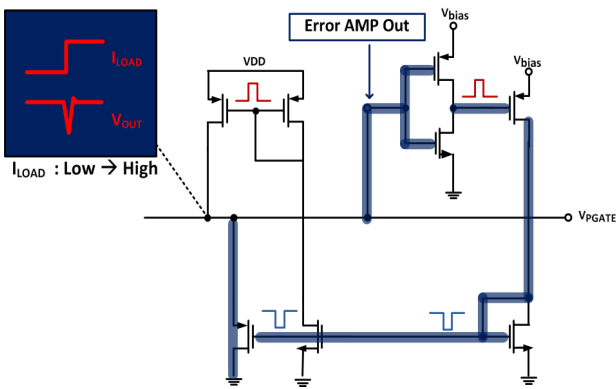


Fig. 5. the proposed LDO rising time push-pull detect circuit.  
그림 5. 제안된 LDO의 rising time push-pull 감지 회로

준다. 반대로 그림 5는 부하 전류로 인한 피드백 전압이 하강한다면, 증폭기의 출력 전압이 감소하는 현상이 발생할 것이고, 감소 된 전압은 인하여 인버터의 출력을 거쳐 추가적인 전류를 방전시켜 줄 것이다. 따라서 증폭기의 출력 전압이 감소되기 때문에 부하감지 구조 전류를 확보하여 추가적인 전류 패스를 발생시켜 패스 트랜지스터 게이트 단의 전압을 변동시켜서 전류는 증가시키며, 출력 전압을 증가시켜준다[7, 8].

### 3. 시뮬레이션 결과

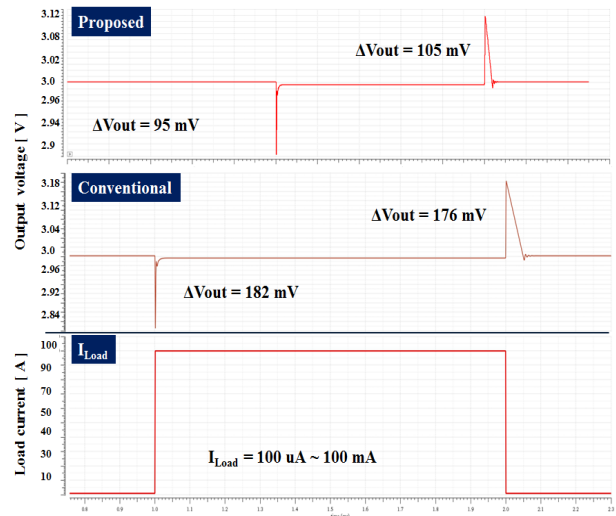


Fig. 6. the load transient simulation result for the proposed LDO.

그림 6. 제안된 LDO 레귤레이터의 load transient 시뮬레이션 결과

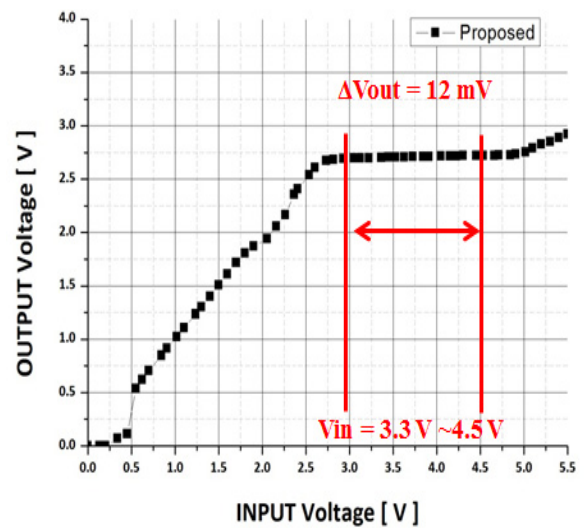


Fig. 7. the lline regulation simulation result for the proposed LDO.

그림 7. 제안된 LDO의 line regulation 시뮬레이션 결과

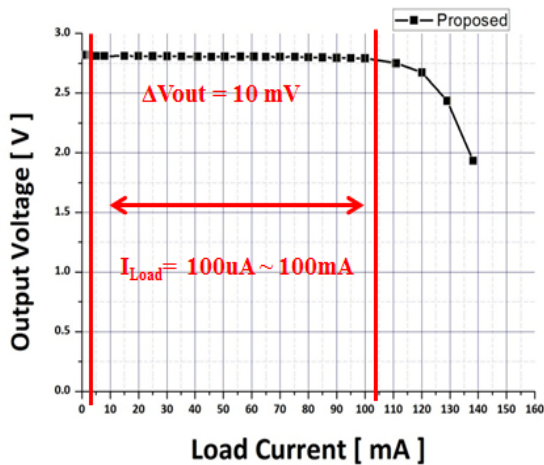


Fig. 8. the load regulation simulation result for the proposed LDO.

그림 8. 제안된 LDO의 load regulation 시뮬레이션 결과

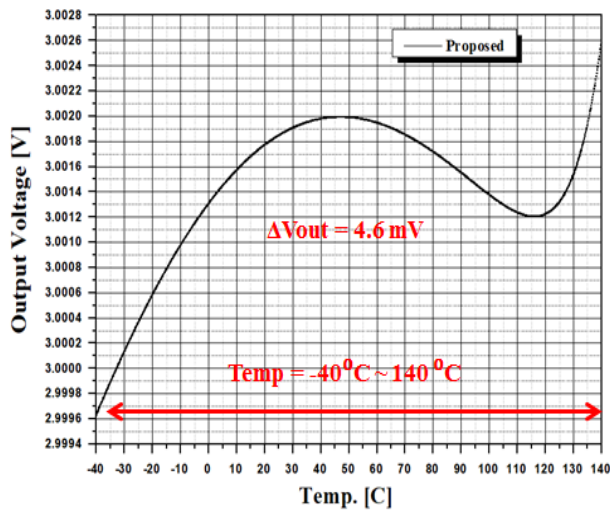


Fig. 9. the output voltage simulation result for the proposed LDO temperature.

그림 9. 제안된 LDO의 온도에 따른 출력전압 시뮬레이션 결과

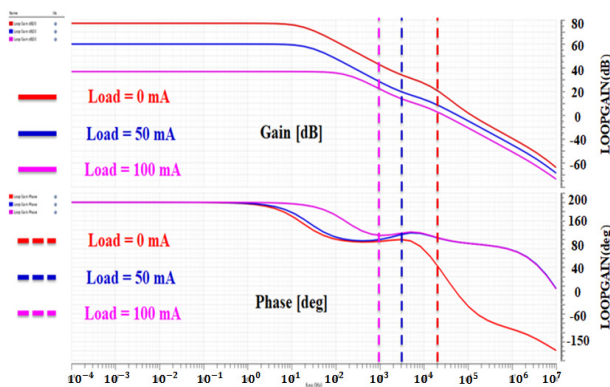


Fig. 10. phase margin simulation result for the proposed LDO.

그림 10. 제안된 LDO의 페이즈 마진 시뮬레이션 결과

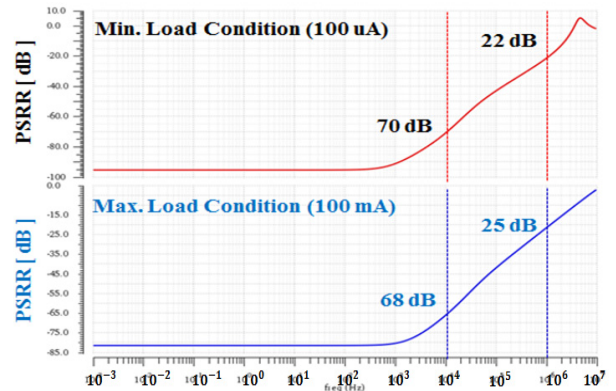


Fig. 11. PSRR simulation result for the proposed LDO.

그림 11. 제안된 LDO의 PSRR 시뮬레이션 결과

Table 1. The conventional LDO circuit data.

표 1. 기본 LDO 회로 데이터

conventional circuit with LDO regulator	
input voltage	3.3V
output voltage	3V
reference voltage	1.2V
dropout voltage	300mV
load transient	Δ 182 mV, 176 mV
load regulation	Δ 24 mV
phase margin	45 deg

Table 2. The proposed LDO circuit data.

표 2. 제안된 회로 데이터

Proposed Circuit With LDO Regulator	
input voltage	3.3V
output voltage	3V
reference voltage	1.2V
dropout voltage	300mV
load transient	Δ 95 mV, 105 mV
load regulation	Δ 7mV
phase margin	63 deg

그림 6은 기존 LDO 레귤레이터와 제안된 LDO 레귤레이터의 load transient 값의 시뮬레이션 결과이다. 부하 전류에 따라서 기존의 LDO 레귤레이터는 Δ182 mV, 176 mV 값을 가진다. 또한, 제안된 LDO 레귤레이터는 Δ95 mV, 105 mV 값을 확인하였다. 부하 전류에 따라서 제안된 LDO 레귤레이터는 undershoot 상황 시 87mV, overshoot 상황 시 71mV의 개선된 전압의 변화량을 확인 할 수 있었다. 결과적으로 제안된 LDO 레귤레이터는 부하 감지 구조를 통하여 출력전압을 효과적으로

제어함을 확인하였다. 그림 7은 제안된 LDO 레귤레이터의 line regulation 값의 시뮬레이션 결과이다. 입력전압을 3.3 V ~ 4.5 V로 변동되었을 때의 출력전압의 변화량은 12 mV로 확인할 수 있었다. 또한 부하전류에 따라 피드백을 거치는 순간을 부하 감지 구조로 추가적인 전류패스로 인하여 향상된 전압변화를 가진 구조이다. 그림 8은 제안하는 LDO 레귤레이터의 load regulation 값의 시뮬레이션 결과이다. 부하전류에 따른 출력전압의 변화량을 확인할 수 있으며, 제안된 LDO 레귤레이터는 100 mA까지의 부하전류에서 출력전압의 변화량을 10 mV임을 확인하였다. 그림 9는 온도에 따른 제안하는 LDO 레귤레이터의 출력전압 변화를 확인하였다. 그림 10은 제안하는 LDO 레귤레이터의 페이즈 마진에 대한 시뮬레이션 결과이다. 또한 부하에 따라서 페이즈 마진을 확인하였으며, 가장 큰 부하일 때에도 제안된 LDO 레귤레이터의 안정성을 확보하였다. 또한 그림 11은 제안된 LDO 레귤레이터의 PSRR(Power Supply Rejection Ratio)에 관한 시뮬레이션 결과이다. LDO 레귤레이터의 시스템에 입력 노이즈에 따른 전원 공급 제거비를 확인 및 검증하였다.

### III. 결론

본 논문에서는 종래의 LDO 레귤레이터에서 패스 소자의 게이트와 증폭기 출력전압단 사이에 과도 응답 감지 회로를 추가하여 transient 특성을 향상시키는 LDO 레귤레이터를 제안 및 검증하였다. 부하 전류에 순간적인 변화에 따라 출력전압 응답특성이 개선되었음을 확인하였다. 부하에 따른 출력 전압의 undershoot 및 overshoot가 기존의 LDO 레귤레이터 비하여 undershoot에서는 87 mV, overshoot 상황시 71 mV의 개선된 전압의 변화량을 확인할 수 있었다. 결과적으로 제안된 LDO 레귤레이터는 부하 전류의 순간적인 변화에도 효과적인 델타 값 동작이 확보된 LDO를 개발하였다. 또한, 제안된 LDO 레귤레이터의 그 외 특성들 또한 일정한 특성 이상을 확보하였다. 제안된 논문에서는 BCD CMOS 0.13um 공정을 통하여 검증 및 시뮬레이션을 진행하였다.

### References

- [1] Yong-Seo Koo, et al.: "A design of low-area low drop-out regulator using body bias technique," *IEICE Electronics Express*, Vol.10, 2013.
- [2] J. Moon, et al.: "Design of low-power, fast-

transient-response, capacitor-less low-dropout regulator for mobile applications," *IEICE Electron. Express* 13, 2016.

[3] Fernando Lavalle-Aviles, et al.: "A High Power Supply Rejection and Fast Settling Time Capacitor-Less LDO," *IEEE Transactions on Power Electronics*, 2019. DOI: 10.1109/TPEL.2018.2826922

[4] Xiaofei Ma, et al.: "A Fully Integrated LDO With 50-mV Dropout for Power Efficiency Optimization," *IEEE Transactions on Circuits and Systems II: Express Briefs*, pp.725-729, 2020. DOI: 10.1109/TCSII.2019.2919665

[5] Sau Siong Chong, et al.: "A Sub-1 V Transient-Enhanced Output-Capacitorless LDO Regulator with Push-Pull Composite Power Transistor," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, pp.229, 2014.

DOI: 10.1109/TVLSI.2013.2290702

[6] Jun Tang, et al., "Low-Power Fast-Transient Capacitor-Less LDO Regulator with High Slew-Rate Class-AB Amplifier," *IEEE Transactions on Circuits and Systems II: Express Briefs*, pp.462, 2018. DOI: 10.1109/TCSII.2018.2865254

[7] Yan Lu, et al.: "A Fully-Integrated Low-Dropout Regulator with Full-Spectrum Power Supply Rejection," *IEEE Transactions on Circuits and Systems I: Regular Papers*, pp.707, 2015.

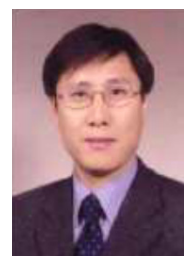
DOI: 10.1109/TCSI.2014.2380644

[8] Wei-Chung Chen, et al.: "A Switchable Digital-Analog Low-Dropout Regulator for Analog Dynamic Voltage Scaling Technique," *IEEE Journal of Solid-State Circuits*, pp.740, 2014.

DOI: 10.1109/JSSC.2013.2297395

### BIOGRAPHY

#### Tae-Ryong Park (Member)



1985 : Hanyang University, Dept. of Mathematics(BS)

1987 : Hanyang University, Dept. of Mathematics(MS)

1995 : Hanyang University, Dept of Mathematics(Ph.D)

1994~ : Seokyeong University, Dept.of Computer Engineering, Professor