

# 디지털 위상고정루프의 시스템 모델링 및 검증 방법 소개

## Introduction to System Modeling and Verification of Digital Phase-Locked Loop

김 신 웅<sup>\*,★</sup>

Shinwoong Kim<sup>\*,★</sup>

### Abstract

Verilog-HDL-based modeling can be performed to confirm the fast operation characteristics after setting the design parameters of each block considering the stability of the system by performing linear phase-domain modeling on the phase-locked loop. This paper proposed Verilog-HDL modeling including DCO noise and DTC nonlinear characteristic. After completing the modeling, the time-domain transient simulation can be performed to check the feasibility and the functionality of the proposed PLL system, then the phase noise result from the system design based on the functional model can be verified comparing with the ideal phase noise graph. As a result of the comparison of simulation time (6 us), the Verilog-HDL-based modeling method (1.43 second) showed 484 times faster than the analog transistor level design (692 second) implemented by TSMC 0.18- $\mu\text{m}$ .

### 요 약

위상고정루프에 대해 선형 위상-도메인 모델링을 진행하여 시스템의 안정성을 고려한 각 블록의 설계 매개 변수들을 설정한 이후 빠른 동작 특성을 확인하기 위해 Verilog-HDL 기반의 모델링을 수행할 수 있다. 이때 단순한 동작 특성뿐 아니라 위상잡음 및 비선형 특성까지 모델링에 반영할 수 있는데, 본 논문에서는 디지털-시간 변환기(DTC)의 비선형 특성 및 디지털 조정 발진기(DCO)의 위상잡음 모델링을 추가로 소개한다. 동작 모델을 사용하여 시스템 레벨의 설계를 마치면 시간-도메인 영역에서 과도 응답 시뮬레이션을 진행하여 설계 타당성을 확인할 수 있으며, 출력 신호 결과를 위상잡음 그래프로 나타내어 이를 이상적인 위상잡음 그래프와 비교함으로써 동작과 성능에 대한 검증이 가능함을 나타내었다. 시간-도메인 영역에서 시뮬레이션 소요시간 비교를 위해 TSMC 0.18- $\mu\text{m}$  공정을 사용한 아날로그 위상고정루프의 설계 결과와 비교하였으며, 6 us의 과도 응답 해석을 진행했을 때 1.43초로 트랜지스터 레벨의 아날로그 설계 방식(692초) 대비 484배 빠른 시뮬레이션 시간을 나타내었다.

*Key words* : Phase-locked loop, Digital PLL, PLL modeling, Verilog-HDL modeling, DTC, TDC

### 1. 서론

Phase-locked loop(PLL)은 피드백 구조를 갖는 대표적인 주파수 합성기 회로로써 time-domain 영역의 Spice simulator를 통해 전체 closed-loop 위상잡음

성능 및 loop dynamic 특성을 검증하기 위해서는 상대적으로 많은 시뮬레이션 시간을 필요로 한다. 이에 linear phase-domain 모델을 사용하여 loop stability 및 예상되는 위상잡음의 특성을 먼저 확인하고, 이를 기반으로 각 PLL을 구성하는 블록들을 개별적으로 설계 후

\* Assistant Professor, School of Computer Science and Electrical Engineering, Handong Global University

★ Corresponding author

E-mail: shinwoong@handong.ac.kr, Tel: 054-260-1372

Manuscript received Nov. 17, 2022; revised Dec. 10, 2022; accepted Dec. 13, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

transient 시뮬레이션을 통해 주파수 locking 동작을 집중적으로 검증하는 방식이 일반적이다. 그러나 최근에는 time-domain 영역에서 시스템의 feasibility와 위상잡음 특성을 빠르게 파악하기 위해 hardware description language(HDL)를 사용하여 전체 system의 동작 모델을 설계 및 검증하는 방식의 설계가 진행되고 있다. MATLAB Simulink로 수행하는 방식도 있으나[1], HDL을 활용한 시뮬레이션은 기본적으로 event-driven 형태의 계산을 수행하므로 일반적인 Spice 기반의 시뮬레이션보다 속도가 빠른 장점이 있다. 아날로그 블록의 모델링을 위해 대표적으로 Verilog-A를 사용하는 방법이 있다[2]. 그러나 반도체 미세 공정의 발전을 통해 디지털 방식의 설계 이점을 활용하는 디지털 PLL 설계가 주목받으면서, VHDL 또는 Verilog-HDL을 활용한 모델링 방법이 연구되었으며[3][4], 이후 아날로그-디지털 혼성 신호 회로를 효과적으로 모델링 하고자 real number 모델링이 가능한 SystemVerilog 또는 Verilog-AMS도 사용되고 있다.

본 논문에서는 디지털 PLL 설계를 위한 work flow, Verilog-HDL을 이용한 시스템 동작 모델링, 그리고 이를 통해 얻어낸 time-domain 기반의 위상잡음 시뮬레이션 결과를 phase-domain 모델링 결과와 비교하여 검증하는 방법을 소개한다[5].

## II. 본론

### 1. Linear Phase-Domain 시스템 모델링

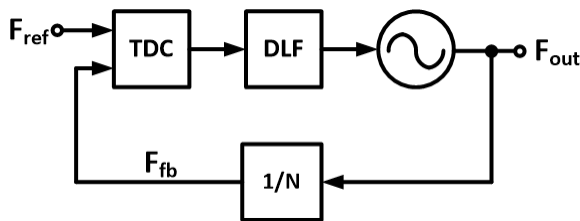


Fig. 1. TDC based digital PLL.  
그림 1. 시간-디지털 변환기 기반의 디지털 PLL

그림 1은 time-to-digital converter(TDC)를 사용하는 일반적인 구조의 디지털 PLL을 나타낸다. 디지털 PLL 설계에서의 매개변수는 TDC의 해상도( $\Delta t_{res}$ )와 digitally controlled oscillator(DCO)의 해상도 ( $K_{DCO}$  [Hz/code]), digital loop filter(DLF)의 계수, 출력 주파수( $F_{out}$ ) 및 레퍼런스 주파수( $F_{ref}$ ), 그리고 시스템 대역폭으로 이뤄진다. PLL은 2차 시스템이므로 안정성을 잘 고려해서 설계해야 하며 일반적으로 phase-domain의

시스템 전달함수를 통해 적절한 시스템 매개변수(주로 DLF의 계수)를 얻어내야 한다. 이를 위해서는 먼저 주요한 블록들의 전달함수를 정확히 정의해야 하며 다음 아래 이에 관한 내용을 소개한다.

### 가. TDC

TDC는 레퍼런스 신호 입력과 피드백되어 돌아오는 분주된 오실레이터 신호의 위상 차이를 비교하여 디지털 코드로 변환하는 블록으로 그림 2와 같은 입력 특성을 보여준다. TDC의 전달함수는 위상 오차에 대한 디지털 코드이며 수식 (1)에서 이를 나타내고 있다. 식에서  $\Delta t_{res}$ 는 TDC의 해상도를 의미한다.

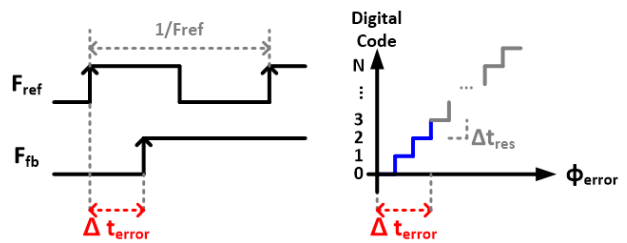


Fig. 2. Function diagram of TDC.  
그림 2. 시간-디지털 변환기의 동작 다이어그램

$$K_{TDC} = \frac{TRIANGLE_{dig}}{\Delta \theta_{error}} = \frac{TRIANGLE_{error} / TRIANGLE_{res}}{2\pi \cdot f_{ref} \cdot TRIANGLE_{error}} \quad (1)$$

$$= \frac{1}{2\pi \cdot f_{ref} \cdot TRIANGLE_{res}}$$

### 나. DLF

DLF는 루프 내에 존재하는 필터로써 고주파 잡음을 억제하고 오실레이터의 주파수 조정을 위한 디지털 코드를 생성한다.

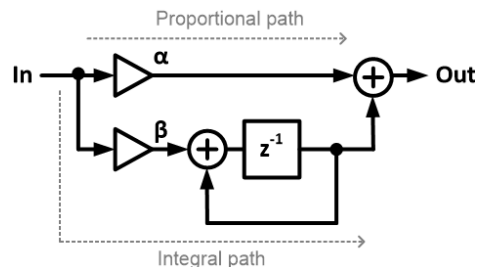


Fig. 3. Block diagram of DLF.  
그림 3. 디지털 루프 필터의 블록 다이어그램

그림 3은 기본적인 구조의 DLF를 나타내고 있으며 계수  $\alpha$ 를 포함하는 proportional path와  $\beta$ 를 포함하는 integral path로 구성된다. 각각의 path는 아날로그 방식의 루프 필터를 구성하는 저항과 커패시터에 상응하는

역할을 하며 Bilinear transform을 통해 z-domain의 디지털 블록으로 변환이 되었다[6]. 수식 (2)는 z-domain 수식을 나타내며 수식 (3)은 근사화된 s-domain 수식을 보여준다.

$$H_{DLF}(z) = \alpha + \frac{\beta}{z-1} \tag{2}$$

$$H_{DLF}(s) = \alpha + \frac{\beta \cdot f_{ref}}{s} \tag{3}$$

다. DCO

그림 4에 보이는 DCO는 입력되는 digital code에 따라 출력 주파수가 가변 되는 오실레이터이며 수식 (4)는 DCO의 전달함수를 보여준다.  $K_{DCO}$ 는 DCO의 해상도를 의미하며 위상 출력을 표현하기 위해  $1/s$ 를 곱하여 모델링 하게 된다.

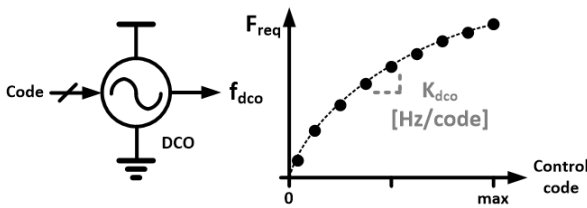


Fig. 4. Function diagram of DCO.  
그림 4. 디지털 조정 오실레이터의 동작 다이어그램

$$H_{DCO}(s) = \frac{2\pi \cdot K_{DCO}(Hz/code)}{s} \tag{4}$$

라. PLL 시스템 전달함수

그림 5는 시스템 매개변수(DLF의 계수)를 구하기 위해 사용하는 PLL의 블록 다이어그램이다. 시스템의 입력과 출력은 각각 위상 비교기의 두 입력이 되도록 하여 주파수 order를 맞추게 된다.

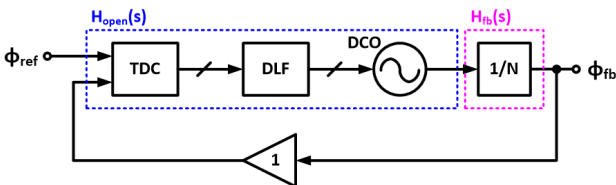


Fig. 5. Block diagram of PLL for transfer function.  
그림 5. 전달함수를 위한 PLL의 블록 다이어그램

그림 5를 기준으로 피드백 회로의 전달함수를 구하면 수식 (5)와 같으며  $H_{open}(s)$ 는 TDC, DLF 및 DCO를 모두 곱한 전달함수를 의미한다.

$$H_{closed}(s) = \frac{\theta_{fb}}{\theta_{ref}} = \frac{H_{open}(s)/N}{1 + H_{open}(s)/N} \tag{5}$$

$$H_{closed}(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \tag{6}$$

결과적으로 수식 (5)를 통해 얻은 전달함수를 수식 (6)의 classical two-pole system의 전달함수와 비교함으로써, 주어진 여러 조건의 설계 매개 변수들을 만족시키는 DLF의 계수  $\alpha$ 와  $\beta$ 를 구할 수 있게 된다.

$$\alpha = \frac{2\zeta\omega_n \cdot N}{2\pi \cdot K_{TDC} \cdot K_{DCO}} \tag{7}$$

$$\beta = \frac{\omega_n^2 \cdot N}{2\pi \cdot f_{ref} \cdot K_{TDC} \cdot K_{DCO}} \tag{8}$$

$$\omega_n = \frac{2\pi \cdot f_{3dB}}{\sqrt{1 + 2\zeta^2} + \sqrt{1 + (1 + 2\zeta^2)^2}} \tag{9}$$

예를 들어 주어진 설계 매개변수들이 다음과 같다고 할 때,  $F_{out}=2.4GHz$ ,  $F_{ref}=52MHz$ ,  $\Delta t_{res}=2ps$ ,  $K_{DCO}=500KHz/code$ ,  $f_{BW}=2MHz$ ,  $\xi=1$ , DLF의 계수 값으로  $\alpha=0.0972$ ,  $\beta=0.0047$ 을 얻게 된다. 해당 값들이 올바른 값인지 알기 위해서는 그림 6에 나타난 바와 같이  $H_{open}(s) \cdot H_{fb}(s)$ 의 Bode plot을 통해 확인할 수 있다.  $f_{3dB}$  bandwidth는 2MHz이며 phase margin은 76.36°으로 시스템 특성이 안정적이며 설계 목표를 만족하고 있음을 확인할 수 있다.

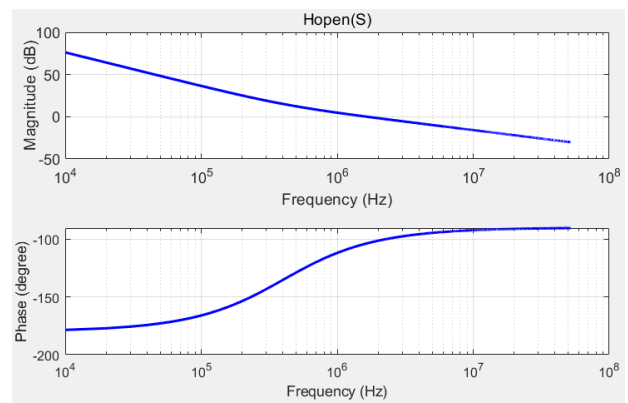


Fig. 6. Bode plot of loop transfer function.  
그림 6. Loop 전달함수의 Bode 선도

## 2. Verilog-HDL 기반의 동작 모델링

Linear phase-domain 모델링을 통해 시스템 매개변수 간의 관계를 정의하고 나면 time-domain 영역에서 원하는 동작 및 잡음특성을 확인하기 위해 Verilog-HDL

기반의 function 모델링을 진행할 수 있다. 디지털 PLL 이므로 대부분 각 블록 간 실수 형태의 값을 주고받지 않기 때문에 real type의 입/출력 port 선언을 지원하지 않는 Verilog functional view만으로도 모델링이 대부분 가능하다. 다만 square root 함수 등을 활용하기 위해서는 SystemVerilog 혹은 Verilog-AMS 형태의 모델이 사용될 수 있다.

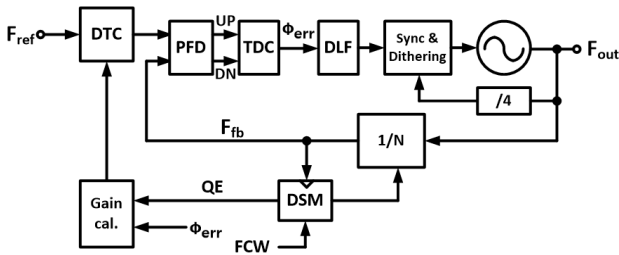


Fig. 7. Practical Fractional-N digital PLL.  
그림 7. 실용적인 분수분주형 디지털 PLL

그림 7은 time-domain 영역의 동작을 확인하기 위해 구체적으로 구성한 분수분주형 디지털 PLL 블록 다이어그램이다. Delta-sigma modulator(DSM)를 통해 분수분주비를 생성하게 되며, 해당 변조기를 사용함으로써 발생하는 quantization error(QE)는 digital-to-time converter(DTC)를 통해 TDC 입력 앞 단에서 제거된다. 추가로 DTC를 사용하기 위해서는 DTC gain 보정 회로가 필요하다[7]. 다음 아래에는 그림 7의 디지털 PLL을 구성하는 주요 블록에 대한 Verilog 모델을 소개한다. DSM과 DTC gain 보정 회로 및 DCO dithering 회로는 실제 gate-level로 합성이 가능한 Verilog-HDL 기반의 RTL 설계이며 나머지 모든 블록들은 내부에 real 변수를 사용하는 모델이 된다.

#### 가. DTC

DTC는 입력되는 디지털 코드에 따라 해상도(디지털 코드 하나당 지연시키는 시간)에 비례하여 시간 지연을 수행하는 블록이다. 모델링을 위해 필요한 매개변수는 해상도, 디지털 코드값이 0일 때 지연되는 intrinsic 지연시간, 그리고 비선형성을 나타내기 위한 적분 비선형성(INL) 값이 있다. 본 논문에서 DTC 비선형성은 포물선 형태의 응답을 갖도록 모델링 하였으며 아래의 코드 16번째 라인에서 이를 나타낸다. 예시는 DTC 코드 입력으로 10bit를 사용하며, 해상도는 5ps, MAX INL 값은 해상도의 2배인 10ps를 갖도록 모델링 되었다.

```

1: `timescale 1ps/1fs
2: module DTC (CKREF, CODE, CKDTC );
3: parameter real DELAY_RES = 5; //ps
4: parameter real INL_MAX_LSB = 2;
5:
6: input CKREF;
7: input [9:0] CODE;
8: output reg CKDTC;
9:
10: real delay;
11: real delay_min = 1000; // 1ns
12: real INL_at_CODE;
13:
14: always @(CODE) begin
15: delay = delay_min + DELAY_RES*CODE;
16: INL_at_CODE =
    INL_MAX_LSB * (1-(CODE/511.5-1)**2);
17: delay = delay + DELAY_RES*INL_at_CODE;
18: end
19:
20: always @(CKREF) begin
21:   if(CKREF)
22:     #(delay) CKDTC <= CKREF;
23:   else
24:     #(100) CKDTC <= CKREF; // falling edge
25: end
26: endmodule

```

#### 나. TDC

TDC 모델링을 위한 매개변수는 해상도( $\Delta t_{res}$ )이다. 주파수 및 위상 에러를 동시에 얻기 위해 TDC 앞 단에 phase-frequency detector(PFD)를 사용하는 것이 효과적이며 PFD의 출력인 UP과 DN 신호를 사용하여 시간 에러의 크기를 구하고, 이를 TDC 해상도로 나누는 방식으로 모델링을 수행하였다. 설계 예시에서 출력은 6bit 디지털 코드로 양자화된다.

#### 다. DCO

DCO 모델링을 위한 기본적인 매개변수는 디지털 코드가 0일 때 출력되는 주파수  $f_0$ 와 주파수 해상도  $K_{DCO}$ 이다. 본 논문에서는 추가로 특정 offset frequency에서 특정 phase noise 값을 갖는 -20dB/dec 기울기의 위상 잡음을 모델링 하였다. 아래 예시 코드는 DCO 2.4GHz

출력 기준 1MHz offset에서 -100dB/Hz의 위상잡음을 가지도록 하였고 이를 구현하기 위해  $\text{sqrt}(\cdot)$  함수 사용이 필요하여 Verilog-AMS 형태의 모듈을 사용하였다.

```

1: `timescale 1ns/1fs
2: `include "constants.vams"
3: `include "disciplines.vams"
4: module DCO (DCTRL, FOUT);
5: parameter real fo=2336e6;
6: parameter real Kdco=500e3;
7: parameter real PN_EN=1;
8: parameter real PN_1MHz=-100;
9: parameter real ftarget=2400e6;
10:
11: input [7:0] DCTRL;
12: output FOUT;
13:
14: real delta_freq;
15: real fout;
16: real period;
17: real seed;
18:
19: reg clk;
20: initial begin
21:   clk=0;
22:   delta_freq=Kdco*DCTRL;
23:   fout=fo+delta_freq;
24:   period=(1/fout)*1e9;
25:   seed=1;
26: end
27:
28: always@(*) begin
29:   delta_freq=Kdco*DCTRL;
30:   fout=fo+delta_freq;
31:   period=(1/fout)*1e9;
32: end
33:
34: real rms_jitter_time=
    (1e6/ftarget)*sqrt(pow(10, PN_1MHz/10)
    /ftarget);
    // Wander noise (absolute jitter) @ 1MHz
    offset
35: real noise;

```

```

36:
37: always begin
38:   noise=
    (rms_jitter_time*$dist_normal(seed,0,1e1
    0)) ;
39:   #((period+noise)/2 ) clk=~clk;
40: end
41:
42: assign FOUT=clk;
43: endmodule

```

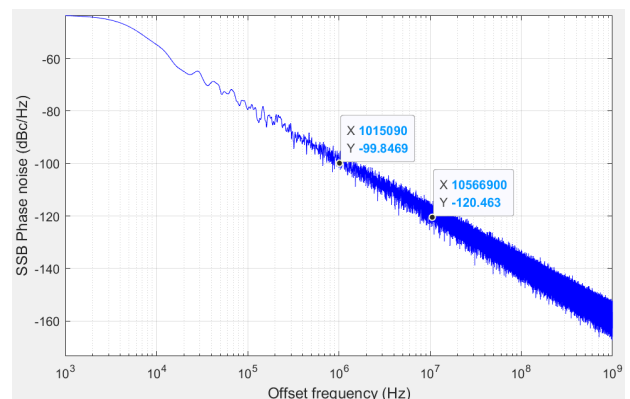


Fig. 8. Phase noise graph of DCO model.

그림 8. DCO 모델의 위상잡음 그래프

그림 8은 작성한 DCO 모델의 위상잡음 시뮬레이션 결과를 보여준다. time-domain 영역의 transient 시뮬레이션을 진행하였고 DCO 출력 신호의 모든 rising edge마다 시뮬레이션 진행 시간을 기록하게 한 뒤 이 값들을 이용하여 위상잡음 그래프로 변환하였다. 결과적으로 주파수 조정뿐 아니라 특정 offset frequency(1MHz)에서 원하는 위상잡음(-100dBc/Hz)의 특성을 갖도록 모델링 되었다.

### 3. 동작 모델의 검증

모든 블록에 대해 동작 모델링 및 시스템 레벨 설계를 수행하고 나면 time-domain 영역에서 전체 closed-loop PLL에 대한 transient 시뮬레이션을 진행할 수 있다. 표 1은 시스템 레벨에서 설계된 디지털 PLL의 설계 요약표이며, 그림 9는 transient 시뮬레이션 결과를 나타낸다.

DCO 모델 검증에서 사용한 것과 같은 방법으로 출력 신호의 주기 정보들을 얻어내고 이 값들을 사용하여 위상 오차를 계산하면 위상잡음에 대한 그래프를 얻을 수 있다. 그림 10은 1 ms의 transient 시뮬레이션 결과를

Table 1. Design summary of the proposed digital PLL.

표 1. 제안된 디지털 PLL의 설계 요약표

Parameters	Value
Output frequency	2400MHz (2336MHz~2463MHz)
Reference frequency	52MHz
Dividing ratio (N)	46.1538
TDC resolution	2ps
DTC resolution	5ps
Loop bandwidth (f3dB)	2MHz
KDCO	500KHz
Filter coefficient (Proportional/integral)	0.0972 / 0.0047
DCO dithering frequency	600MHz

통해 얻은 위상잡음 그래프를 나타낸다. PLL의 3dB 대역폭은 2MHz이며 in-band 위상잡음 레벨은 -100dBc/Hz 수준을 나타내고 있다. 4MHz, 8MHz 또는 12MHz offset frequency에서 fractional spurious 특성이 나타나는데 이는 DTC에 반영된 비선형 특성으로 인해 발생하였다. Feedback path의 양자화 에러는 DTC를 통해 대부분 제거되었으므로 위상잡음 그래프에서는 보이지 않는다. 다만 그림 7에 나타난 바와 같이 DCO dithering을 위해 사용한 DSM의 양자화 에러는 위상잡음 그래프에 포함된 것을 확인할 수 있다.

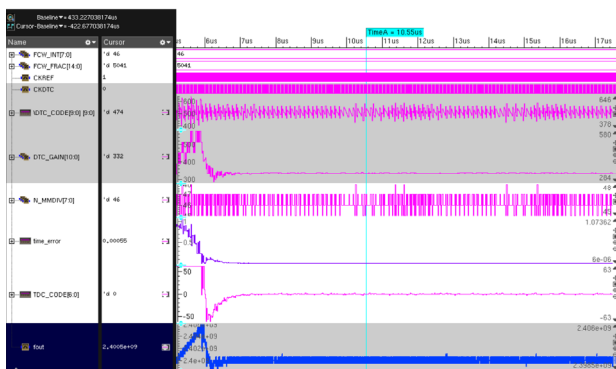


Fig. 9. Time-domain simulation of DPLL.

그림 9. DPLL의 시간-영역 시뮬레이션

그림 11은 linear phase-domain 모델에서 각 매개변수 값들로 인한 각 블록들의 잡음 함수를 추가하여 나타난 위상잡음 그래프이다. 동작 모델을 기반으로 얻은 그림 10의 시뮬레이션 결과와 비교하여 유사한 결과를 얻을 수 있으며, 이를 통해 PLL의 설계 매개변수의 적절성 및 동작 모델의 정확성이 충분히 검증되었음을 보여준다.

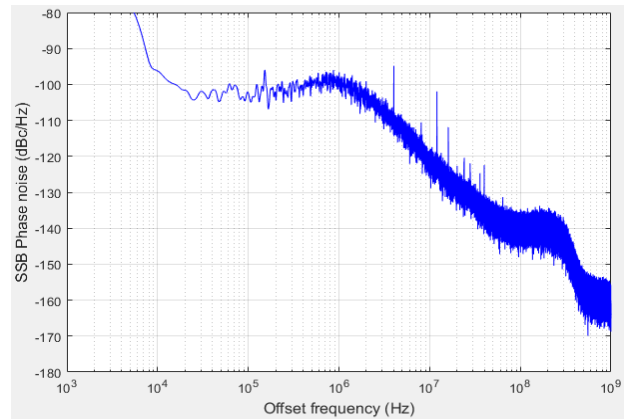


Fig. 10. Phase noise graph of fractional-N DPLL.

그림 10. 분수분주형 디지털 PLL의 위상잡음 그래프

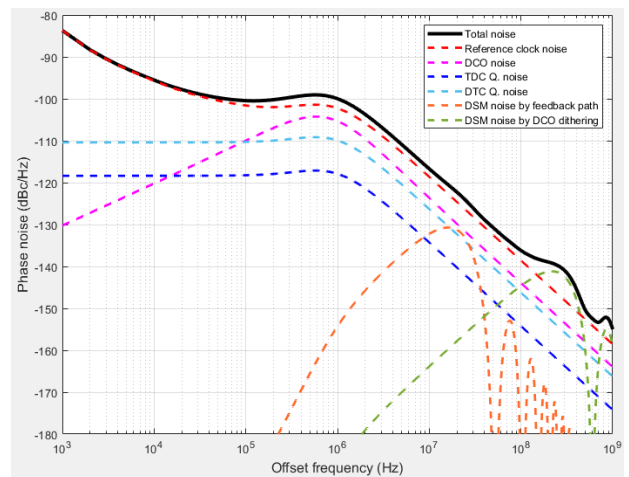


Fig. 11. Phase noise graph of linear phase-domain model.

그림 11. 선형 위상-도메인 모델을 통한 위상잡음 그래프

설계 초반 또는 설계 완료 후 다양한 조건에서의 타당성(feasibility) 검증에 Verilog-HDL 기반 모델링 방식이 효율적임을 보이기 위해 그림 12에 나타난 바와 같이 트랜지스터 레벨로 설계된 아날로그 PLL의 시뮬레이션 결과와 비교하였다. TSMC 0.18- $\mu\text{m}$  공정을 사용하여 전하-펌프 구조의 type-II PLL을 설계하였으며 루프 대역폭, 기준 신호 주파수 및 출력 신호 주파수를 디지털 PLL 설계 조건과 같도록 설정하였다.

실험 결과 Intel Core i9-7960 CPU(동작 클럭 2.8 GHz) 조건에서 6 us의 시뮬레이션 수행에 692초가 소요되었다. 같은 조건에서 Verilog-HDL 모델링을 통한 설계의 시뮬레이션 시간은 1.43초로 약 484배 차이가 발생하였으며, 위상잡음 그래프를 얻기 위해 1 ms의 시뮬레이션을 수행했을 때는 69.5초가 소요되었다. 이를 통해 Verilog-HDL 기반 모델링 방식이 시뮬레이션 소요시간 측면에서도 큰 이점이 있음을 보여준다.



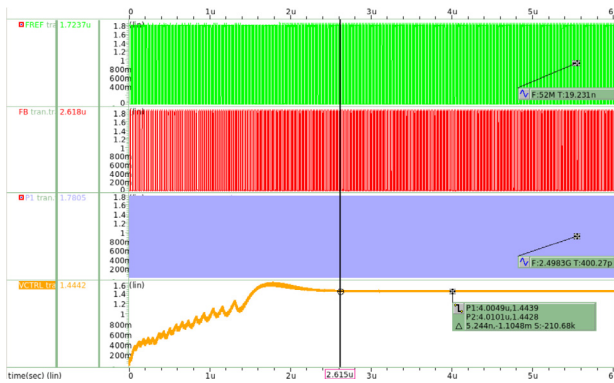


Fig. 12. Time-domain simulation of charge-pump PLL.

그림 12. 전하-펌프 기반 PLL의 시간-영역 시뮬레이션

### III. 결론

본 논문에서는 디지털 PLL 설계를 위한 work flow인 phase-domain 모델링, Verilog-HDL 기반의 동작 모델링 그리고 설계 결과 검증 방법을 소개하였다. Phase-domain 모델링 과정은 2차 시스템인 PLL의 시스템 응답을 확인하는 과정으로, 목표로 하는 각 블록들의 매개 변수를 이용하여 안정적인 시스템을 위한 필터 계수 값을 얻는 방법을 소개하였다. Verilog-HDL 기반의 동작 모델링은 많은 시간이 소요되는 Spice 기반의 time-domain transient 시뮬레이션을 대신하여 빠르고 정확하게 동작 특성을 보기 위한 것으로 잡음 및 비선형 특성까지 모델링이 가능함을 소개하였다. 마지막으로 동작 모델링을 통해 시스템 설계를 진행한 후 시뮬레이션을 통해 얻은 출력 신호는 위상잡음 그래프로 나타낼 수 있으며 이를 잡음 함수가 추가된 phase-domain 모델의 위상잡음 결과와 비교하여 최종 검증이 가능함을 나타내었다.

### References

- [1] J. Patra, et al., "Behavioural Modelling and Simulation of PLL Based Integer N Frequency Synthesizer using Simulink," *International Journal of Electronics and Communication Engineering*, vol.5, no.3, pp.351-362, 2012.
- [2] X. Mao, et al., "Behavioral Modeling and Simulation of Jitter and Phase Noise in Fractional-N PLL Frequency Synthesizer," *IEEE International Behavioral Modeling and Simulation Conference*, pp.25-30, 2004.

DOI: 10.1109/BMAS.2004.1393977

- [3] R. B. Staszewski, et al., "Event-Driven Simulation and Modeling of Phase Noise of an RF Oscillator," *IEEE Transactions on Circuits and Systems I*, vol.52, no.4, pp.723-733, 2005.

DOI: 10.1109/ISCAS.2004.1329085

- [4] T. Wen, et al., "Phase Noise Simulation and Modeling of ADPLL by SystemVerilog," *IEEE International Behavioral Modeling and Simulation Workshop*, 2008.

DOI: 10.1109/BMAS.2008.4751235

- [5] M. Jurgo, et al., "Structure of All-Digital Frequency Synthesizer for IoT and IoV Applications," *MDPI Electronics*, pp.1-16, 2018.

DOI: 10.3390/electronics8010029

- [6] V. Kratyuk, et al., "A Design Procedure for All-Digital Phase-Locked Loops Based on a Charge-Pump Phase-Locked-Loop Analogy," *IEEE Transactions on Circuits and Systems II*, vol.54, no.3, pp.247-251, 2007.

DOI: 10.1109/TCSII.2006.889443

- [7] S. Kim, "Design of Fractional-N Digital PLL for IoT Application," *Institute of Korean Electrical and Electronics Engineers*, vol.23, no.3, pp.800-804, 2019. DOI: 10.7471/ikeee.2019.23.3.800

### BIOGRAPHY

**Shinwoong Kim** (Member)



2009 : BS degree in Computer Science and Electrical Engineering, Handong Global University.  
2011 : MS degree in Information and Communication Engineering, Handong Global University.

2016: PhD degree in Electronic and Electrical Engineering, Pohang University of Science and Technology.

2016~2022 : Senior Engineer, Samsung Electronics.

2022~ : Assistant Professor, Handong Global University