

Cascode GaN의 하프 브릿지 구성에서 오실레이션 저감을 위한 RC 스너버 분석

RC Snubber Analysis for Oscillation Reduction in Half-Bridge Configurations using Cascode GaN

곽 봉 우^{**}

Bongwoo Kwak^{**}

Abstract

In this paper, RC snubber circuit design technology for oscillation suppression in half-bridge configuration of cascode gallium nitride (GaN) field effect transistors (FETs) is analyzed. A typical wide band-gap (WBG) device, cascode GaN FET, has excellent high-speed switching characteristics. However, due to such high-speed switching characteristics, a false turn-off problem is caused, and an RC snubber circuit is essential to suppress this. In this paper, the commonly used experimental-based RC snubber design technique and the RC snubber design technique using the root locus method are compared and analyzed. In the general method, continuous circuit changes are required until the oscillation suppression performance requirement is met based on experimental experience. However, in root locus method, the initial value can be set based on the non-oscillation R-C map. To compare the performance of the two aforementioned design methods, a simulation experiment and a switching experiment using an actual double pulse circuit are performed.

요 약

본 논문에서는 cascode GaN FET의 하프 브릿지 구성에서 오실레이션 억제를 위한 RC 스너버 회로 설계 기술을 분석한다. 대표적인 WBG 소자인 cascode GaN FET는 우수한 고속 스위칭 특성이 우수하다. 다만, 이러한 고속 스위칭 특성으로 인하여 false turn-off 문제가 야기되며, 이를 억제하기 위해 RC 스너버 회로가 필수적이다. 따라서, 일반적으로 많이 사용되는 실험 기반의 선정 기법과 근궤적법을 이용한 분석 기법을 비교한다. 일반적인 방법의 경우 실험적 경험을 바탕으로 오실레이션 억제 성능이 만족 될 때까지 지속적인 회로 변경이 필요하다. 하지만, 근궤적 기법의 경우 비진동 R-C 맵을 기반으로 초기값을 설정 할 수 있다. 이러한 설계 기술에 따른 성능을 비교하기 위해 모의실험과 실제 더블 펄스 회로 구성을 통한 실험을 진행하였다.

Key words : cascode GaN FET, RC snubber, Oscillation, Root locus, Double pulse test

* Dept. of of Automotive Materials & Components R&D Group, Korea Institute of Industrial Technology

★ Corresponding author

E-Mail : bwkwak11@kitech.re.kr, Tel : +82-62-600-6241

※ Acknowledgment

This study was carried out as "Development of next-generation power semiconductor technology based on compound materials (00144490)" with the support of the Ministry of Trade, Industry and Energy.

Manuscript received Oct. 13, 2022; revised Oct. 24, 2022; accepted Oct. 26, 2022.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

대표적인 WBG 소자인 GaN 트랜지스터는 Si MOSFET에 비해 성능 지수가 우수하다. 따라서, 고속 스위칭 주파수, 고효율 및 고전력 밀도의 전력변환시스템 구현을 위한 유망한 소자로 간주된다[1, 2]. 특히, 기존의 공핍 모드 GaN FET는 normally-on으로 하프 브릿지 구조를 갖는 전력변환회로에 적합하지 않다.

따라서, 브릿지 구조에 적합한 normally-off 구현을 위해 E-mode와 cascode GaN이 개발되었다. E-mode GaN은 게이트의 문턱 전압이 낮아 안정적인 게이트 구동을 위해 음의 전압이 필요하다. 하지만, cascode GaN은 그림 1과 같이 공핍 모드 GaN과 저전압 Si-MOSFET이 직렬로 연결된 구조로 일반적인 Si-MOSFET의 게이트 구동 회로 사용할 수 있는 잇점이 있다. 또한, 구조상 밀러 효과가 완화되어 고속 스위칭 및 E-mode 대비 높은 전류 조건에서 턴-오프 손실을 줄일 수 있다[3, 4]. Cascode GaN은 높은 턴-오프 전류 어플리케이션에 매우 매력적인 소자이다.

Cascode GaN의 많은 장점에도 불구하고, 여전히 400-600V급 전압을 갖는 어플리케이션에서 실제 적용 사례는 미미하다. 이는 외부 회로의 기생 인덕턴스와 함께 cascode GaN 장치의 여러 기생 구성 요소로 인한 심각한 발진 문제로 볼 수 있다[5, 6]. 특히, GaN FET는 암 쇼트에 취약한 특징이 있다. 따라서, cascode GaN 장치의 안정적 사용을 위해서는 스위칭 발진 문제가 억제되어야 한다.

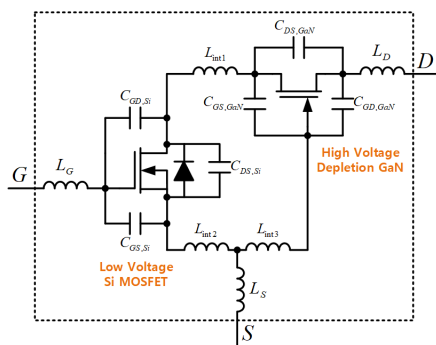


Fig. 1. Structure of cascode GaN FET.
그림 1. Cascode GaN FET 구조

II. Cascode GaN FET 기반 하프 브릿지 구조에서의 Oscillation 문제 분석

[5]에서 cascode GaN의 고전류 사양에서 턴-오프시

발생하는 오실레이션의 발산 문제에 대해 연구되었다. 또한, [5]는 cascode GaN HEMT(High Electron Mobility Transistor)가 턴-오프 과도 상태에서 내부 GaN HEMT와 LV Si MOSFET 간에 정전 용량 불일치에 의해 시간에 따라 변하는 등가 공진 커패시턴스가 발생하여 자체 지속 오실레이션을 유발할 수 있다고 보고하였다. [6]에서는 자체적으로 유지되는 턴-오프 오실레이션에 대해 연구하였다. GaN 소자가 가지는 높은 di/dt 특성에 높은 부하 전류 조건에서 턴-오프시 초기 턴-온이 발생되며 이후 오실레이션이 지속된다고 설명하였다. 이러한 발진 문제는 고속 스위칭 주파수에서 큰 발진을 일으켜 심각한 전압 오버슈트, EMI(Electromagnetic Interference) 문제 뿐만 아니라, 추가적인 전력 손실, 심각한 경우 시스템의 파손을 야기 시킨다[7, 8].

즉, cascode 구조에서 오실레이션은 공진 회로의 불안정성과 매우 가파른 dv/dt 및 di/dt에 의해 턴 오프시 공통 소스 인덕턴스 L_s 에 양의 V_s 를 발생시켜 게이트를 턴-온시켜 발생된다고 볼 수 있다. 그림 2는 실제 이중 펄스 테스트에서 400V 링크 전압 및 고전류 턴-오프시 발생하는 발진 문제를 보여준다.

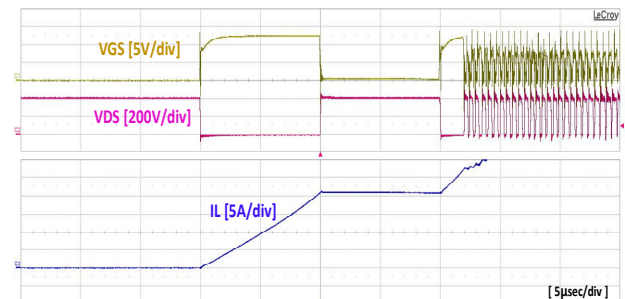


Fig. 2. urn-off oscillation of Cascode GaN FETs.
그림 2. ascode GaN FET의 턴-오프 발진

따라서, cascode GaN FET를 전력변환시스템에 적용 및 신뢰성을 높이기 위해 오실레이션 문제가 억제되어야 한다. 오실레이션 억제를 위해서는 PCB내의 stray 인덕턴스 저감, 레그 사이에 페라이트 비드 및 RC 스너버 회로가 적용된다. PCB 내의 stray 인덕턴스를 줄이는데 한계가 있으며, 페라이트 비드 또한 고전류 사양에서 포화 문제 등 적용이 어렵다[8]. RC 스너버 회로는 오실레이션을 억제하기 위해 널리 사용되는 기술이나, 일반적으로 RC 스너버의 경우 실험적 경험을 바탕으로 설계하고 있다. 따라서, cascode GaN FET가 적용된 하프 브릿지 구성에서 오실레이션 억제를 위한 RC 스너버 설계에 대한 분석이 필요하다.

III. Cascode GaN FET 기반 하프 브릿지 구조에서의 RC 스너버 설계

1. 고주파수 등가 회로 모델

Cascode GaN FET을 적용한 하프 브릿지 구조에서 발생하는 오실레이션 메커니즘은 이중 펄스 회로와 동일하다. 그림 3은 기생 성분을 고려한 이중 펄스 회로를 보여준다.

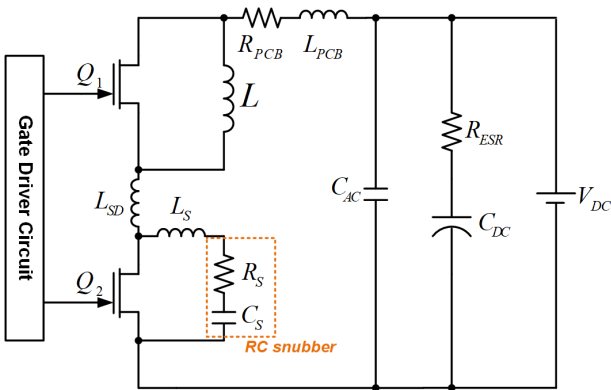


Fig. 3. Double pulse circuit using cascode GaN.
그림 3. cascode GaN 기반 이중 펄스 회로

Table 1. Parameters of double pulse circuit.

표 1. 이중 펄스 회로 파라미터

Parameters	Value	Unit
V_{DC}	400	V
R_{loop}	2	Ω
L_{loop}	50	nH
$R_{DS,on}$	30	m Ω
$C_{o(tr)}$	380	pF

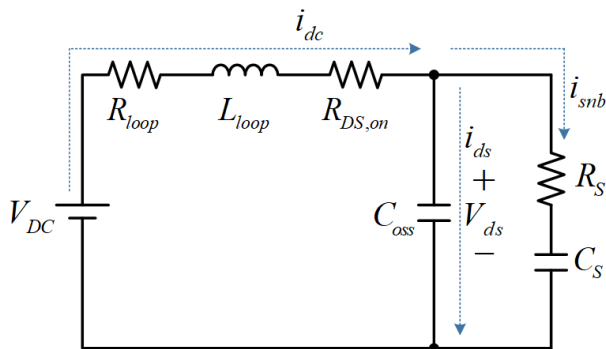


Fig. 4. High frequency equivalent model of a double pulse circuit.

그림 4. 이중 펄스 회로의 고주파 등가 모델

Q_2 가 턴-오프될 때 오실레이션이 심각하게 나타나기 때문에 Q_2 의 드레인-소스 전압의 발진을 고려하여 RC 스너버를 포함한 이중 펄스 회로를 그림 4과 같이 고주파 등가 회로 모델을 설계하였다. RC스너버 회로는 스위칭 소자에 가깝게 배치되기 때문에 인덕턴스(L_s)는 매우 작은 값이므로 0으로 간주한다. 표 1은 이중 펄스 회로에 대한 RC 스너버가 없는 회로를 기준으로 얻은 파라미터 값을 보여준다. Cascode GaN FET는 Transphorm사의 TP65H035G4WS가 사용되었다.

2. 일반적인 RC 스너버 설계 기법

기본적인 RC 스너버 파라미터를 추정하는 방법은 2차 시스템 설계 기법이다[9]. RC 스너버 및 스위칭 장치를 통과하는 폐쇄 루프가 고려되었으며 스위칭 오실레이션은 루프에서의 공진에 의해 발생되며, 공진 주파수는 식 (1)과 같다.

$$f_r = \frac{1}{2\pi \sqrt{L_{loop} C_{oss}}} \leftrightarrow L_{loop} = \frac{1}{(2\pi)^2 f_r^2 C_{oss}} \quad (1)$$

여기서, $L_{loop} = L_{PCB} + L_{SD}$ 약 40nH이며, C_{oss} 스위치의 기생 커패시턴스이다. 그림 3에서 RC 스너버 회로가 없다고 보면, 일반적인 RLC 회로로 볼 수 있으며, 최적의 댐핑 계수(ζ)를 고려하여 스너버 저항을 구할 수 있다.

$$\zeta = \left(\frac{1}{2R_S} \right) \sqrt{\frac{L_{loop}}{C_{oss}}} \leftrightarrow R_S = \left(\frac{1}{2\zeta} \right) \sqrt{\frac{L_{loop}}{C_{oss}}} \quad (2)$$

$$f_c = \frac{1}{2\pi R_S C_S} \quad (3)$$

여기서, f_c 는 차단 주파수로 초기값은 $f_{ringing}$ 과 같다. ζ 은 1로 선정되었으며, 주파수 응답을 고려하여 차단 주파수를 감소시키면서 최적의 스너버 커패시턴스를 최적화한다. 결국, RC 스너버 파라미터는 실험적으로 고정하게 된다.

Table 2. Rs-Cs parameters according to cut-off frequency.

표 2. 차단 주파수에 따른 Rs-Cs 파라미터

Cut-off Frequency	R_s	C_s
$f_c = f_r$	5.6 Ω	0.75 nF
$f_c = \frac{f_r}{2}$	5.6 Ω	1.5 nF
$f_c = \frac{f_r}{4}$	5.6 Ω	3 nF

3. 근궤적법에 의한 RC 스너버 설계 기법

RC snubber 회로는 루트 궤적 방법을 통해 특성 방정식 분석으로 해석적으로 설계될 수 있다.

그림 4의 고주파 등가회로를 기반으로 아래와 같이 회로 방정식이 유도된다.

$$\begin{aligned} i_{dc}(t) &= i_{ds}(t) + i_{snb}(t) \\ v_{ds}(t) &= \frac{1}{C_{oss}} \int i_{ds}(t) dt \\ v_{ds}(t) &= R_s i_{snd}(t) + \frac{1}{C_s} \int i_{snb}(t) dt \\ v_{ds}(t) &= -R_{loop} i_{dc}(t) - L_{loop} \frac{di_{dc}(t)}{dt} - R_{DSon} i_{dc}(t) \end{aligned} \quad (4)$$

오실레이션은 $v_{ds}(t)$ 의 진동으로 간주되므로 RC 스너버 파라미터는 $v_{ds}(t)$ 분석을 통하여 결정할 수 있다. $i_{dc}(0) = i_{ds}(0) = i_0$ 및 $i_{snb}(0) = 0$ 을 초기조건으로 라플라스 변환하면 아래와 같은 식 (5)로 유도된다.

$$\begin{aligned} I_{dc}(s) &= I_{ds}(s) + I_{snb}(s) \\ V_{ds}(s) &= \frac{I_{ds}(s)}{s C_{oss}} \\ V_{ds}(s) &= R_s I_{snd}(s) + \frac{I_{snb}}{s C_s} \\ V_{ds}(s) &= -R_{loop} I_{dc}(s) - L_{loop} (s I_{dc}(s) - i_0) - R_{DSon} I_{dc}(s) \end{aligned} \quad (5)$$

여기서, $I_{dc}(s)$, $I_{ds}(s)$, $I_{snb}(s)$ 및 $V_{ds}(s)$ 는 $i_{dc}(t)$, $i_{ds}(t)$, $i_{snb}(t)$, 및 $v_{ds}(t)$ 의 라플라스 변환으로 정의된다. 이후, $V_{ds}(s)$ 는 식 (5)를 풀면 다음과 같이 얻어진다.

$$V_{ds}(s) = \frac{N(s)}{D(s)} \quad (6)$$

여기서,

$$N(s) = -i_0 \{ (C_s L_{loop} R_s) s + L_{loop} \} \quad (7)$$

$$\begin{aligned} D(s) &= (C_{oss} C_s L_{loop} R_s) s^3 + \\ &\quad \left(C_{oss} C_s R_{loop} R_s + C_{oss} C_s R_s R_{DSon} + L_{loop} \right) s^2 \\ &\quad + (C_{oss} L_{loop} + C_s L_{loop}) s \\ &\quad + (C_{oss} R_{loop} + C_s R_{loop} + C_s R_s + C_{oss} R_{DSon} + C_s R_{DSon}) s + 1 \end{aligned} \quad (8)$$

$v_{ds}(t)$ 에 진동 항이 없을 때 오실레이션이 억제되므로, 식 (8)의 s-function을 분석하여 RC 스너버 파라미터를 도출할 수 있다. 즉, 특성방정식 $D(s) = 0$ 의 해가 모두 음의 실수인 Rs-Cs 맵의 영역을 결정하는 것과 같

다[10].

$D(s) = 0$ 일 때, 스너버 커패시턴스 C_s 를 매개변수로 고려하면 식 (9)와 같이 정리할 수 있다.

$$1 + \frac{C_s \left[(C_{oss} L_{loop} R_s) s^3 + (C_{oss} R_{loop} R_s + C_{oss} R_s R_{DSon} + L_{loop}) s^2 + (R_{loop} + R_s + R_{DSon}) s \right]}{C_{oss} L_{loop} s^2 + C_{oss} (R_{loop} + R_{DSon}) s + 1} \quad (9)$$

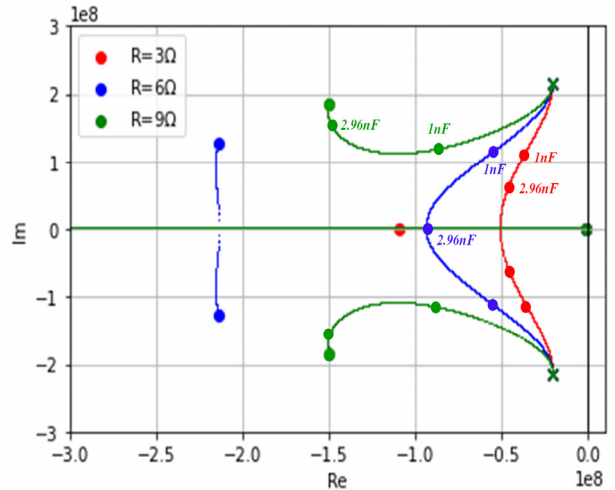


Fig. 5. Root locus diagrams for parameter C_s .

그림 5. 매개변수 C_s 에 대한 루트 궤적 다이어그램

C_s 의 값을 0에서 무한대로 변경하면 그림 5와 같이 루트 궤적을 구할 수 있다. 그림 5의 루트 궤적 다이어그램에서 루트 궤적과 실제 축의 교차점을 이탈점이라고 하며, 진동과 비진동의 임계점을 제공한다[10]. $dD(s)/ds = 0$ 및 $D(s) = 0$ 을 동시에 풀어서 R_s 와 C_s 를 구할 수 있다.

$$C_s(s) = - \frac{\{ C_{oss} L_{loop} s^2 + C_{oss} (R_{DSon} + R_{loop}) s + 1 \}^2}{s^2 \left\{ C_{oss} L_{loop}^2 s^2 + 2 C_{oss} L_{loop} (R_{DSon} + R_{loop}) s + \right\} \left\{ 2 C_{oss} R_{DSon} R_{loop} + C_{oss} R_{loop}^2 - L_{loop} \right\}} \quad (10)$$

$$R_s(s) = \frac{-2 L_{loop} s - R_{DSon} - R_{loop}}{\{ C_{oss} L_{loop} s^2 + C_{oss} (R_{DSon} + R_{loop}) s + 1 \}^2} \quad (11)$$

Table 3. Rs-Cs parameters by root locus method.

표 3. 근궤적법에 의한 Rs-Cs 파라미터

Point	R_s	C_s
B	4.3 Ω	3 nF
A	6.2 Ω	3 nF
C	7.5 Ω	3 nF

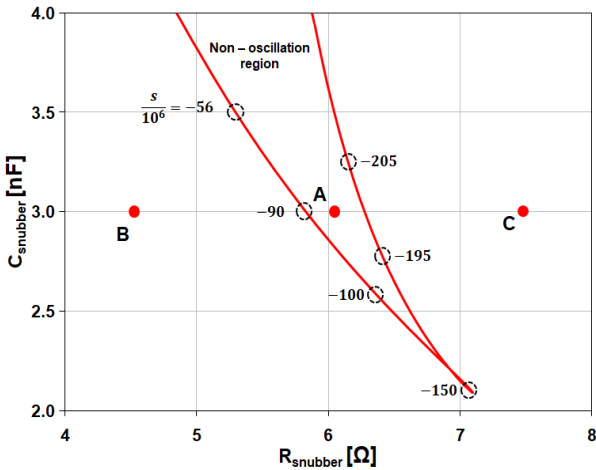


Fig. 6. R_s - C_s region where suppression of oscillation is considered possible.
 그림 6. 진동의 억제가 가능할 것으로 간주되는 R_s - C_s 영역

그림 6은 위 수식을 통해서 오실레이션의 억제가 가능할 것으로 간주되는 R_s - C_s 영역을 보여준다.

IV. 모의 실험 및 실험

그림 7, 8은 LTspice를 통한 모의실험 결과를 보여준다. 그림 7은 일반적인 RC 스너버 설계 기술을 통한 모의실험 결과이며, 그림 8은 근궤적법을 사용한 모의실험 결과이다. 모의 실험 결과 근궤적법을 통해 선정된 RC 파라미터가 오실레이션 억제에 더 뛰어난 성능을 보이는 것이 확인된다.

모의 실험 결과를 실제 시스템에서 검증하기 위해 이중 펄스 시험 (DPT)을 진행하였다. 그림 9는 제작된 이중 펄스

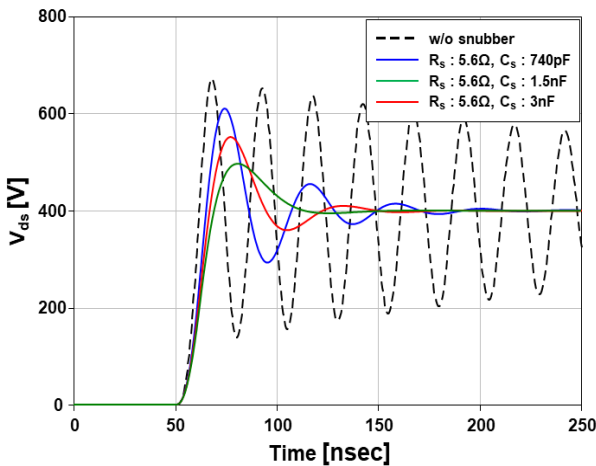


Fig. 7. Simulation results-common RC snubber design methods.
 그림 7. 모의실험 결과-일반적인 RC 스너버 설계

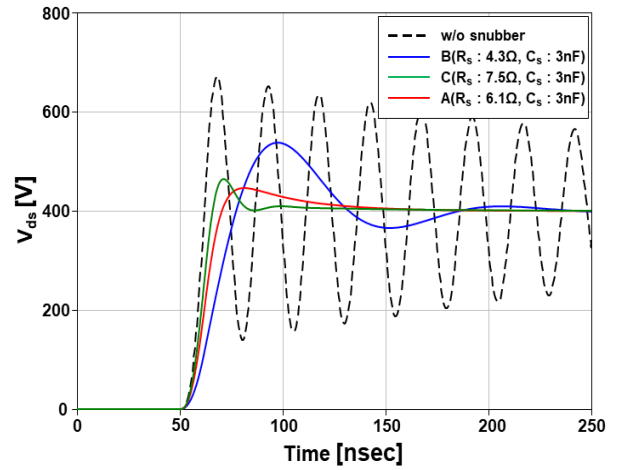


Fig. 8. Simulation result-RC snubber design based on root locus method.
 그림 8. 모의실험 결과-근궤적법 기반 RC 스너버 설계

스 시험 지그를 보여준다. 게이트 드라이버는 Broadcom사의 ACPL-352J를 사용하였으며, 게이트 전압은 15V이다. 시험 사양 및 RC 스너버 파라미터는 표 1에 나와 있다. 디지털 제어기는 TMS320F208849C 기반 디지털 제어기를 통해 요구되는 인덕터 전류를 계산하여 펄스 폭을 제어한다. 인덕터 전류는 20A로 선정하였다.

그림 10은 RC 스너버 회로가 없을 때 실험 파형을 보여준다. 약 40MHz의 드레인 소스간 오실레이션이 확인된다. 실험 파형에서 V_{GS} 는 cascode GaN FET의 게이트-소스 전압이며, V_{DS} 는 드레인-소스 전압이다.

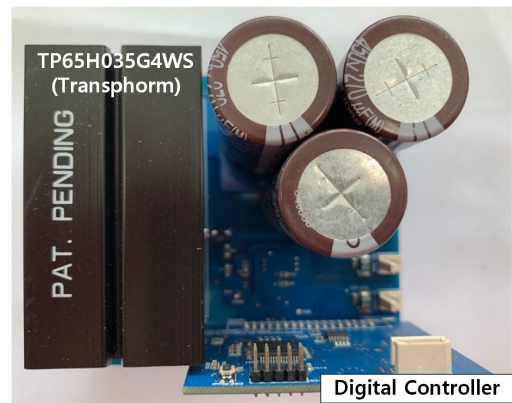


Fig. 9. Jig of the double pulse circuit.
 그림 9. 이중 펄스 실험을 위한 지그

그림 11은 일반적인 방법의 RC 스너버 파라미터를 적용하였을 때 실험 파형을 보여준다. 그림 11(a)의 파라미터에서 커패시터의 경우 계산상으로는 750pF이지만, 규격화된 커패시턴스 특성상 1nF를 적용하였다. 실험 결과 차단 주파수를 낮추면서 커패시터를 변경시키면서 오실

레이션을 줄일 수 있다. 하지만, 이 방법의 경우 다양한 실험적 경험이 필요하다.

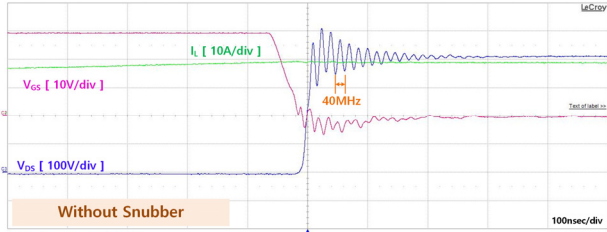
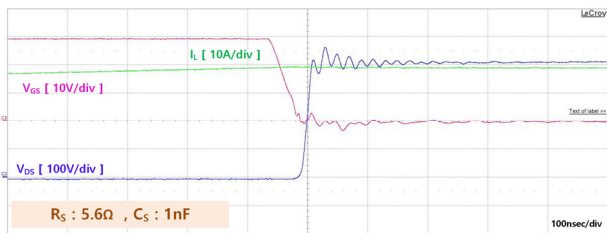
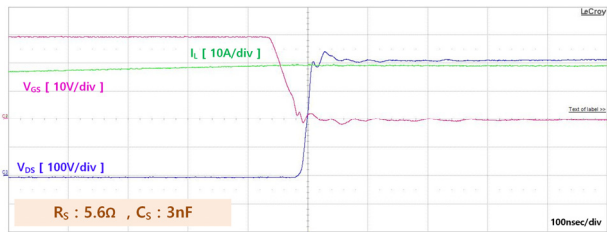


Fig. 10. Experiment result - without RC snubber.
그림 10. 실험 결과 - without RC 스너버



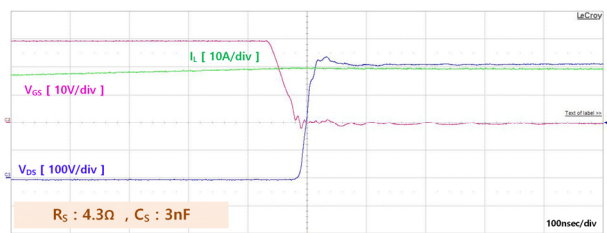
(a)



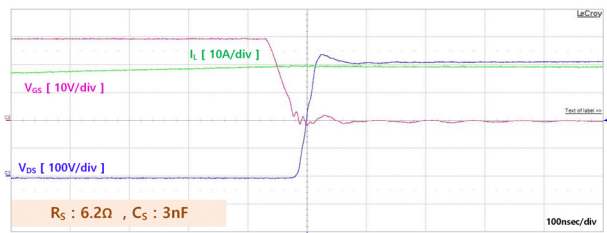
(b)

Fig. 11. Experiment result (20A Turn-off) - with RC snubber (common method).

그림 11. 실험 결과 - with RC 스너버 (일반적인 방법)



(a)



(b)

Fig. 12. Experiment result - with RC snubber (root locus method).

그림 12. 실험 결과 - with RC 스너버 (근궤적법)

그림 12는 근궤적법 기반 RC 스너버 파라미터를 적용하였을 때 실험 파형을 보여준다. 그림 12(a)의 경우 B 포인트의 파라미터가 적용되었으며, 약간의 오실레이션이 발생한다. 그림 5의 R-C 영역에서 오실레이션이 억제되는 포인트인 A 점의 파라미터를 적용하였을 때 그림 12(b)와 같이 오실레이션이 최소화되는 것을 확인할 수 있다.

그림 11(b)과 12(b)에서 V_{DS} 의 rising time은 각각 28nsec와 38nsec이다. 특히, cascode GaN FET 구조 특성상 V_{DS} 의 dv/dt 는 RC 스너버 파라미터로 결정된다. 따라서, cascode GaN FET의 dv/dt 를 낮춰 오실레이션 억제를 위해서 RC 파라미터 설계가 중요하다.

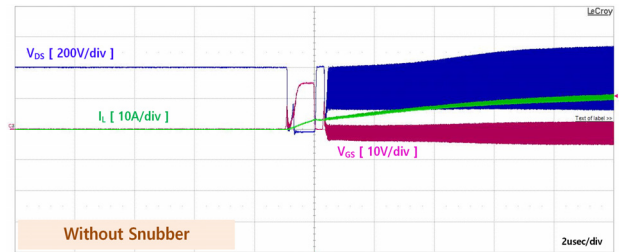


Fig. 13. Self oscillation - without RC snubber.
그림 13. RC 스너버가 없을 때 자체 발진 문제

그림 13은 스너버 회로가 없을 때 간헐적으로 발생하는 false turn-off 파형을 보여준다. False turn-off는 [5, 6]에서 확인되는 cascode GaN FET의 자체적으로 유지되는 턴-오프 발진이 원인으로 분석된다. 실제 이러한 턴-오프 발진은 인덕터 전류의 상승과 함께 cascode GaN의 파손 문제를 야기시킨다.

따라서, cascode GaN의 안정적인 사용을 위해서는 RC 스너버 회로가 필수적이며, 근궤적법을 이용하면 RC 스너버 회로의 초기 값을 실용적으로 선택할 수 있다.

V. 결론

본 논문에서는 전력변환시스템 구성시 필수적으로 사용되는 하프 브릿지 구조에서 cascode GaN FET이 사용될 때 오실레이션 억제를 위한 RC 스너버 설계 기술을 분석한다. Cascode GaN FET의 경우 우수한 고속 스위칭 특성으로 false 턴-오프 문제가 종종 발생된다. false 턴-오프 문제는 오실레이션에 의해 발생되기 때문에, 이를 억제하기 위해 RC 스너버 회로가 필수적이다. 본 논문에서는 일반적으로 많이 사용되는 실험 기반의 선정 기법과 근궤적법을 이용한 분석 기법을 비교한다. 일

반적인 방법의 경우 실험적 경험을 바탕으로 오실레이션 억제 성능이 만족 될 때까지 지속적인 회로 변경이 필요하다. 하지만, 근궤적 기법의 경우 비진동 R-C 맵을 기반으로 초기값을 설정 할 수 있다. 이러한 설계 기술에 따른 성능을 비교하기 위해 모의실험과 실제 이중 펄스 회로 구성을 통한 실험을 진행하였다. 실험 결과 일반적인 방법의 경우 초기 오실레이션 주파수를 기반으로 RC 파라미터 선정시 오버 슈트는 낮아졌지만, 여전히 고주파수 오실레이션이 존재한다. 반면, 근궤적 기법을 통해 계산된 RC 스너버 파라미터를 적용하면 오실레이션이 억제되는 것을 확인하였다.

References

- [1] R. Ramachandran and M. Nyman, "Experimental demonstration of a 98.8% efficient isolated DC-DC GaN converter," *IEEE Trans. Ind. Electron.*, vol.64, no.11, pp.9104-9113, 2017.
DOI: 10.1109/TIE.2016.2613930
- [2] J. Chen, Q. Luo, J. Huang, Q. He, P. Sun and X. Du, "Analysis and Design of an RC Snubber Circuit to Suppress False Triggering Oscillation for GaN Devices in Half-Bridge Circuits," *IEEE Transactions on Power Electronics*, vol.35, no.3, pp.2690-2704, 2020.
- [3] K. J. Chen et al., "GaN-on-Si Power Technology: Devices and Applications," in *IEEE Transactions on Electron Devices*, vol.64, no.3, pp.779-795, 2017. DOI: 10.1109/TED.2017.2657579
- [4] X. Huang, Z. Liu, Q. Li and F. C. Lee, "Evaluation and Application of 600 V GaN HEMT in Cascode Structure," in *IEEE Transactions on Power Electronics*, vol.29, no.5, pp.2453-2461, 2014.
DOI: 10.1109/APEC.2013.6520464
- [5] X. Huang, W. Du, F. C. Lee, Q. Li, and W. Zhang, "Avoiding divergent oscillation of a cascode GaN device under high-current turn-off condition," *IEEE Trans. Power Electron.*, vol.32, no.1, pp.593-601, 2017. DOI: 10.1109/TPEL.2016.2532799
- [6] P. Xue and F. Iannuzzo, "Self-Sustained Turn-OFF Oscillation of Cascode GaN HEMTs: Occurrence Mechanism, Instability Analysis, and Oscillation Suppression," in *IEEE Transactions on Power*

Electronics, vol.37, no.5, pp.5491-5500, 2022.

DOI: 10.1109/TPEL.2021.3131535

[7] T. Liu, T. T. Y. Wong and Z. J. Shen, "A Survey on Switching Oscillations in Power Converters," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol.8, no.1, pp.893-908, 2020. DOI: 10.1109/JESTPE.2019.2897764

[8] X. Yang, M. Xu, Q. Li, Z. Wang and M. He, "Analytical Method for RC Snubber Optimization Design to Eliminate Switching Oscillations of SiC MOSFET," in *IEEE Transactions on Power Electronics*, vol.37, no.4, pp.4672-4684, 2022.
DOI: 10.1109/TPEL.2021.3127516

[9] B. N. Torsæter, S. Tiwari, R. Lund and O.-M. Midtgard, "Experimental evaluation of switching characteristics, switching losses and snubber design for a full SiC half-bridge power module," *2016 IEEE 7th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, pp.1-8, 2016.
DOI: 10.1109/PEDG.2016.7527071

[10] K. Harada and T. Ninomiya, "Optimum Design of RC Snubbers for Switching Regulators," in *IEEE Transactions on Aerospace and Electronic Systems*, vol.AES-15, no.2, pp.209-218, 1979.
DOI: 10.1109/TAES.1979.308707

BIOGRAPHY

Bongwoo Kwak (Member)



2012 : MS degree in Electrical Engineering, Mokpo National University.

2012~current : Researcher, Dept. of Automotive Materials & Components R&D Group, Korea Institute of Industrial Technology.

2017~current : Ph.D course in Electrical Engineering, Chungnam National University.